

專題報告

指定集合內覆蓋之元素個數計數器

Counting the number of vertex covers by set-theoretic operations of multiple circle graph

國立中山大學

電機工程學系 賴亭諭

指導老師 謝東佐

中華民國 109 年 10 月

目錄

第一章 緒論

- 1. 摘要-----4
- 2. 研究動機與研究問題-----4

第二章 研究方法

- 1. 研究步驟
 - A. SET 系統架構之探討-----5
 - B. SET 系統硬體電路之開發-----5
 - C. SET 系統硬體電路之合成與分析-----5
- 2. 研究範圍與條件限制-----5
- 3. 研究方法
 - A. Pythagorean theorem-----5
 - B. 集合運算之邏輯闡化簡-----5

第三章 硬體架構及功能描述

- 1. SET 系統之硬體架構圖-----6
- 2. CONTROL 模組-----6
- 3. Multiplier 模組-----6
- 4. JUDGE 模組-----7
- 5. COUNT 模組-----7

第四章 RTL 驗證與結果分析

- 1. 驗證流程-----8
- 2. 驗證結果-----8

第五章 合成電路及效能分析

- 1. 合成方法-----9
- 2. 合成結果
 - A. SET 系統之硬體架構圖-----11
 - B. CONTROL 模組-----14
 - C. Multiplier 模組-----17

D. JUDGE 模組-----	20
E. COUNT 模組-----	24
第六章 電路可測性分析	
1. DFT 方法-----	27
2. ATPG 之結果分析-----	27
第七章 結論	
1. 結語-----	29
2. 未來展望-----	29
參考資料 -----	30
專題之指導教授證明 -----	31

第一章 緒論

1. 摘要

本專題之集合元素計數器(以下簡稱 SET)為利用多個圓形之集合運算計算出圖內覆蓋的頂點個數。本系統以特定大小之二維平面座標系統為範圍，具有多種模式訊號，模式涵蓋單一圓之集合頂點個數、兩圓之交集頂點個數、兩圓聯集與交集組成之運算式的頂點個數，以及三圓聯集與交集組成之運算式的頂點個數等，本系統除了輸出計算結果之外，也輸出系統狀態訊號與輸出值是否有效之指示訊號，作為外部溝通與結果確認。

本專題主要研究內容為：設計出可計算指定集合內覆蓋之元素個數計數器。

2. 研究動機與研究問題

以硬體描述語言編寫電路時，多以模組化的方式構成主電路架構，各模組的描述層次和運算方式將高度影響電路合成後的面積與功耗。Verilog HDL 的描述層次主要有四種，由高階至低階分別為行為層次(Behavior Level)、資料流層次(Dataflow Level)、邏輯閘層次(Gate Level)與電晶體層次(Switch Level)，而暫存器轉換層次(RTL, Register Transfer Level)則是行為層次與資料流層次合稱，通常我們撰寫硬體描述語言時，只會接觸到行為、資料流、邏輯閘層次。而運算方式的部分，若為多種輸入模式之電路，運算方式大致可分為兩種，第一種是先判斷模式，再導引至該模式之運算模組，第二種是先做全部模式之運算，再依照要求輸出特定模式之結果。本專題研究問題之一為邏輯閘層次實現分流模組。

機器學習可分為三大類，分別為監督式學習、非監督式學習與增強式學習，其中監督式學習是電腦從標籤化的資訊中分析模式後做出預測的學習方式。標記過的資料就好比標準答案，電腦在學習的過程透過對比誤差，一邊修正去達到更精準的預測，這樣的方式讓監督式學習有準確率高的優點，而監督式學習可分為兩個步驟：分類與數值預測。在分類算法中，Naive Bayes Classifiers 是一種以機率學為基礎，透過運算獲得事後機率。本專題將以集合的方式表現概率關係，並透過硬體實現複雜集合運算，作為分類的前置作業。

本專題將研究多模式之集合運算整合方法且開發可計算指定集合內覆蓋之元素個數計數系統。

第二章 研究方法

1. 研究步驟

本專題之研究計畫將分成下面三步驟進行：

A. SET 系統架構之探討

分析本電路所需之運算與控制訊號，並參考演算法與計算機組織等相關資料，找出集合運算中的不同特徵，並區分組合電路與循序電路區塊，盡可能以較小的面積與較短的延遲時長，完成元素個數計數器。

B. SET 系統硬體電路之開發

本電路關鍵部分在於乘法器與集合運算，我參考並比較多種乘法器之優劣，同時化簡集合運算，期望在不造成過長延遲的狀況下，盡可能降低電路面積。預計開發過程，將使用 Design Compiler 評估面積和延遲狀況，找出最佳模式。

C. SET 系統硬體電路之合成與分析

透過 Design Compiler 分析 SET 各模組之面積、延遲時長、延遲路徑與功耗，並藉由 TetraMAX 做 ATPG 分析 Test coverage 數值。

2. 研究範圍與條件限制

根據本專題之目的，研究內容將以 8×8 之二維平面座標系統為範圍，具有四種模式訊號，分別為單一圓之集合內頂點個數、兩圓交集之頂點個數、兩圓聯集扣除交集之頂點個數，以及三圓中任兩圓之交集減去三圓共同交集之頂點個數，此四種模式涵蓋不同數目之圓與聯集和交集運算，足以作為集合運算計數器代表。

3. 研究方法

A. Pythagorean theorem

透過逐一將範圍中各點設為目標點，透過計算目標點與各圓圓心在各軸之正差，並將所有正差平方後相加，再以此結果與圓半徑之平方做比較，即可得出該目標點是否在圓內。

B. 集合運算之邏輯閘化簡

將各個目標集合改寫為由聯集與交集組成之運算式，在邏輯運算中，聯集代表 OR，交集代表 AND，將集合運算轉換為邏輯運算後，再以 XOR 與 XNOR 等邏輯閘化簡，即可完成僅由邏輯閘構成之集合運算。

第三章 硬體架構及功能描述

1. SET 系統之硬體架構圖

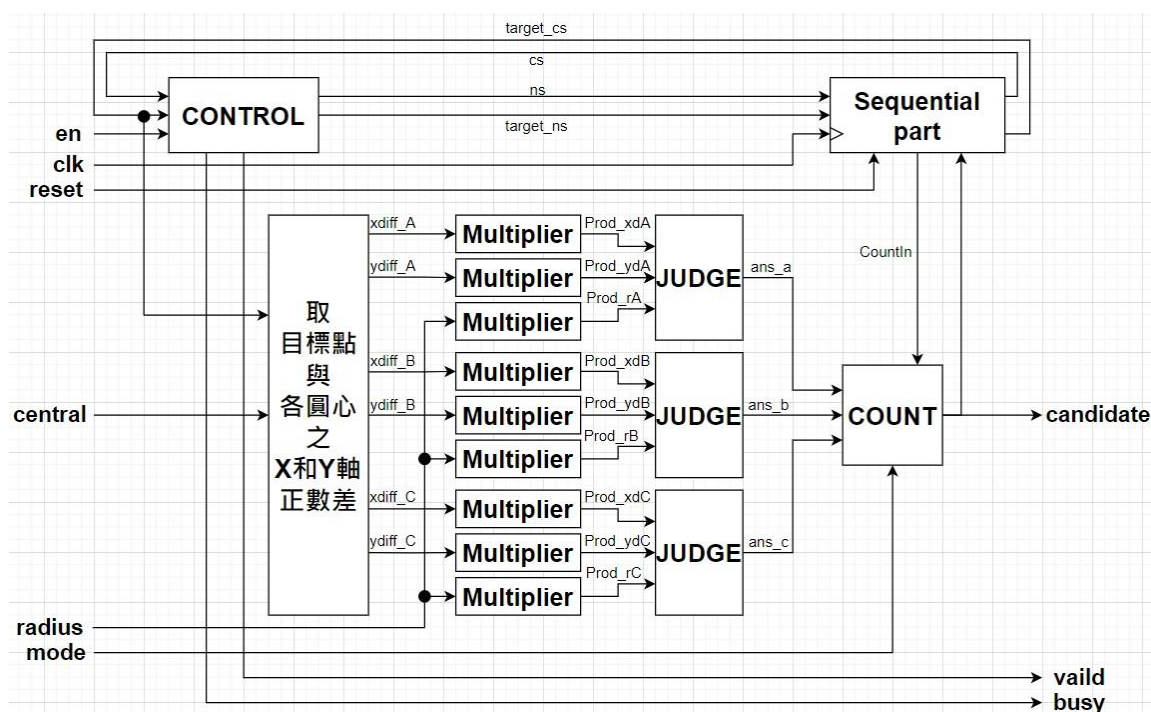


圖 1. SET 硬體架構

2. CONTROL 模組

圖 1 的 CONTROL 為 SET 架構之目標點與狀態機控制模組，提供目標點座標值給運算系統，也透過目標點參數控制狀態機，使得系統能精確執行重置系統、讀取輸入參數、集合運算與輸出結果等功能。

3. Multiplier 模組

參考圖 2 循序版本之乘法器做乘法器主架構並改良細節，由於元素計數器會使用到的乘法為 4-bit 值做平方，因此將迴圈部分展開可以降低電路面積，也不影響原乘法運算結果。SET 所使用之乘法器模組為展開後的版本。

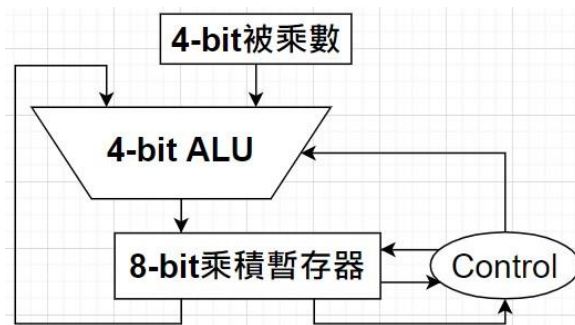


圖 2. 循序版本乘法器架構圖

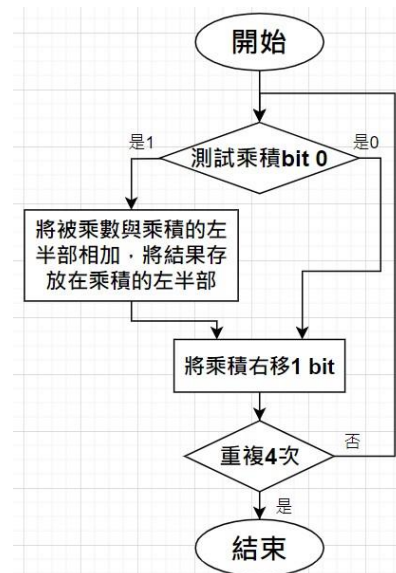


圖 3. 循序版本乘法器流程圖

4. JUDGE 模組

利用 Pythagorean theorem 的公式，將圓半徑之平方減去各軸之正差平方和，並判斷計算結果之符號位元，若符號位元為 0，則輸出 1 代表目標點在該圓內，反之，若符號位元為 1，則輸出 0 代表目標點不在該圓內。

5. COUNT 模組

將 JUDGE 模組所得之全部結果與外部輸入選定之模式值做邏輯運算，並依照計算結果，決定元素計數器維持原值或加一。

第四章 RTL 驗證與結果分析

1. 驗證流程

先建立含有 64 筆測資的通用測試資料庫，並將這些測資在各種模式下所得之元素個數正確值分別建檔，接下來，把前述通用測試資料庫與各模式正確值檔案串接至測試模組，並加入以輸入指令區分欲使用模式之功能，使得測試模組得以讀取特定模式之正確值檔案並逐一比對各測資 SET 之結果值與正確值，最後生成波形檔，觀察波形是否全數符合預期結果。

2. 驗證結果

SET 在各種模式的計算結果均與正確值相符，正確率達 100%，參照圖 4、圖 6、圖 8、圖 10 為四種模式之完整波形圖，錯誤計數(err_cnt)均為 0。分析波形局部部圖，參照圖 5、圖 7、圖 9、圖 11 確認輸出系統狀態訊號(busy)、輸出值是否有效之指示訊號(valid)與計數器結果(candidate)均正確。

測資	模式 1 結果	模式 2 結果	模式 3 結果	模式 4 結果
正確/全部	64/64	64/64	64/64	64/64

表 1. SET 各模式計算結果之正確比率



圖 4. 第 1 種模式之完整波形圖



圖 5. 第 1 種模式之局部波形圖

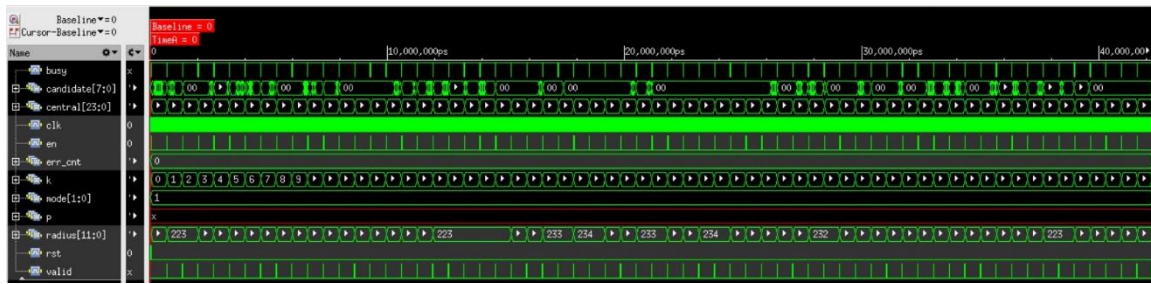


圖 6. 第 2 種模式之完整波形圖

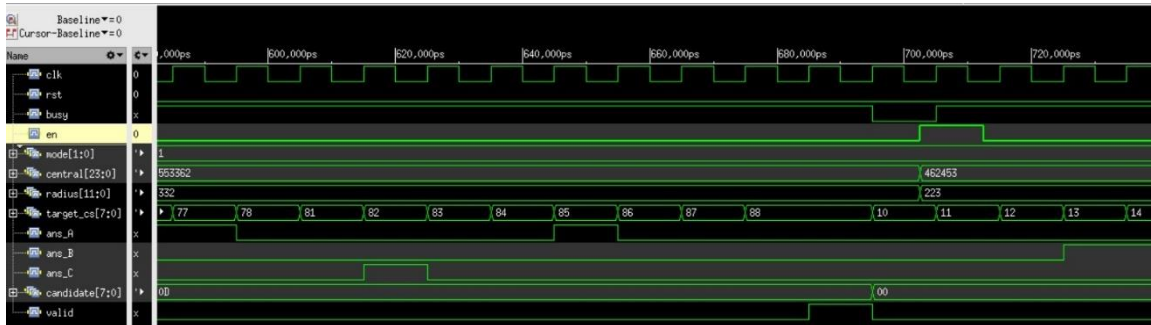


圖 7. 第 2 種模式之局部波形圖

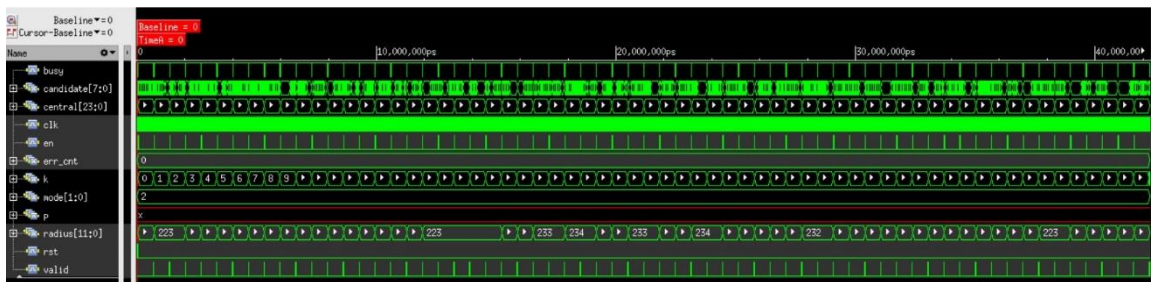


圖 8. 第 3 種模式之完整波形圖

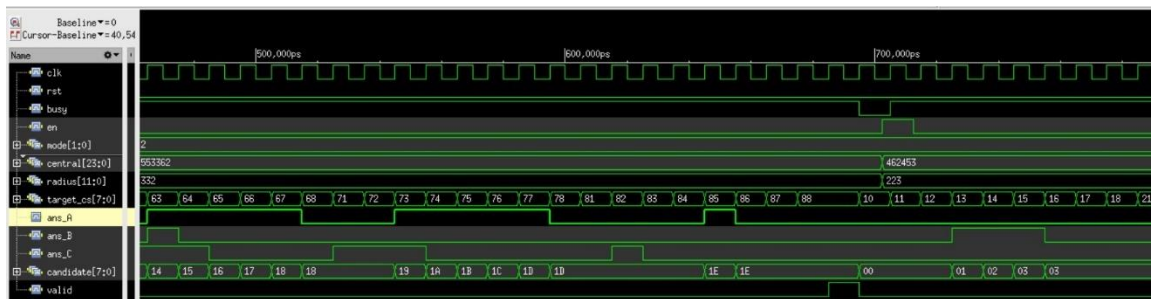


圖 9. 第 3 種模式之局部波形圖

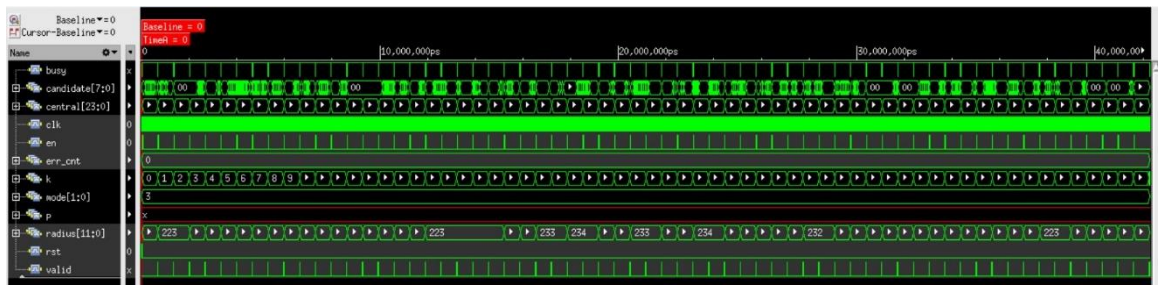


圖 10. 第 4 種模式之完整波形圖

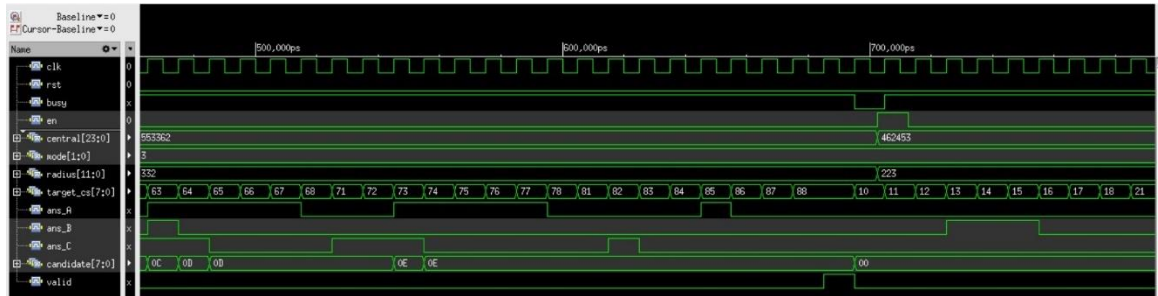


圖 11. 第 4 種模式之局部波形圖

第五章 合成電路及分析

1. 合成方法

使用 Synopsys 公司之 Design Compiler 軟體合成。

2. 合成結果

A. SET 整體電路

a. Symbol view



圖 12. SET 之 Symbol view

b. Schematic view

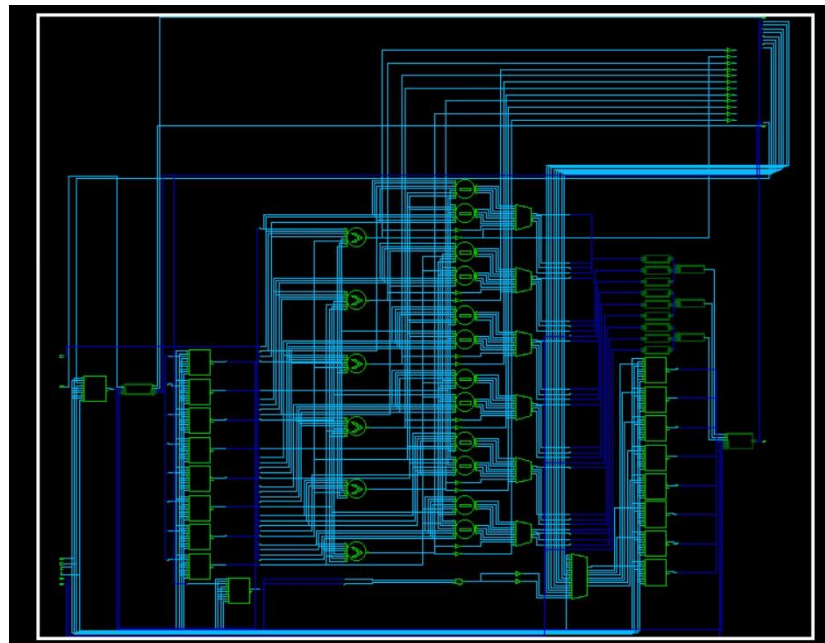


圖 13. SET 之 Schematic view

c. Area report

```

Library(s) Used:

slow (File: /mnt3/CBDK_IC_Constest_v2.1/SynopsysDC/db/slow.db)

Number of ports:                445
Number of nets:                 1312
Number of cells:                847
Number of combinational cells:  784
Number of sequential cells:     18
Number of macros/black boxes:   0
Number of buf/inv:              133
Number of references:           42

Combinational area:             8215.416017
Buf/Inv area:                   488.851192
Noncombinational area:          578.813381
Macro/Black Box area:           0.000000
Net Interconnect area:          undefined (No wire load specified)

Total cell area:                 8794.229398
Total area:                      undefined

```

圖 14. SET 合成後之 area

【分析】

在面積計算上會因製程的不同而有面積的不同，所以為了有個統一的比較標準，建立一個標準的衡量方式 Gate count = area 除以 NAND2 gate 的面積，單位為 um^2 。由圖 14 可之 area = 8794.229398 um^2 。

1. 在 0.13um 的製程下，NAND2 gate 的面積約為 5um^2 ，所以 gate count = 8794.229398/5 約為 1759 個。
2. 在 0.18um 的製程下，NAND2 gate 的面積約為 10um^2 ，所以 gate count = 8794.229398/10 約為 880 個。

d. Timing report

```

Operating Conditions: slow Library: slow
Wire Load Model Mode: top

Startpoint: target_cs_reg[0]
(rising edge-triggered flip-flop clocked by clk)
Endpoint: CountIn_reg[0]
(rising edge-triggered flip-flop clocked by clk)
Path Group: clk
Path Type: max

Point-----Incr-----Path-----
clock clk (rise edge) 5.00 5.00 JA/sub_0_root_sub_0_root_sub_10_2/A[5] (JUDGE_0_DW01_sub_0) 0.00 11.52 r
clock network delay (ideal) 0.00 5.00 JA/sub_0_root_sub_0_root_sub_10_2/U2/Y (CLKINX1) 0.07 11.59 f
target_cs_reg[0]/CK (DFFRX1) 0.00 5.00 r JA/sub_0_root_sub_0_root_sub_10_2/U8/Y (AND2X1) 0.19 11.77 f
target_cs_reg[0]/Q (DFFRX1) 0.39 5.39 r JA/sub_0_root_sub_0_root_sub_10_2/U7/Y (OAI22X1) 0.28 12.05 r
U407/Y (CLKBUF3) 0.19 5.58 r JA/sub_0_root_sub_0_root_sub_10_2/U6/Y (NOR2X1) 0.10 12.15 f
U319/Y (NOR2X1) 0.09 5.67 f JA/U1/Y (CLKINX1) 0.07 12.73 f
U247/Y (OAI21X1) 0.30 5.97 f JA/ans (JUDGE_0) 0.00 12.73 f
U385/Y (AO21X1) 0.27 6.24 f C0/U3/Y (CLKINX1) 0.06 12.73 f
U237/Y (AOI22X1) 0.28 6.52 r C0/U11/Y (XNOR2X1) 0.16 12.79 r
U298/Y (CLKINX1) 0.13 6.65 f C0/U10/Y (XOR2X1) 0.17 12.95 f
U230/Y (AOI22X1) 0.45 7.09 r C0/U8/Y (AOI28B2X1) 0.23 13.12 f
M1/A[2] (Multiplier_0) 0.00 7.09 r C0/U6/Y (AOI22X1) 0.15 13.35 f
M1/U23/Y (AND2X2) 0.21 7.30 r C0/U4/Y (NAND2X1) 0.16 13.50 r
M1/U24/CO (ADDFX1) 0.58 7.88 r C0/U13/Y (AO22X1) 0.35 13.65 f
M1/U32/S (ADDFX1) 0.37 8.25 r C0/CountOut[0] (COUNT) 0.00 14.00 f
M1/U20/Y (AO22X1) 0.20 8.45 r U350/Y (AND2X2) 0.15 14.00 f
M1/U30/CO (ADDFX1) 0.58 9.03 r CountIn_reg[0]/D (DFFRX1) 0.00 14.15 f
M1/U31/S (ADDFX1) 0.38 9.41 r data arrival time 0.00 14.15 f
M1/U8/Y (AO22X1) 0.17 9.58 r 14.15
M1/U25/S (ADDFX1) 0.53 10.11 f clock clk (rise edge) 15.00 15.00
M1/U40/Y (AO22X1) 0.33 10.44 f clock network delay (ideal) 0.00 15.00
M1/Product[4] (Multiplier_0) 0.00 10.44 f CountIn_reg[0]/CK (DFFRX1) 0.00 15.00 r
JA/square_y[4] (JUDGE_0) 0.00 10.44 f library setup time -0.20 14.80
JA/sub_1_root_sub_0_root_sub_10_2/B[4] (JUDGE_0_DW01_sub_1) 0.00 10.44 f data required time 14.80
JA/sub_1_root_sub_0_root_sub_10_2/U5/Y (CLKINX1) 0.05 10.49 r data required time 14.80
JA/sub_1_root_sub_0_root_sub_10_2/U2_4/CO (ADDFX1) 0.63 11.12 r data arrival time -14.15
JA/sub_1_root_sub_0_root_sub_10_2/U2_5/S (ADDFX1) 0.40 11.52 r 11.52
JA/sub_1_root_sub_0_root_sub_10_2/DIFF[5] (JUDGE_0_DW01_sub_1) 0.00 11.52 r slack (MET) 0.64

```

圖 15. SET 合成後之 max delay path

【分析】

設定 Delay path 為 max，觀察 slack 值是否為正，以及確認 setup-time 狀況，結果如圖 15 所示，critical path delay(max-delay)為 14.15fs 且 setup-time 為 14.80fs，所以 $\text{Slack (setup, max delay)} = \text{Data required time} - \text{Data arrival time} = 14.80 - 14.15 = 0.65$ ，得 slack 為正代表合成電路可正確運作。

```

Operating Conditions: slow   Library: slow
Wire Load Model Mode: top

Startpoint: target_cs_reg[5]
              (rising edge-triggered flip-flop clocked by clk)
Endpoint: target_cs_reg[5]
              (rising edge-triggered flip-flop clocked by clk)
Path Group: clk
Path Type: min

Point                                     Incr      Path
-----
clock clk (rise edge)                     5.00      5.00
clock network delay (ideal)                0.00      5.00
target_cs_reg[5]/CK (DFFRX1)              0.00      5.00 r
target_cs_reg[5]/QN (DFFRX1)             0.34      5.34 r
U371/Y (A0I211X1)                        0.08      5.42 f
target_cs_reg[5]/D (DFFRX1)              0.00      5.42 f
data arrival time                         5.42

clock clk (rise edge)                     5.00      5.00
clock network delay (ideal)                0.00      5.00
target_cs_reg[5]/CK (DFFRX1)              0.00      5.00 r
library hold time                       -0.02      4.98
data required time                       4.98

data required time                       4.98
data arrival time                       -5.42

slack (MET)                               0.44

```

圖 16. SET 合成後之 min delay path

【分析】

設定 Delay path 為 min，同樣觀察 slack 值是否為正與確認 hold-time 狀況，結果如圖 16 所示。critical path delay(min-delay)為 5.42fs 且 hold-time 為 4.98fs，所以 $\text{Slack (setup, max delay)} = \text{Data arrival time} - \text{Data required time} = 5.42 - 4.98 = 0.44$ ，得 slack 為正代表合成電路可正確運作。

e. Critical path



圖 17. SET 合成後之 critical path

f. Power report

Operating Conditions: slow Library: slow
Wire Load Model Mode: top

Global Operating Voltage = 1.08
Power-specific unit information :
Voltage Units = 1V
Capacitance Units = 1.000000pf
Time Units = 1ns
Dynamic Power Units = 1mW (derived from V,C,T units)
Leakage Power Units = 1pW

Cell Internal Power = 119.5291 uW (76%)
Net Switching Power = 37.6975 uW (24%)

Total Dynamic Power = 157.2266 uW (100%)
Cell Leakage Power = 8.3842 uW

Power Group	Internal Power	Switching Power	Leakage Power	Total Power	(%)	Attrs
io_pad	0.0000	0.0000	0.0000	0.0000	(0.00%)	
memory	0.0000	0.0000	0.0000	0.0000	(0.00%)	
black_box	0.0000	0.0000	0.0000	0.0000	(0.00%)	
clock_network	0.0000	0.0000	0.0000	0.0000	(0.00%)	
register	3.7857e-02	6.6637e-04	5.3463e+05	3.9058e-02	(23.58%)	
sequential	0.0000	0.0000	0.0000	0.0000	(0.00%)	
combinational	8.1672e-02	3.7031e-02	7.8496e+06	0.1266	(76.42%)	
Total	0.1195 mW	3.7697e-02 mW	8.3842e+06 pW	0.1656 mW		

圖 18. SET 合成後之 power

【分析】

Total Dynamic Power 為電路運作時的消耗功率，Cell Leakage Power 則為電路靜止無運作時的消耗功率，正常情況下動態功率消耗會大於靜態功率消耗。由圖 18 可看出動態功率消耗為 157.2266uW，靜態功率消耗為 8.3842uW，符合正常情況。

B. CONTROL 模組

a. Symbol view



圖 19. CONTROL 之 Symbol view

b. Schematic view

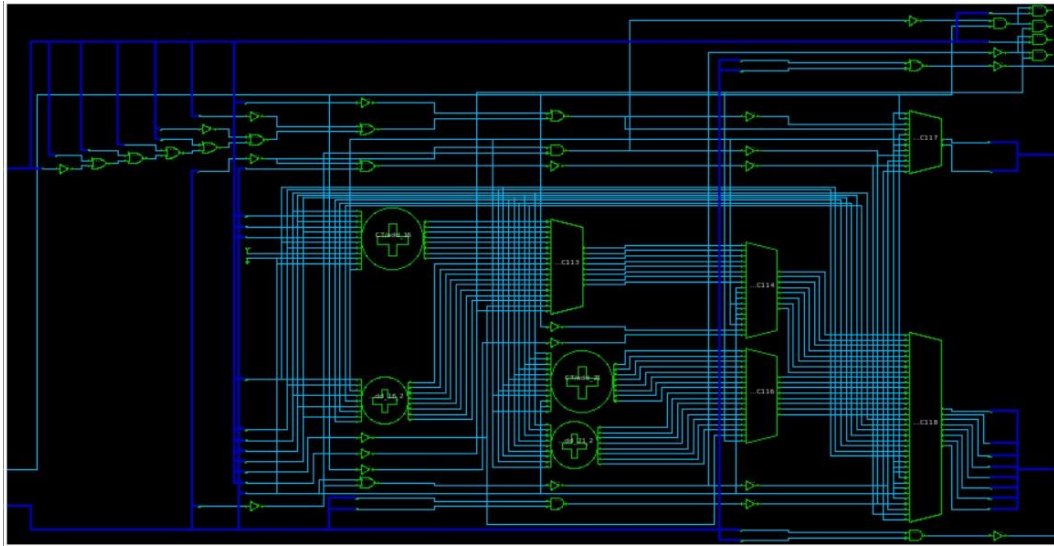


圖 20. CONTROL 之 Schematic view

c. Area report

```
Information: Updating design information... (UID-85)
Library(s) Used:

slow (File: /mnt3/CBDK_IC_Contest_v2.1/SynopsysDC/db/slow.db)

Number of ports:                39
Number of nets:                 92
Number of cells:                60
Number of combinational cells:  59
Number of sequential cells:     0
Number of macros/black boxes:   0
Number of buf/inv:              11
Number of references:           20

Combinational area:             502.430399
Buf/Inv area:                   37.342799
Noncombinational area:          0.000000
Macro/Black Box area:          0.000000
Net Interconnect area:          undefined (No wire load specified)

Total cell area:                502.430399
Total area:                     undefined
```

圖 21. CONTROL 合成後之 area

【分析】

在面積計算上會因製程的不同而有面積的不同，所以為了有個統一的比較標準，建立一個標準的衡量方式 $\text{Gate count} = \text{area} \div \text{NAND2 gate 的面積}$ ，單位為 μm^2 。由圖 21 可之 $\text{area} = 502.430399 \mu\text{m}^2$ 。

1. 在 $0.13\mu\text{m}$ 的製程下，NAND2 gate 的面積約為 $5\mu\text{m}^2$ ，所以 $\text{gate count} = 502.430399/5$ 約為 101 個。

2. 在 $0.18\mu\text{m}$ 的製程下，NAND2 gate 的面積約為 $10\mu\text{m}^2$ ，所以 $\text{gate count} = 502.430399/10$ 約為 51 個。

d. Timing report

Operating Conditions: slow Library: slow
Wire Load Model Mode: top

Startpoint: target_cs[1]
(input port)
Endpoint: target_ns[7]
(output port)
Path Group: (none)
Path Type: max

Point	Incr	Path
input external delay	0.00	0.00 r
target_cs[1] (in)	0.00	0.00 r
r378/A[1] (CONTROL_DW01_inc_0)	0.00	0.00 r
r378/U1_1_1/CO (ADDHXL)	0.15	0.15 r
r378/U1_1_2/CO (ADDHXL)	0.18	0.33 r
r378/U1_1_3/CO (ADDHXL)	0.18	0.50 r
r378/U1_1_4/CO (ADDHXL)	0.18	0.68 r
r378/U1_1_5/CO (ADDHXL)	0.18	0.86 r
r378/U1_1_6/CO (ADDHXL)	0.17	1.02 r
r378/U1/Y (XOR2X1)	0.15	1.17 f
r378/SUM[7] (CONTROL_DW01_inc_0)	0.00	1.17 f
U47/Y (OAI2BB1X1)	0.17	1.34 f
target_ns[7] (out)	0.00	1.34 f
data arrival time		1.34

(Path is unconstrained)

圖 22. CONTROL 合成後之 max delay path

【分析】

設定 Delay path 為 max，因為模組為組合電路，所以無 slack，由圖 22 可知 Data arrival time = 1.34fs。

Operating Conditions: slow Library: slow
Wire Load Model Mode: top

Startpoint: cs[1] (input port)
Endpoint: valid (output port)
Path Group: (none)
Path Type: min

Point	Incr	Path
input external delay	0.00	0.00 r
cs[1] (in)	0.00	0.00 r
U61/Y (NAND2X1)	0.05	0.05 f
U46/Y (CLKINX1)	0.03	0.08 r
valid (out)	0.00	0.08 r
data arrival time		0.08

(Path is unconstrained)

圖 23. CONTROL 合成後之 min delay path

【分析】

設定 Delay path 為 min，因為模組為組合電路，所以無 slack，由圖 23 可知 Data arrival time = 0.08fs。

e. Critical path

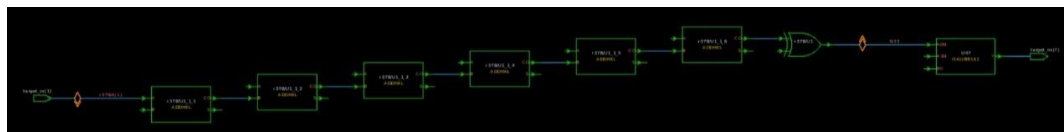


圖 24. CONTROL 合成後之 critical path

f. Power report

```

Operating Conditions: slow   Library: slow
Wire Load Model Mode: top

Global Operating Voltage = 1.08
Power-specific unit information :
  Voltage Units = 1V
  Capacitance Units = 1.000000pf
  Time Units = 1ns
  Dynamic Power Units = 1mW   (derived from V,C,T units)
  Leakage Power Units = 1pW

Cell Internal Power = 26.2685 uW   (67%)
Net Switching Power = 12.7477 uW   (33%)
-----
Total Dynamic Power = 39.0162 uW   (100%)
Cell Leakage Power = 447.5695 nW

Information: report_power power group summary does not include estimated clock tree power. (PWR-789)

```

Power Group	Internal Power	Switching Power	Leakage Power	Total Power	(%)	Attrs
io_pad	0.0000	0.0000	0.0000	0.0000	(0.00%)	
memory	0.0000	0.0000	0.0000	0.0000	(0.00%)	
black_box	0.0000	0.0000	0.0000	0.0000	(0.00%)	
clock_network	0.0000	0.0000	0.0000	0.0000	(0.00%)	
register	0.0000	0.0000	0.0000	0.0000	(0.00%)	
sequential	0.0000	0.0000	0.0000	0.0000	(0.00%)	
combinational	2.6269e-02	1.2748e-02	4.4757e+05	3.9464e-02	(100.00%)	
Total	2.6269e-02 mW	1.2748e-02 mW	4.4757e+05 pW	3.9464e-02 mW		

圖 25. CONTROL 合成後之 power

【分析】

Total Dynamic Power 為電路運作時的消耗功率，Cell Leakage Power 則為電路靜止無運作時的消耗功率，正常情況下動態功率消耗會大於靜態功率消耗。由圖 25 可看出動態功率消耗為 39.0162uW，靜態功率消耗為 447.5695nW，符合正常情況。

C. Multiplier 模組

a. Symbol view



圖 26. Multiplier 之 Symbol view

b. Schematic view

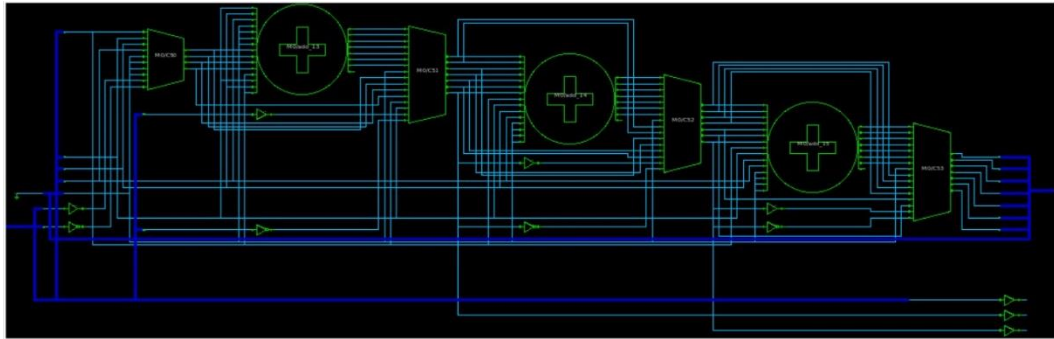


圖 27. Multiplier 之 Schematic view

c. Area report

```
Information: Updating design information... (UID-85)
Library(s) Used:

slow (File: /mnt3/CBDK_IC_Constest_v2.1/SynopsysDC/db/slow.db)

Number of ports:                12
Number of nets:                 34
Number of cells:                30
Number of combinational cells:  28
Number of sequential cells:     0
Number of macros/black boxes:   0
Number of buf/inv:              6
Number of references:           11

Combinational area:             208.780199
Buf/Inv area:                   23.763600
Noncombinational area:          0.000000
Macro/Black Box area:          0.000000
Net Interconnect area:          undefined (No wire load specified)

Total cell area:                208.780199
Total area:                     undefined
```

圖 28. Multiplier 合成後之 area

【分析】

在面積計算上會因製程的不同而有面積的不同，所以為了有個統一的比較標準，建立一個標準的衡量方式 $\text{Gate count} = \text{area} \div \text{NAND2 gate 的面積}$ ，單位為 um^2 。

由圖 28 可之 $\text{area} = 208.780199 \text{ um}^2$ 。

1. 在 0.13um 的製程下，NAND2 gate 的面積約為 5um^2 ，所以 $\text{gate count} = 208.780199 / 5$ 約為 42 個。

2. 在 0.18um 的製程下，NAND2 gate 的面積約為 10um^2 ，所以 $\text{gate count} = 208.780199 / 10$ 約為 21 個。

d. Timing report

Operating Conditions: slow Library: slow
Wire Load Model Mode: top

Startpoint: A[1] (input port)
Endpoint: Product[5] (output port)
Path Group: (none)
Path Type: max

Point	Incr	Path
input external delay	0.00	0.00 r
A[1] (in)	0.00	0.00 r
U65/Y (NAND2X1)	0.06	0.06 f
U53/Y (OAI21XL)	0.22	0.28 r
U52/Y (XNOR2X1)	0.19	0.47 f
U51/Y (OAI22XL)	0.31	0.78 r
U47/Y (AOI2BB1X1)	0.24	1.02 r
U46/Y (XOR2X1)	0.18	1.20 f
U45/Y (NAND2X1)	0.09	1.29 r
U44/Y (XOR2X1)	0.14	1.43 f
Product[5] (out)	0.00	1.43 f
data arrival time		1.43

(Path is unconstrained)

圖 29. Multiplier 合成後之 max delay path

【分析】

設定 Delay path 為 max，因為模組為組合電路，所以無 slack，由圖 29 可知 Data arrival time = 1.43fs。

Operating Conditions: slow Library: slow
Wire Load Model Mode: top

Startpoint: A[1] (input port)
Endpoint: Product[3] (output port)
Path Group: (none)
Path Type: min

Point	Incr	Path
input external delay	0.00	0.00 r
A[1] (in)	0.00	0.00 r
U60/Y (OAI22XL)	0.03	0.03 f
Product[3] (out)	0.00	0.03 f
data arrival time		0.03

(Path is unconstrained)

圖 30. Multiplier 合成後之 min delay path

【分析】

設定 Delay path 為 min，因為模組為組合電路，所以無 slack，由圖 30 可知 Data arrival time = 0.03fs。

e. Critical path

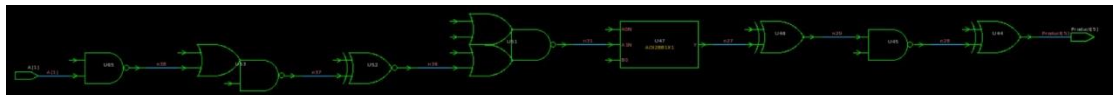


圖 31. Multiplier 合成後之 critical path

f. Power report

Operating Conditions: slow Library: slow
Wire Load Model Mode: top

Global Operating Voltage = 1.08
Power-specific unit information :
Voltage Units = 1V
Capacitance Units = 1.000000pf
Time Units = 1ns
Dynamic Power Units = 1mW (derived from V,C,T units)
Leakage Power Units = 1pW

Cell Internal Power = 13.9804 uW (70%)
Net Switching Power = 6.0440 uW (30%)

Total Dynamic Power = 20.0244 uW (100%)

Cell Leakage Power = 202.3464 nW

Information: report_power power group summary does not include estimated clock tree power. (PwR-789)

Power Group	Internal Power	Switching Power	Leakage Power	Total Power	(%)	Attrs
io_pad	0.0000	0.0000	0.0000	0.0000	(0.00%)	
memory	0.0000	0.0000	0.0000	0.0000	(0.00%)	
black_box	0.0000	0.0000	0.0000	0.0000	(0.00%)	
clock_network	0.0000	0.0000	0.0000	0.0000	(0.00%)	
register	0.0000	0.0000	0.0000	0.0000	(0.00%)	
sequential	0.0000	0.0000	0.0000	0.0000	(0.00%)	
combinational	1.3980e-02	6.0440e-03	2.0235e+05	2.0227e-02	(100.00%)	
Total	1.3980e-02 mW	6.0440e-03 mW	2.0235e+05 pW	2.0227e-02 mW		

圖 32. Multiplier 合成後之 power

【分析】

Total Dynamic Power 為電路運作時的消耗功率，Cell Leakage Power 則為電路靜止無運作時的消耗功率，正常情況下動態功率消耗會大於靜態功率消耗。由圖 32 可看出動態功率消耗為 20.0244uW，靜態功率消耗為 202.3464nW，符合正常情況。

D. JUDGE 模組

a. Symbol view



圖 33. JUDGE 之 Symbol view

b. Schematic view

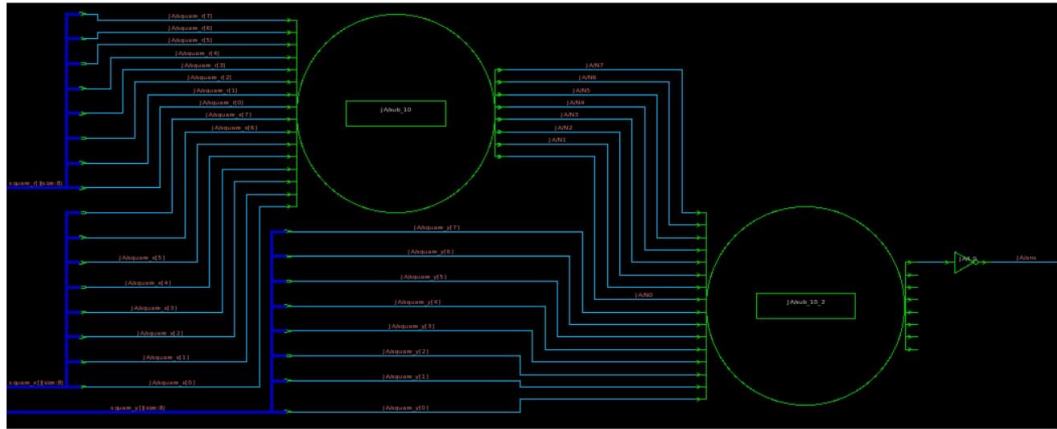


圖 34. JUDGE 之 Schematic view

c. Area report

```
Information: Updating design information... (UID-85)
Library(s) Used:

slow (File: /mnt3/CBDK_IC_Constest_v2.1/SynopsysDC/db/slow.db)

Number of ports:                77
Number of nets:                 110
Number of cells:                41
Number of combinational cells:   37
Number of sequential cells:      0
Number of macros/black boxes:    0
Number of buf/inv:              14
Number of references:            3

Combinational area:             424.350010
Buf/Inv area:                   47.527199
Noncombinational area:          0.000000
Macro/Black Box area:           0.000000
Net Interconnect area:          undefined (No wire load specified)

Total cell area:                424.350010
Total area:                     undefined
```

圖 35. JUDGE 合成後之 area

【分析】

在面積計算上會因製程的不同而有面積的不同，所以為了有個統一的比較標準，建立一個標準的衡量方式 $\text{Gate count} = \text{area} \div \text{NAND2 gate 的面積}$ ，單位為 um^2 。

由圖 35 可之 $\text{area} = 424.350010 \text{um}^2$ 。

1. 在 0.13um 的製程下，NAND2 gate 的面積約為 5um^2 ，所以 $\text{gate count} = 424.350010 / 5$ 約為 85 個。

2. 在 0.18um 的製程下，NAND2 gate 的面積約為 10um^2 ，所以 $\text{gate count} = 424.350010 / 10$ 約為 43 個。

d. Timing report

Operating Conditions: slow Library: slow
Wire Load Model Mode: top

Startpoint: square_x[1]
(input port)
Endpoint: ans (output port)
Path Group: (none)
Path Type: max

Point	Incr	Path
input external delay	0.00	0.00 r
square_x[1] (in)	0.00	0.00 r
sub_1.root_sub_10_2/B[1] (JUDGE_DW01_sub_1)	0.00	0.00 r
sub_1.root_sub_10_2/U2/Y (CLKINVX1)	0.03	0.03 f
sub_1.root_sub_10_2/U2_1/S (ADDFXL)	0.58	0.61 r
sub_1.root_sub_10_2/DIFF[1] (JUDGE_DW01_sub_1)	0.00	0.61 r
sub_0.root_sub_10_2/A[1] (JUDGE_DW01_sub_0)	0.00	0.61 r
sub_0.root_sub_10_2/U1/Y (CLKINVX1)	0.07	0.68 f
sub_0.root_sub_10_2/U16/Y (AND2X1)	0.19	0.86 f
sub_0.root_sub_10_2/U15/Y (OAI22XL)	0.32	1.18 r
sub_0.root_sub_10_2/U14/Y (NOR2X1)	0.10	1.28 r
sub_0.root_sub_10_2/U13/Y (AOI2BB2X1)	0.25	1.53 f
sub_0.root_sub_10_2/U12/Y (AND2X1)	0.19	1.71 f
sub_0.root_sub_10_2/U11/Y (OAI22XL)	0.32	2.03 r
sub_0.root_sub_10_2/U10/Y (NOR2X1)	0.10	2.13 f
sub_0.root_sub_10_2/U9/Y (AOI2BB2X1)	0.25	2.38 f
sub_0.root_sub_10_2/U8/Y (AND2X1)	0.19	2.56 f
sub_0.root_sub_10_2/U7/Y (OAI22XL)	0.28	2.84 r
sub_0.root_sub_10_2/U6/Y (NOR2X1)	0.10	2.94 f
sub_0.root_sub_10_2/U5/Y (AOI2BB2X1)	0.22	3.16 r
sub_0.root_sub_10_2/U2_7/Y (XOR3X1)	0.30	3.46 r
sub_0.root_sub_10_2/DIFF[7] (JUDGE_DW01_sub_0)	0.00	3.46 r
U6/Y (CLKINVX1)	0.04	3.50 f
ans (out)	0.00	3.50 f
data arrival time		3.50

(Path is unconstrained)

圖 36. JUDGE 合成後之 max delay path

【分析】

設定 Delay path 為 max，因為模組為組合電路，所以無 slack，由圖 36 可知 Data arrival time = 3.50fs。

Operating Conditions: slow Library: slow
Wire Load Model Mode: top

Startpoint: square_y[7]
(input port)
Endpoint: ans (output port)
Path Group: (none)
Path Type: min

Point	Incr	Path
input external delay	0.00	0.00 f
square_y[7] (in)	0.00	0.00 f
sub_0.root_sub_10_2/B[7] (JUDGE_DW01_sub_0)	0.00	0.00 f
sub_0.root_sub_10_2/U4/Y (CLKINVX1)	0.05	0.05 r
sub_0.root_sub_10_2/U2_7/Y (XOR3X1)	0.19	0.24 r
sub_0.root_sub_10_2/DIFF[7] (JUDGE_DW01_sub_0)	0.00	0.24 r
U6/Y (CLKINVX1)	0.04	0.28 f
ans (out)	0.00	0.28 f
data arrival time		0.28

(Path is unconstrained)

圖 37. JUDGE 合成後之 min delay path

【分析】

設定 Delay path 為 min，因為模組為組合電路，所以無 slack，由圖 37 可知 Data arrival time = 0.28fs。

e. Critical path

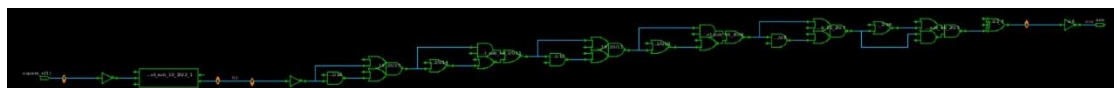


圖 38. JUDGE 合成後之 critical path

f. Power report

Operating Conditions: slow Library: slow
Wire Load Model Mode: top

Global Operating Voltage = 1.08
Power-specific unit information :
Voltage Units = 1V
Capacitance Units = 1.000000pf
Time Units = 1ns
Dynamic Power Units = 1mW (derived from V,C,T units)
Leakage Power Units = 1pW

Cell Internal Power = 52.2824 uW (76%)
Net Switching Power = 16.9261 uW (24%)

Total Dynamic Power = 69.2085 uW (100%)

Cell Leakage Power = 389.3542 nW

Information: report_power power group summary does not include estimated clock tree power. (PWR-789)

Power Group	Internal Power	Switching Power	Leakage Power	Total Power	(%)	Attrs
io_pad	0.0000	0.0000	0.0000	0.0000	(0.00%)	
memory	0.0000	0.0000	0.0000	0.0000	(0.00%)	
black_box	0.0000	0.0000	0.0000	0.0000	(0.00%)	
clock_network	0.0000	0.0000	0.0000	0.0000	(0.00%)	
register	0.0000	0.0000	0.0000	0.0000	(0.00%)	
sequential	0.0000	0.0000	0.0000	0.0000	(0.00%)	
combinational	5.2282e-02	1.6926e-02	3.8935e+05	6.9598e-02	(100.00%)	
Total	5.2282e-02 mW	1.6926e-02 mW	3.8935e+05 pW	6.9598e-02 mW		

圖 39. JUDGE 合成後之 power

【分析】

Total Dynamic Power 為電路運作時的消耗功率，Cell Leakage Power 則為電路靜止無運作時的消耗功率，正常情況下動態功率消耗會大於靜態功率消耗。由圖 39 可看出動態功率消耗為 69.2085uW，靜態功率消耗為 389.3542nW，符合正常情況。

E. COUNT 模組

a. Symbol view

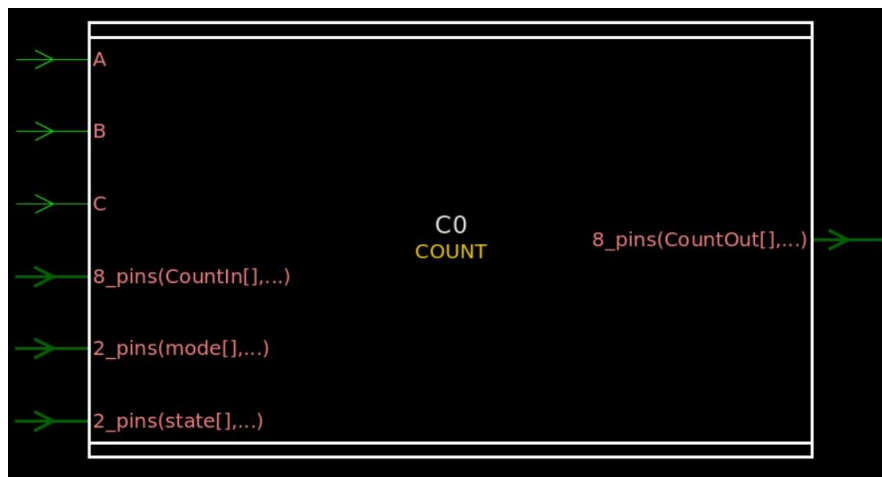


圖 40. COUNT 之 Symbol view

b. Schematic view

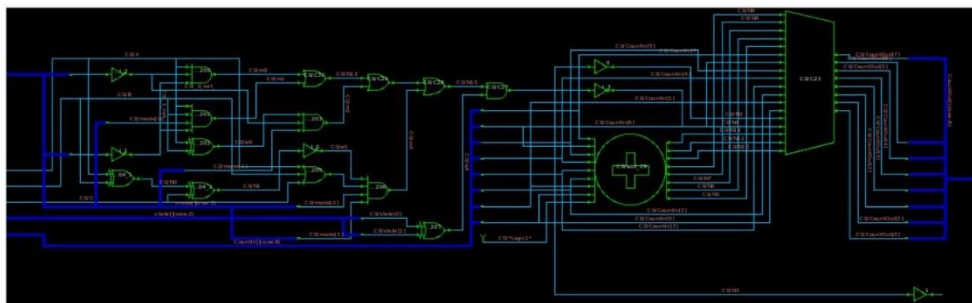


圖 41. COUNT 之 Schematic view

c. Area report

```
Information: Updating design information... (UID-85)
Library(s) Used:

slow (File: /mnt3/CBDK_IC_Constest_v2.1/SynopsysDC/db/slow.db)

Number of ports:          39
Number of nets:           62
Number of cells:          26
Number of combinational cells: 25
Number of sequential cells: 0
Number of macros/black boxes: 0
Number of buf/inv:        3
Number of references:      9

Combinational area:       312.321598
Buf/Inv area:             10.184400
Noncombinational area:    0.000000
Macro/Black Box area:    0.000000
Net Interconnect area:    undefined (No wire load specified)

Total cell area:          312.321598
Total area:               undefined
```

圖 42. COUNT 合成後之 area

【分析】

在面積計算上會因製程的不同而有面積的不同，所以為了有個統一的比較標準，建立一個標準的衡量方式 Gate count = area 除以 NAND2 gate 的面積，單位為 μm^2 。

由圖 42 可之 area = $312.321598\mu\text{m}^2$ 。

1. 在 $0.13\mu\text{m}$ 的製程下，NAND2 gate 的面積約為 $5\mu\text{m}^2$ ，所以 gate count = $312.321598/5$ 約為 63 個。
2. 在 $0.18\mu\text{m}$ 的製程下，NAND2 gate 的面積約為 $10\mu\text{m}^2$ ，所以 gate count = $312.321598/10$ 約為 32 個。

d. Timing report

```
Operating Conditions: slow Library: slow
Wire Load Model Mode: top

Startpoint: CountIn[1] (input port)
Endpoint: CountOut[7]
(output port)
Path Group: (none)
Path Type: max
```

Point	Incr	Path
input external delay	0.00	0.00 r
CountIn[1] (in)	0.00	0.00 r
add_29/A[1] (COUNT_DW01_inc_0)	0.00	0.00 r
add_29/U1_1_1/CO (ADDHXL)	0.15	0.15 r
add_29/U1_1_2/CO (ADDHXL)	0.18	0.33 r
add_29/U1_1_3/CO (ADDHXL)	0.18	0.50 r
add_29/U1_1_4/CO (ADDHXL)	0.18	0.68 r
add_29/U1_1_5/CO (ADDHXL)	0.18	0.86 r
add_29/U1_1_6/CO (ADDHXL)	0.17	1.02 r
add_29/U1/Y (XOR2X1)	0.16	1.18 f
add_29/SUM[7] (COUNT_DW01_inc_0)	0.00	1.18 f
U22/Y (CLKMX2X2)	0.16	1.34 f
CountOut[7] (out)	0.00	1.34 f
data arrival time		1.34

(Path is unconstrained)

圖 43. COUNT 合成後之 max delay path

【分析】

設定 Delay path 為 max，因為模組為組合電路，所以無 slack，由圖 43 可知 Data arrival time = 1.34fs。

```
Operating Conditions: slow Library: slow
Wire Load Model Mode: top

Startpoint: CountIn[7] (input port)
Endpoint: CountOut[7]
(output port)
Path Group: (none)
Path Type: min
```

Point	Incr	Path
input external delay	0.00	0.00 r
CountIn[7] (in)	0.00	0.00 r
U22/Y (CLKMX2X2)	0.12	0.12 r
CountOut[7] (out)	0.00	0.12 r
data arrival time		0.12

(Path is unconstrained)

圖 44. COUNT 合成後之 min delay path

【分析】

設定 Delay path 為 min，因為模組為組合電路，所以無 slack，由圖 44 可知 Data arrival time = 0.12fs。

e. Critical path

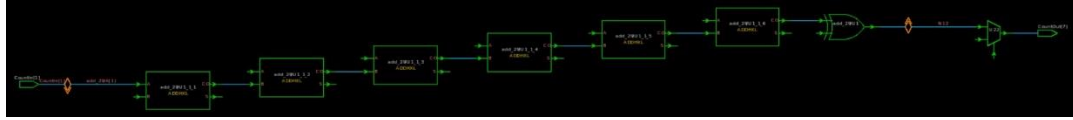


圖 45. COUNT 合成後之 critical path

f. Power report

Operating Conditions: slow Library: slow
Wire Load Model Mode: top

Global Operating Voltage = 1.08
Power-specific unit information :
Voltage Units = 1V
Capacitance Units = 1.000000pf
Time Units = 1ns
Dynamic Power Units = 1mW (derived from V,C,T units)
Leakage Power Units = 1pW

Cell Internal Power = 25.5975 uW (75%)
Net Switching Power = 8.6031 uW (25%)

Total Dynamic Power = 34.2006 uW (100%)
Cell Leakage Power = 389.6535 nW

Information: report_power power group summary does not include estimated clock tree power. (PWR-789)

Power Group	Internal Power	Switching Power	Leakage Power	Total Power	(%)	Attrs
io_pad	0.0000	0.0000	0.0000	0.0000	(0.00%)	
memory	0.0000	0.0000	0.0000	0.0000	(0.00%)	
black_box	0.0000	0.0000	0.0000	0.0000	(0.00%)	
clock_network	0.0000	0.0000	0.0000	0.0000	(0.00%)	
register	0.0000	0.0000	0.0000	0.0000	(0.00%)	
sequential	0.0000	0.0000	0.0000	0.0000	(0.00%)	
combinational	2.5598e-02	8.6031e-03	3.8965e+05	3.4590e-02	(100.00%)	
Total	2.5598e-02 mW	8.6031e-03 mW	3.8965e+05 pW	3.4590e-02 mW		

圖 46. COUNT 合成後之 power

【分析】

Total Dynamic Power 為電路運作時的消耗功率，Cell Leakage Power 則為電路靜止無運作時的消耗功率，正常情況下動態功率消耗會大於靜態功率消耗。由圖 46 可看出動態功率消耗為 34.2006uW，靜態功率消耗為 389.6535nW，符合正常情況。

第六章 電路可測性分析

1. DFT 方法

使用 Synopsys 公司之 TetraMAX 軟體進行可測性分析。

2. ATPG 之結果分析

將已合成之 SET 電路做 DFT insertion，並執行 ATPG，產生 Fault summary report，結果參照圖 47 和圖 48。

Uncollapsed Stuck Fault Summary Report		
fault class	code	#faults
Detected	DT	4728
Possibly detected	PT	0
Undetectable	UD	99
ATPG untestable	AU	0
Not detected	ND	5

total faults		4832
test coverage		99.89%
fault coverage		97.85%

Pattern Summary Report		
#internal patterns		121
#basic_scan patterns		121

圖 47. SET 之 ATPG 結果

1	sa0	NO	M2/U30/A
2	sa0	NO	M3/U33/B
3	sa1	NO	JC/sub_1_root_sub_0_root_sub_10_2/U54/Y
4	sa0	--	JC/sub_1_root_sub_0_root_sub_10_2/U54/B
5	sa0	--	JC/sub_1_root_sub_0_root_sub_10_2/U54/A

圖 48. SET 之 Not detected line

【分析】

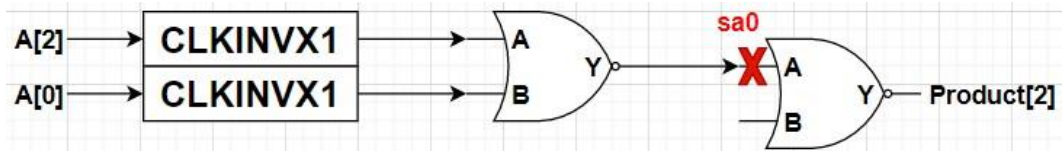


圖 49. sa0 NO M2/U30/A 之局部位置圖

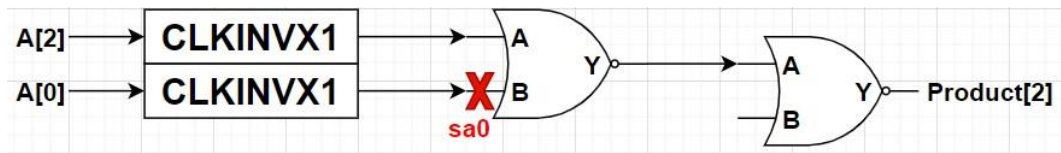


圖 50. sa0 NO M3/U33/B 之局部位置圖

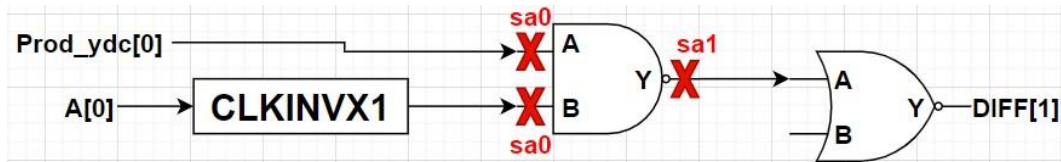


圖 51. sa1 NO JC/sub_1_root_sub_0_root_sub_10_2/U54/Y 之局部位置圖

sa0 -- JC/sub_1_root_sub_0_root_sub_10_2/U54/B 之局部位置圖

sa0 -- JC/sub_1_root_sub_0_root_sub_10_2/U54/A 之局部位置圖

圖 51 的三個 Stack-at fault 為 Fault equivalence，因此我只分析 B sa0 的部分。

由圖 49、圖 50 與圖 51，其共通點在於 CLKINVX1，而 CLKINVX1 是 clock tree synthesis 所產生的緩衝器，目的是讓相應路徑的時脈訊號具有同樣的延遲，如果沒有加入此緩衝器，那 Timing report 中的 slack 就可能出現負值，使得合成出的電路無法運作，分析合成結果後，我認為這五個 Not detected line 並不會影響電路正確性，而且 CLKINVX1 是由合成軟體自動產生，更改結構不易與更改風險大，所以予以保留。

第七章 結論

1. 結語

本專題在一開始的資料處理流程、架構規劃與挑選乘法器種類花費許多時間，我學到了如何練習有效率地從龐大的資訊中過濾出所需要的背景知識與電路架構，以及更熟悉 ATPG 的操作流程，製作專題時，因為前幾個版本的控制訊號與集合運算邏輯遇到蠻多問題，感謝莊學叡學長在過程中的協助與建議。這樣的訓練實在令我獲益匪淺，透過專題完整的實作從 RTL code 設計、Simulation 到合成，甚至運用 TetraMAX 進行分析，都讓我對晶片設計有了更進一步的認識及經驗。

2. 未來展望

目前我已完成針對二維平面座標系統為範圍，在指定圓個數與模式個數的狀況下，可進行集合運算之元素計數器，但專題不會就此結束。在大四上學期結束前，我預計做出以三維座標系統為範圍之分析，並增加圓的個數與模式選項，使系統更趨複雜，期望找出邏輯運算的通用計數器，並透過更進階的方法分析系統功耗與面積，如果時間充足，我將嘗試做出足以下線之集合運算之元素計數系統。

參考資料

1. <http://www.signoffsemi.com/cts-part-1-2/>
2. <https://zhuanlan.zhihu.com/p/91112032>
3. <http://www.52-ic.com/770.html>
4. <https://www.silabs.com/documents/public/white-papers/clock-tree-design-considerations-tw.pdf>
5. <https://ai4dt.wordpress.com/2018/05/25/%E4%B8%89%E5%A4%A7%E9%A1%9E%E6%A9%9F%E5%99%A8%E5%AD%B8%E7%BF%92%EF%BC%9A%E7%9B%A3%E7%9D%A3%E5%BC%8F%E3%80%81%E5%BC%B7%E5%8C%96%E5%BC%8F%E3%80%81%E9%9D%9E%E7%9B%A3%E7%9D%A3%E5%BC%8F/>
6. <http://itlab.ee.nsysu.edu.tw/>

全文完

國立中山大學電機系電機實作專題申請表

姓名	賴亭諭	學號	B063012015
聯絡電話	0919628822	電子信箱	b063012015@student.nsysu.edu.tw
選修組別	系統晶片實作專題		
專題名稱	Counting the number of vertex covers by set-theoretic operations of multiple circle graph		
專題內容摘要	<p>給定多個圓形及座標範圍，根據輸入參數的值，測試模組將執行特定運算，其中包含“個別圓形內點之個數”、“圓形之交集點個數”、“圓形間之差集點個數”...等，並配合控制訊號輸出結果</p>		

指導老師簽章：

謝東佑