

(극비 / 사외 반출 엄금)

문서 분류: SKH-RND-TECH-2510

작성 부서: 차세대소자연구소, 어드밴스드패키징(AP)팀

작성일: 2025년 10월 22일

페이지: 1/2

제목: 2026년 양산 목표 차세대 소자 및 화합물 반도체 R&D 현황 보고

1. 개요

본 문서는 2026년 이후 주력 제품(HBM5, 3나노 이하 로직)에 적용될 차세대 소자 기술, 3D 집적 기술, 그리고 신성장 동력인 화합물 반도체의 3분기 R&D 성과를 요약한다.

2. 차세대 소자 기술 (Advanced Device Tech)

- Gate-All-Around (GAA) 트랜지스터 개발 현황
 - 프로젝트명: 'Apollo-GAA'
 - 적용 공정: 2나노급 (SF2) 로직 테스트 공정
 - 채널 물질: 실리콘-저마늄 (SiGe) 나노시트 (Nanosheet)
 - 3분기 성과: 3세대 나노시트 적층 성공 (기존 3단 -> 4단)
 - 주요 지표:
 - 동작 전압 (Vdd): 0.65V 달성 (목표 0.6V)
 - 누설 전류 (Leakage Current): 기존 FinFET 대비 45% 감소
 - SS (Subthreshold Swing): 62mV/dec (목표 60mV/dec 근접)
- High-K Metal Gate (HKMG) 공정
 - 유전체 물질: 이산화 하프늄 (HfO2) 기반 신규 물질 'SK-Alpha'
 - 증착 방식: 신규 ALD(원자층 증착) 장비 'P-800' 도입
 - 신뢰성 테스트: 10년 수명주기 기준 99.5% 통과

3. 초미세 집적 및 패키징 (Advanced Integration)

- 하이브리드 본딩 (Hybrid Bonding)
 - HBM4 적용 목표로 Cu-to-Cu 직접 연결 기술 개발 중.
 - 본딩 패드 피치(Pitch): 7 μ m (마이크로미터) 구현 성공 (기존 TSV 피치 15 μ m)
 - 3분기 본딩 정렬 정확도: 65nm (나노미터) (4분기 목표 50nm)
- Logic-on-Memory 적층
 - CXL 메모리 시제품에 로직 다이(SRAM)와 메모리 다이(DRAM)를 수직 적층.
 - 인터포저(Interposer) 제거로 신호 지연 20% 단축.

4. 화합물 반도체 (Compound Semiconductors)

- 질화갈륨(GaN) 전력 반도체
 - 개발 목표: 데이터센터 서버용 고효율 전원 공급 장치
 - 웨이퍼: 8인치(200mm) 실리콘 기반 질화갈륨(GaN-on-Si)
 - 파일럿 라인: 청주 M15 팹 내 'GaN-Zone' 구축 완료 (2025.09)
 - 3분기 시제품 성능: 650V 내압, 150A 전류 용량 달성

- 탄화규소(SiC) 반도체
 - 개발 목표: 전기차(EV)용 인버터 모듈
 - 기술 방식: 1200V급 트렌치(Trench)형 SiC MOSFET
 - 당면 과제: 기판(Substrate) 결정 결함 밀도 (Defect Density) $0.8/\text{cm}^2$ (목표 0.5 이하)

5. 측정 및 결함 제어 (Metrology & Defect Control)

- 2나노 이하 공정 대응 EUV 마스크 결함 검사기 'Metron-Z' (사내 개발명) 3호기 도입.
- 임계 치수(CD) 관리: 게이트 CD 균일도(Uniformity) 0.6nm 달성 (목표 0.5nm)

6. 결론 및 차후 계획

- GAA 소자 신뢰성 확보 및 HBM용 하이브리드 본딩 정렬 정확도 50nm 달성이 4분기 핵심 마일스톤임.
- GaN 전력 반도체는 2026년 상반기 고객사 샘플 공급을 목표로 함.