

Lab1 实验说明

本实验分为两个部分，第一部分为基于现有材料的代码修改完善，第二部分为基于电路图的 RTL 实现。下面开始分部分介绍。

一 代码修改部分

该部分实现一个计数器(Counter)和一个运算模块(ReLU)模块的集成测试。

1.1 计数器部分

计数器实现的功能：在 `rst_n` 有效时(该信号为低电平有效)，对计数器中的值进行清零复位，其他情况下每个时钟(`clk`)上升沿计数值加 1，当经过设定的阈值(Threshold)数的时钟周期后，输入一个信号宽度为一时钟周期的 `out_en` 信号(高电平有效)。

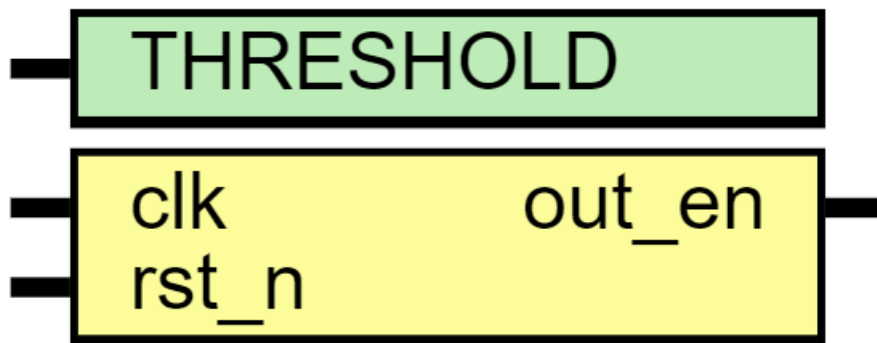


图 1. 计数器端口图

1.2 ReLU 部分

ReLU 是卷积神经网络中常用的激活函数，用于引入非线性。其函数功能如下图所示，当输入大于 0 时输出为输入本身，当输入小于 0 时输出为 0。也即 $ReLU(x) = \max(0, x)$

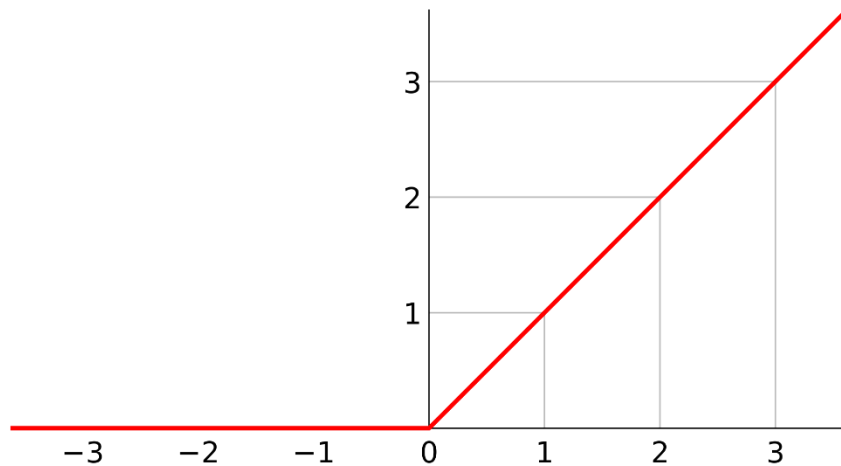


图 2. ReLU 函数图

ReLU 实现的功能: 在 `rst_n` 有效时(该信号为低电平有效), 将输出结果清零; 只有当 `out_en` 有效时在时钟上升沿输出 ReLU 计算该周期 `input_data` 作为输入数据的结果, 否则将一直保持为上周期的结果。

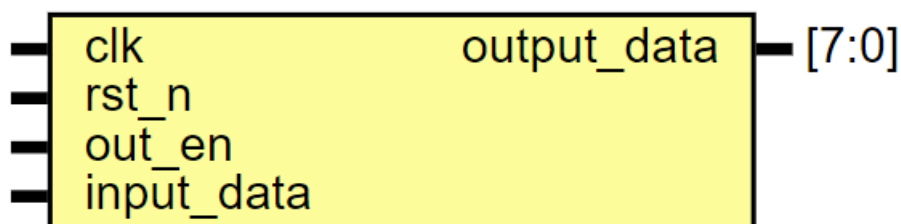


图 3. ReLU 端口图

1.3 Testbench 部分

该部分例化了上述两个模块, 并模拟了激励, 用于获取波形图进行功能验证。

1.4 修改部分

计数器和 ReLU 部分存在功能错误以及语法错误, 需要进行修改。Testbench 部分仅例化模块部分存在语法错误, 只需在例化语句内寻找语法错误。

当所有模块的错误修改结束之后即可进行编译, 编译通过之后进行仿真, 如果能够得到正确的波形, 即说明所有错误均被找出。

二 实现电路功能

该实验的第二部分是根据以下电路图完成代码的书写, 并且完成 testbench 模块验证功能的正确性。电路图如下:

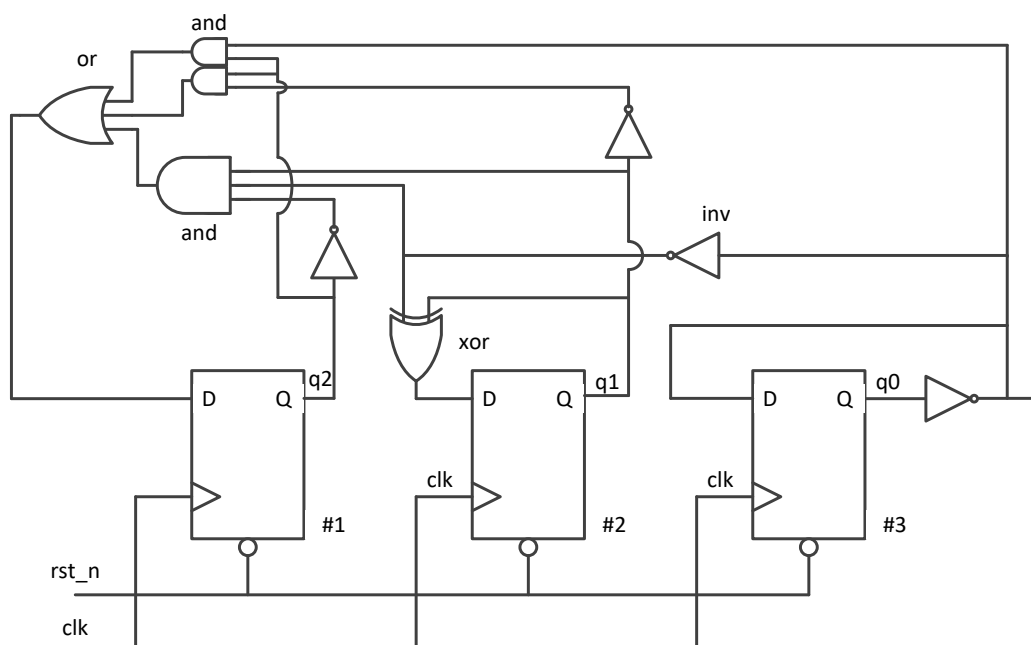


图 4. 电路图

三 实验报告要求

报告中需指出第一部分中的代码问题, 以及最终的波形图截图, 第二部分需要附上 verilog 源代码(包含适当注释), testbench 代码以及仿真波形图。实验报告将是实验成绩的主要依据, 请根据给出的报告模板尽量做到书写规范。

实验报告递交请压缩成一个 zip 文件, 文件名为 LABn_学号_姓名, 如 LAB1_5123456789_李雷), 压缩包须包括:

- 1) verilog 代码
- 2) testbench 代码
- 3) 实验报告
- 4) 波形图

实验报告提交到 Canvas 上, 截止日期: 4 月 30 号 23: 59.