

实验三 FIFO 设计与应用

一、FIFO 基础

设计一个同步 FIFO，该 FIFO 深度为 16，每个存储单元的宽度为 8 位，要求产生 FIFO 为空、满、半满、溢出标志。请采用可综合的代码风格进行编程。以下是该 FIFO 模块的结构框图：



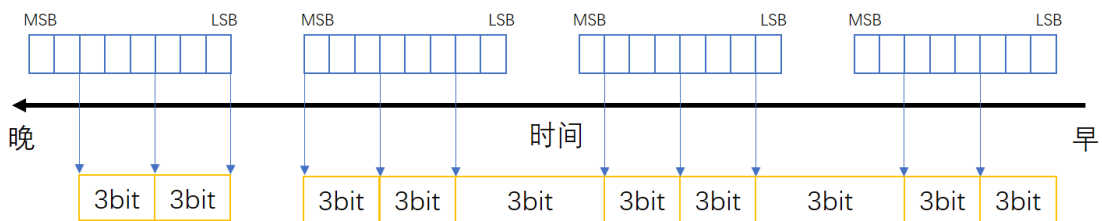
其中，clk：输入时钟；rst_n：输入复位信号，低电平有效；w_en：写使能；r_en：读使能；data_w：写入 FIFO 的数据；data_r：从 FIFO 中读出的数据；empty：读空信号，指示 FIFO 为空；full：写满信号，指示 FIFO 为满；half_full：半满信号；overflow：溢出信号，当 FIFO 已经满的时候，继续有写入的数据时跳为 1。

实验要求：

- 1、rst_n 低有效，复位后，空信号 empty=1，满信号 full=0，内部写地址、读地址指针指向 0。
- 2、clk 上升沿根据 w_en 和 r_en 信号决定读写，w_en 和 r_en 信号均为高有效。
- 3、基于提供的 tb，不停顿执行完表示功能通过(输出 “ndone, without error”)。

二、FIFO 应用

基于 FIFO 进行位宽的转换，要求在数据写入 FIFO 时使用 8bit 位宽，读出 FIFO 时使用 3bit 位宽（从低位开始读出，如下图所示）。



实验要求：

- 1、端口信号要求与第一部分相同（位宽需要相应修改）。
- 2、该 FIFO 深度为 16，每个存储单元的宽度为 8 位。
- 3、修改第一部分提供的 tb，完成电路验证。

三、实验要求

基础部分：

- 1、理清思路，想清楚实验电路。
- 2、写出其 verilog 描述并进行仿真。完成 tb 和仿真，确保仿真波形正确。
- 3、实验报告详细说明 FIFO 原理，设计方法，并说明 testbench 代码。

四、 实验报告

实验报告按照要求递交 canvas，如果有困难递交的同学请向老师和助教说明！

报告中需附上完整的 verilog 源代码（添加适当的注释），testbench 代码以及生成的波形图(请压缩成一个文件，文件名为 LABn_学号_姓名，如 LAB3_5092119058_李雷)。实验报告将是实验成绩的主要依据，请尽量做到书写规范，思路清晰易懂，**切勿互相抄袭**。