

实验四 秒表设计及验证

一、功能介绍

本指导设计一个具有秒表功能的模块，功能描述如下：

- 秒表计时功能。当rst_n无效时（rst_n=0,有效，rst_n=1,无效），sw_en使能后（sw_en=1），从00:00开始计时，当计时到达预设的定时时间，产生time_out高电平信号，计时继续；
- sw_en置低时计时停止，当前时间保持不变，内部计时停止；
- pause信号有效时(pause=1)，当前显示时间不变(输出不变)，但内部计时仍继续。当pause信号无效后，恢复输出当前计时时间。
- clear信号有效时，计时清零。
- 计时到达59'99时，从零重新计时并且将time_out信号置为无效（time_out=0,无效）；
- 输出当前计时的秒数，精度为0.01秒（显示毫秒数的百位和个位）；
- 全局rst_n信号（低电平有效）发生时，秒表清零，计时停止，并且将之前的time_out信号置低。
- 产生time_out的内部预设值，在代码里自行设定
- 输入时钟100Mhz

二、端口定义

表 1 秒表端口定义

portname	I/O	描述
clk	I	系统输入时钟 100Mhz
rst_n	I	异步复位信号，低电平有效（复位），高电平无效（电路正常工作）
sw_en	I	高电平有效，高电平是电路计时，低电平电路计时停止
pause	I	高电平有效，有效时电路计时输出保持不变，内部计时不停止，低电平时电路正常输出内部计时
clear	I	高电平有效，有效时内部计时清 0，注意 clear 和 rst_n 的区别
clk_out	O	输出时钟，25Mhz
time_sec_h[2:0]	O	当前计时，秒数的十位，0~5
time_sec_l[3:0]	O	当前计时，秒数的个位，0~9
time_msec_h[3:0]	O	当前计时，毫秒数的十位，0~9
time_msec_l[3:0]	O	当前计时，毫秒数的个位，0~9
time_out	O	闹钟标记信号，高电平有效，当计时到达预设定时后，该信号有效，当计时到达59.99后清零 产生time_out的内部预设值，在代码里自行设定

二、实验要求

- 完成 Verilog 代码编写
- 完成 testbench，实现对于秒表功能的验证，要求验证所有功能
- 实验报告里详细描述如何实现，如何验证代码功能的正确性

三、 实验报告

实验报告按照要去递交 canvas，如果有困难递交的同学请向老师和助教说明。

报告中需附上完整的 verilog 源代码（添加适当的注释），testbench 代码以及生成的波形图(请压缩成一个文件，文件名为 LABn_学号_姓名，如 LAB3_5092119058_李雷)。