
上海交通大学

SHANGHAI JIAO TONG UNIVERSITY

实验报告



课程名称: 数字逻辑设计

项目名称: Lab4

学院(系): 电子信息与电气工程学院

专 业: 微电子科学与工程

学生姓名: 王赟恺 学号: 522031910274

2024 年 05 月 31 日

目录

1 CLK_DIV	3
1.1 实验电路功能	3
1.2 模块端口图	3
1.3 设计思路	3
1.4 代码分析	3
1.5 波形图.....	4
2 CONTROL.V.....	4
2.1 实验电路功能	4
2.2 实验电路模块端口图	4
2.3 设计思路	4
2.4 代码分析	5
2.5 波形图.....	6

1 clk_div

1.1 实验电路功能

将系统时钟信号分频，产生频率为 100Hz 和 25mHz 的信号用来驱动 HDMI 模块

1.2 模块端口图



clk_div 模块端口图

1.3 设计思路

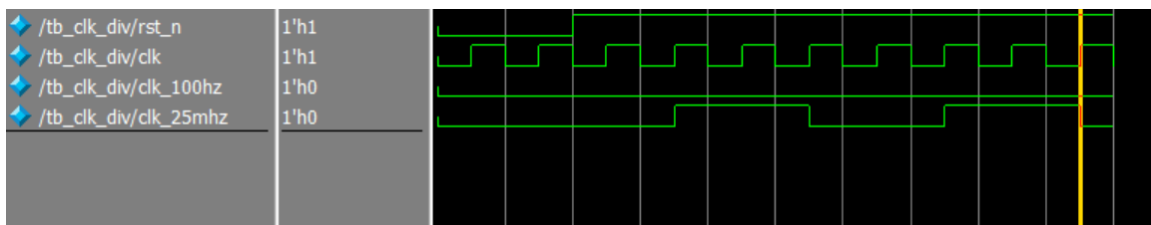
内部维护两个计数器，一个计数器在数到 1 后将输出的 25mHz 信号翻转，另一个计数器在数到 49999 后将输出的 4Hz 翻转

1.4 代码分析

```
always@(posedge clk or negedge rst_n) begin
    if(!rst_n)
        cnt_4 <= 'b0;
    else if(cnt_4 == 2'd1)
        cnt_4 <= 'b0;
    else
        cnt_4 <= cnt_4 + 1'b1;
    end
always@(posedge clk or negedge rst_n) begin
    if(!rst_n)
        clk_25mhz <= 1'b0;
    else if(cnt_4 == 2'd1)
        clk_25mhz <= !clk_25mhz;
    else
        clk_25mhz <= clk_25mhz;
    end
end
```

产生 25mHz 时钟信号的计数器

1.5 波形图



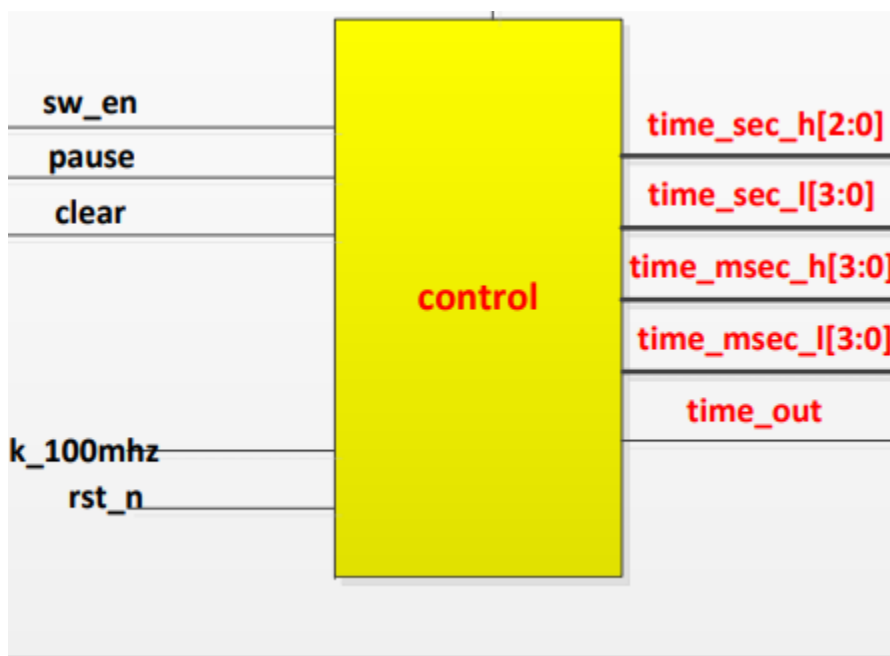
可以观察到输出的时钟信号频率与预期相符

2 control.v

2.1 实验电路功能

根据 FPGA 板上传入的按键信息对秒表进行控制,实现置位(reset),清除(clear),暂停(pause),开关(sw_en),到预定时间(timeout)。

2.2 实验电路模块端口图



2.3 设计思路

为了实现 pause 功能(按下 pause 按键时显示的数字停滞,但仍然记录时间),于是需要维护两组寄存器来记录时间,一组是显示时间,在代码里命名为 time_sec_h,time_msec_h...,另一组是实时时间,在代码里命名为 time_sec_h_cp,time_msec_h_cp...,这一组寄存器一直在更新,只有在 pause 信号无效时,才把 time_sec_h_cp 赋值给 time_sec_h 寄存器。

2.4 代码分析

状态机组合逻辑转移方程(以 STATE0, STATE1 为例)

```
always@(posedge clk_100hz or negedge rst_n)
begin
    if(!rst_n)
        time_msec_l <= 4'b0;
    else if(!pause)
        time_msec_l <= time_msec_l_nxt;
end
```

用组合逻辑更新 time_msec_l_nxt, 用时序逻辑更新 time_msec_l;

```
assign fresh_msec_l = (time_msec_l_cp == 4'd9)?
1:0;
always@(*) begin
    if(sw_en) begin
        if(fresh_msec_l | clear)
            time_msec_l_nxt = 4'b0;
        else
            time_msec_l_nxt = time_msec_l_cp +
1'b1;
    end
    else
        time_msec_l_nxt = time_msec_l_cp;
end

assign fresh_msec_h = (time_msec_h_cp == 4'd9 &
fresh_msec_l)? 1:0;
always@(*) begin
    if(sw_en) begin
        if(fresh_msec_h | clear)
            time_msec_h_nxt = 4'b0;
```

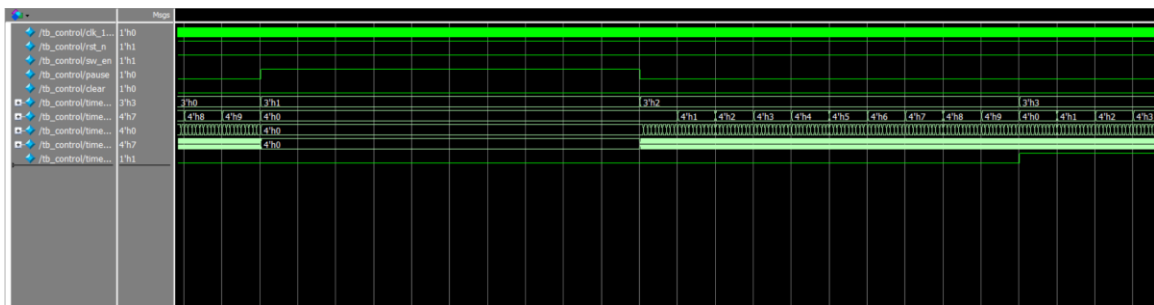
```

        else if(fresh_msec_1)
            time_msec_h_nxt = time_msec_h_cp +
1'b1;
        else
            time_msec_h_nxt = time_msec_h_cp;
    end
else
    time_msec_h_nxt = time_msec_h_cp;
end

```

维护 fresh_msec_1 信号，当产生进位时该信号有效，用于清零该位并使高位进位。

2.5 波形图



测试了 pause 信号，pause 无效后显示存在跳变，timeout 功能正常拉高，且随着 clear 信号或完成一个周期拉低，达到预期功能