LAB2 Pre-Report

20160410 윤석훈

1. What the VHDL is?

🡺 Very high speed integrated circuit(VHSIC) Hardware Discription Language 의 줄임말. 디지털 회로를 프로그래밍해서 설계하는 데에 이용되는 도구이다.

2. VHDL structures.

(1)Package: 하드웨어를 설계할 때 자주 사용되는 모듈을 미리 만들어 놓은 것.

(2)Entity: VHDL을 이용해서 표현하는 대상체. 입출력 요소들.

(3)Architecture: 회로의 함수를 선언할 때 쓰이는 VHDL 요소.

(4)Process statement: 회로 디자인에서 처리를 명령하는 구문

(5)Sequential statement: 여느 프로그래밍 언어와 같이 구문들이 프로그램 내에서 놓여진 순서에 따라서 실행되는 것.

(6)Use Clause: Library의 Package를 사용할 때 선언하기 위해서 쓰이는 요소.

3. VHDL syntax.

(1)Data types : 자료형

-Numeric: 숫자로 표시하는 데이터로 구성된 자료. Ex)1234

-bit: 0과 1로 구성된 이진 자료들.

-bit\_vector: bit를 배열한 것들. Bit array

(2)Operators : 연산자

-Logical: 참 또는 거짓에 관한 연산하는 데에 쓰이는 논리연산자.

-Relational: 크고 작음, 같음과 다름 등, 연산자의 좌우 값에 대한 관계를 나타내는 관계 연산자.

-Arithmetic: 덧셈, 뺄셈, 곱셉, 나눗셈 등 산술식을 구성하는 산술 연산자.

(3)Signal: 0또는 1로 전달될지 결정되는 하드웨어의 선

(4)Constant : 상수

(5)Function : 여러 객체들을 조합하여 특정 결과값으로 대응시킨 것. 함수

(6)Component : 이미 설계된 entitiy를 부품으로 하여 구조적으로 설계된 것.

(7)Variable Statements: 변수를 선언하는 것.