Lab4 Pre-report

20160410 윤석훈

1. What is RTL diagram?

RTL Diagram에서는 소스 코드의 변수들과 그것들의 관계에서 구현되는 회로의 모양을 변수명과 함께 제공해준다. 특히, component를 선언했으면 컴포넌트 이름과 port map 명과 함께 녹색 컴포넌트 표시를 해주는데, 컴포넌트를 클릭하면 컴포넌트만의 회로의 모양도 변수명과 함께 볼 수 있다.

2. Combinational statement는 VHDL에서 process문 밖에서 코딩 된 구문이다. 회로에서 clock이 사용되지 않으므로 입력이 바뀌면 출력이 바로 결정되는 특성이 있다. 반면 Sequential statement는 VHDL에서 process문 안에서, 특히 clock이 사용되었을 때의 구문을 의미하는데, Process문의 구문 배열에 따라 차근차근 출력이 결정되는 특성이 있다.

3. (1) Seven-segment conversion

Process(digit)

Begin

If (digit = “0000”) Then

HEX<= “1000000”;

Elsif(digit= “0001”) Then

HEX<=”1111001”;

Elsif(digit= “0010”) Then

HEX<=”0100100”;

Elsif(digit= “0011”) Then

HEX<=”0110000”;

Elsif(digit= “0100”) Then

HEX<=”0011001”;

Elsif(digit= “0101”) Then

HEX<=”0010010”;

Elsif(digit= “0110”) Then

HEX<=”0000010”;

Elsif(digit= “0111”) Then

HEX<=”1111000”;

Elsif(digit= “1000”) Then

HEX<=”0000000”;

Elsif(digit= “1001”) Then

HEX<=”0011000”;

Elsif(digit= “1010”) Then

HEX<=”0001000”;

Elsif(digit= “1011”) Then

HEX<=”0000011”;

Elsif(digit= “1100”) Then

HEX<=”1000110”;

Elsif(digit= “1101”) Then

HEX<=”0100001”;

Elsif(digit= “1110”) Then

HEX<=”0000110”;

Elsif(digit= “1111”) Then

HEX<=”0001110”;

End if;

End Process;

(2)Comparison function

Sign <= A-B;

Process(Sign)

Begin

If(Sign<0) Then

Output <= ‘[‘;

Elsif(Sign==0) Then

Output<= ‘=’;

Else

Output<= ‘]’;

End if;

End process;