Lab8 Pre-report

20160410 윤석훈

1. RS latch

(1) RS latch operation and functionality

Gated RS latch는 Clock 신호(제어입력 Enable)가 0이면 이전 출력상태를 유지하고 Clock 신호가 1이면 출력상태가 기본 RS latch의 기능을 수행하도록 한다.

이를 특성표(Characteristic Table)로 나타내면, 다음과 같다.

|  |  |
| --- | --- |
| Clock S R | Q(t+1) |
| 0 X X  1 0 0  1 0 1  1 1 0  1 1 1 | Q(t) (unchanged)  Q(t) (unchanged)  0  1  X |

2. (1)‘D latch’, ‘D flip-flop’ and ‘T flip flop’

Gated D latch는 Clock신호의 제어에 의해서 ‘D’라는 하나의 데이터 입력을 저장한다. Clock 신호가 0이면 직전의 출력 상태를 유지하고, Clock 신호가 1이면 D의 내용을 그대로 출력한다.

Gated D latch의 특성표는 다음과 같다.

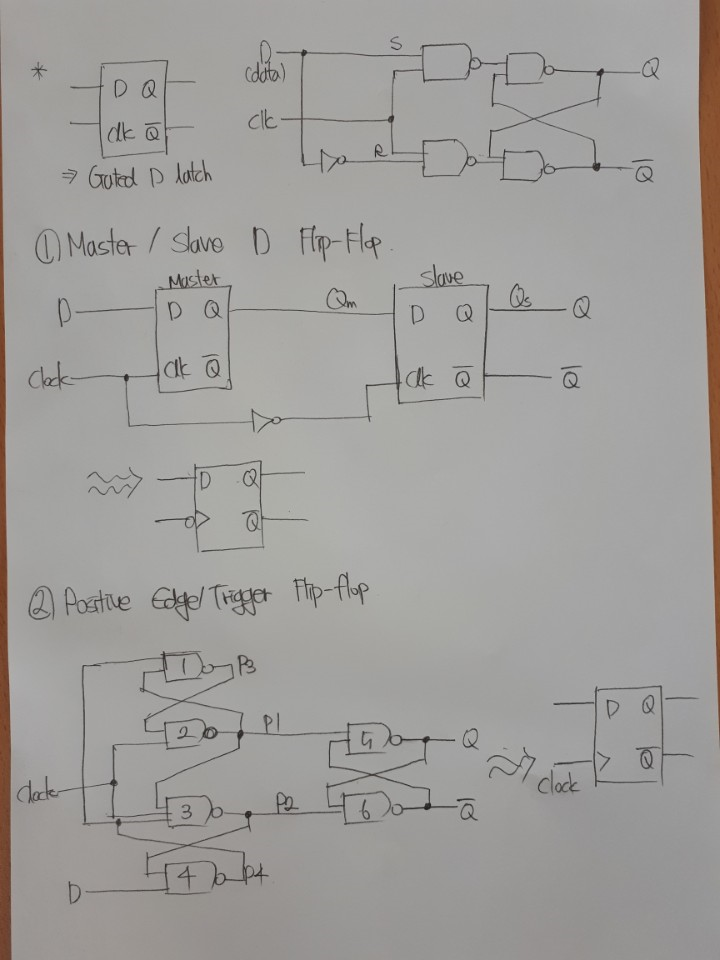
|  |  |
| --- | --- |
| Clock D | Q(t+1) |
| 0 X  1 0  1 1 | Q(t) (unchanged)  0  1 |

D flip-flop은 D latch와는 달리 한 Clock Cycle 동안에 출력상태가 오직 한번만 변화되도록 설계된 회로로 구현된다. Master/Slave D flip-flop 과 Edge-Trigger D Flip-Flop 등이 있다.

T flip-flop은 입력신호 D가 T 신호의 제어에 의해 Q또는 Q의 보수로 출력되는 저장소자이다. T=1일 때 그 상태를 토글(toggle)하므로 T Flip-flop으로 불린다. 특성표는 다음과 같다.

|  |  |
| --- | --- |
| T | Q(t+1) |
| 0  1 | Q(t)  Q(t)의 보수 |

(2) Circuit for ‘D Flip-Flop’



(3) Differences between ‘latch’ and ‘flip-flop’

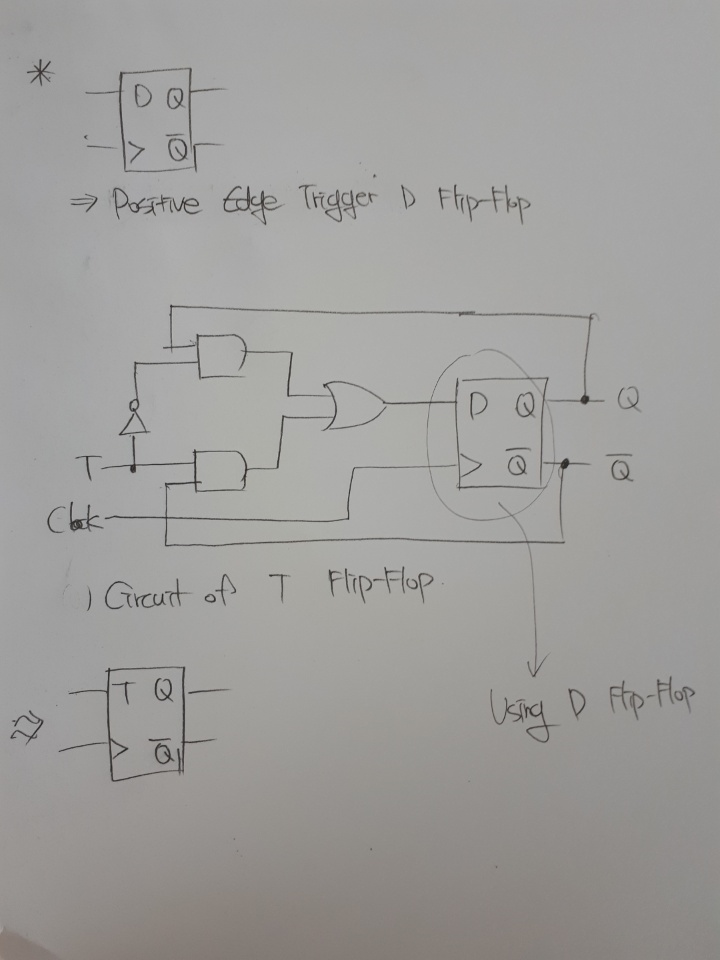
1. Latch는 입력과 출력을 연속적으로 반영하지만 Flip-Flop은 clock signal이 결정하는 그 시점에서의 입력과 출력을 반영한다.

2. Latch는 함수에서의 enable 입력에 의존하지만 Flip-Flop은 Clock의 pulse에 의존한다.

3. Latch는 논리 게이트의 조합으로 생성되지만, Flip-Flop은 그러한 Latch들의 조합으로 생성된다.

4. Latch는 입출력이 0과 1의 level에 의존하는 level-triggered이고, Flip-flop,은 clock purse에 의존하는 edge triggered 방식이다.

(4) Implement T flip-flop using D Flip-Flop



\*\* Reference:

1, 2-(1),(2),(4) : Fundamentals of logic design with vhdl TextBook

2-(3): https://www.edgefx.in/digital-electronics-latches-and-flip-flops/