Lab9 Pre-Report

20160410 윤석훈

1. What is FSM?

🡺 유한 상태 기계(finite state machine)는 유한한 개수의 상태를 가질 수 있는 추상적인 기계로, 한 번에 오직 하나의 상태(Current State)만을 가지며, 어떤 Event에 의해 한 상태에서 다른 상태로 변화(Transition)할 수 있다.

출처) 위키피디아

2. Difference between Moore and Mealy Machine

두 기계 모두 입력값, 출력값, 내부 상태를 가지는 Sequential Circuit의 모델이다.

그 둘의 차이점은 Moore모델에서는 Output이 오직 Current State의 함수로서만 구해지는 반면, Mealy 모델에서는 Output이 Current State와 Input 의 함수로 구해진다.

출처) VHDL 설계를 이용한 디지털 논리

3. How to convert clk(clock) to time(second)?

Pin Assignment에서 보면 50MHz 짜리 내부 oscillator가 있으므로 Clock converter를 이용해서 진동수를 알맞게 조정한다. HEX3~0순서로 0.1Hz, 1Hz, 10Hz, 100Hz.

4. How to capture Key[0] press in VHDL?

입력값의 전이(transition)중에서 0에서 1로 변할 때를 detect하면 된다.

5. How to make synchronous and asynchronous reset in VHDL?

(1) Synchronous Reset

Process(clock,Reset,data)

Begin

If Rising\_edge(clock) then

If Reset=’0’ then q<=’0’;

Else q<=data;

End if

End if

End process

(2)Asynchronous Reset

Process(clock,Reset,data)

If Reset=’1’ then q<=’0’;

Elsif Rising\_edge(clock) then q<=data;

End if

End process;

출처) http://allaboutfpga.com

6. Draw FSM diagram for stop watch

②

Pause

Initial

**(1): Start**

③

②

①

①

Count-Up

**(2): Reset**

**(3): Stop**