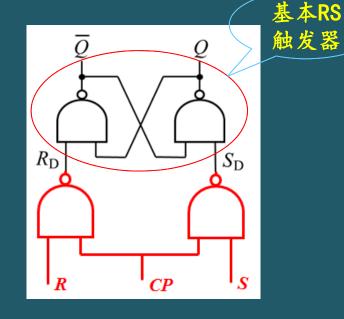


4.3.1 钟控RS触发器

钟控RS触发器是在基本RS触 发器基础上加两个与非门构成的。 R为置0端,S为置1端,CP为时钟 输入端。

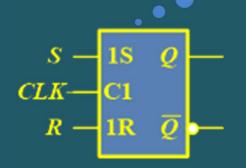




如何理解 逻辑符号?

为什么要引入钟控信号CP?

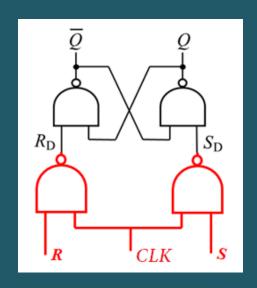
数字系统中,为了协调各触发器的工作状态,引入同步信号,使这些触发器只有在同步信号到达时才按输入信号改变状态。同步信号也叫做时钟信号,用CLOCK表示,一般简写成CLK。

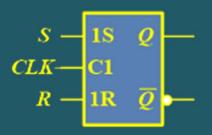


西安电子科技大学国家级精品课程数字电路与系统设计



- 4.3 时钟控制触发器
- 4.3.1 钟控RS触发器





基本RS触发器特征方程

$$\begin{cases} Q^{n+1} = \overline{S}_1 + R_1 Q \\ S_1 + R_1 = 1 \end{cases}$$

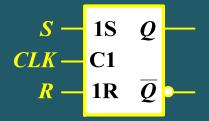
钟控RS触发器特征方程

当CLK=0时, R_D =1 S_D =1,触发器为保持状态 当CLK=1时, R_D =R S_D =S,代入基本RS特征方程:

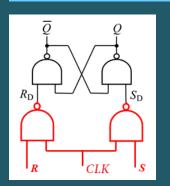
$$\begin{cases} Q^{n+1} = S + \overline{R}Q^n \\ RS = 0 \text{ (约束条件)} \end{cases}$$

其中RS=0表示R与S不能同时为1。

状态转移真值表

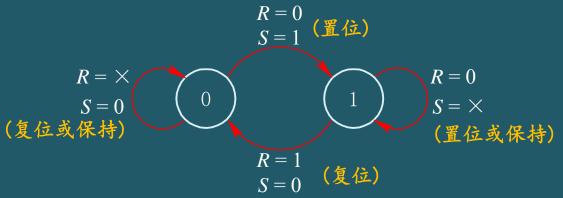


R	S	Q^{n+1}
0	0	Q
0	1	1
1	0	0
1	1	X

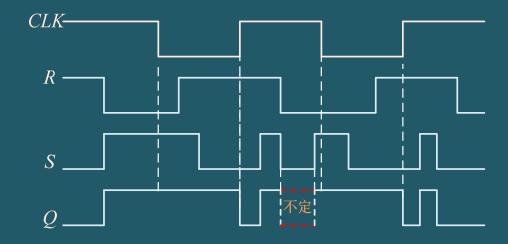




状态转移图



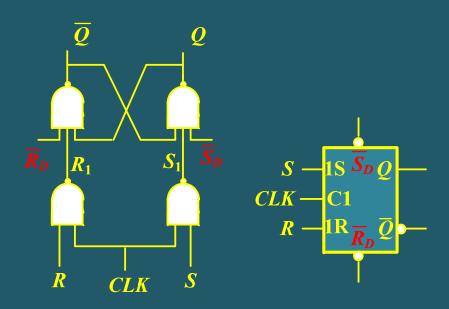
时序波形图



西安电子科技大学国家级精品课程数字电路与系统设计



实际应用中,有时需要在不受CLK控制的情况下把触发器置成指定的状态,为此,触发器电路还设置有<u>异步置1</u>输入端 S_D 和<u>异步清0</u>(即复位)输入端 R_D ,如图所示。



问题:逻辑符号中的异步清0和置1输入端都用字符上加一横和外加小圆圈标注,其表示高电平还是低电平有效?

西安电子科技大学国家级精品课程数字电路与系统设计