

华中科技大学

数字电路与逻辑设计
课程实验报告

小型实验室门禁系统

2

0

2

0

姓名: 

学号: _____

班级: _____

专业: _____

完成日期: 2020. 04. 20

实验二：小型实验室门禁系统设计

1. 实验名称

小型实验室门禁系统设计。

2. 实验目的

采用传统电路的设计方法，对一个“设计场景”进行逻辑电路的设计，并利用工具软件 Logisim 的虚拟仿真来验证该设计是否达到要求。

通过以上实验的设计、仿真、验证 3 个训练过程使学生掌握小型电路系统的设计、仿真、调试方法以及电路模块封装的方法。

3. 实验所用设备

Logisim2.7.1 软件 1 套，微型计算机 1 台。

4. 课时

课内 4 个课时，课外 4 个课时。

5. 实验内容

设计场景：某小型保密实验室需要安装一个门禁系统，用于监测、控制和显示该实验室内人数。该实验室只有一个门，最多只能容纳 15 人。假设员工进出实验室都要刷门禁卡，并且保证一次刷卡后有且只有一人能进出。实验室空置时人数显示为 0，刷卡进入时实验室人数加 1，刷卡离开时实验室人数减 1。当实验室满员时，还有员工在门外刷卡进入时，系统报警提示满员，不允许进入，实验室内人数不变。

使用 Logisim 软件对小型电路进行虚拟实验仿真，除逻辑门、触发器、7 段数码显示管外，不能直接使用 Logisim 提供的逻辑元件库。

具体要求如下：

(1) 四位二进制可逆计数器

用 D 触发器设计一个四位二进制可逆计数器并进行封装，逻辑符号如图 2.1 所示。

该计数器有一个清零端 **CLR**、一个累加计数脉冲输入端 **CP_u**（输入刷卡进入请求）、一个累减计数脉冲输入端 **CP_d**（输入刷卡离开请求）、预置控制端 **\overline{LD}** 、预置初置端 **DCBA**、四个计数器状态输出值 **Q_D Q_C Q_B Q_A**。当预置控制端 **\overline{LD}** 为低电平时，计数器输出 **Q_D Q_C Q_B Q_A** 被预置为 **DCBA** 端输入的值。

(2) 二进制转 8421BCD 码电路

用第一次实验所设计的“私有”元件“先行进位的四位二进制并行加法器”和适当元器件，将二进制数表示的实验室人数转换成 **8421BCD** 码的电路，并封装。

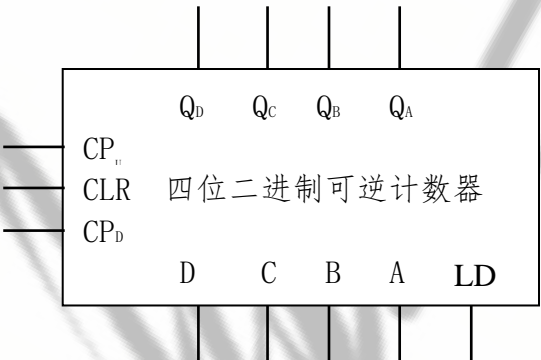


图 2.1 四位二进制可逆计数器

（3）显示电路

设计一个 7 段译码器（参考书的 7448 芯片），将两位十进制数的 **8421BCD** 码表示的实验室人数用“7 段数码显示管”显示出来，并封装该译码器电路。

该 7 段译码器有四个输入 **A₃A₂A₁A₀** 和七个输出 **abcdefg**, **A₃A₂A₁A₀** 为 **8421BCD** 码，**abcdefg** 为 7 段数码显示管对应的段。

（4）报警电路

设计报警电路并封装，满足如下要求：

当实验室满员时，在累加计数脉冲输入端 **CP_u** 刷卡进入请求时，计数器输出端状态值保持不变，系统报警提示满员。当实验室空时，逻辑上不会有实验室内累减计数脉冲输入端 **CP_d** 刷卡离开请求，为防止信号干扰，在计数输出为 0 时，若 **CP_d** 有脉冲，计数器状态值保持不变，且不用报警。

（5）小型实验室门禁系统电路的封装

利用已设计的“私有”元器件和相应元器件设计一个“实验室门禁系统”电路，并进行封装，封装后的小型实验室门禁系统逻辑符号如图 2.2 所示。

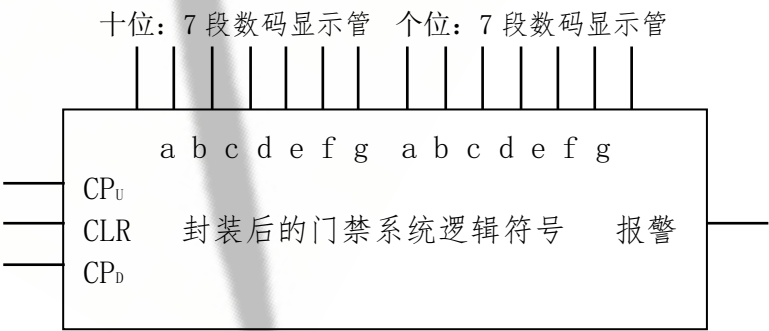


图 2.2 封装后的小型实验室门禁系统

6. 实验方案设计

(1) 四位二进制可逆计数器

四位二进制可逆计数器作为一个脉冲异步时序逻辑电路，其真值表见表 2.1。

表 2-1 四位二进制可逆计数器真值表

输入		现态				次态				激励函数							
CP _U	CP _D	Q _D	Q _C	Q _B	Q _A	Q _D ⁿ⁺¹	Q _C ⁿ⁺¹	Q _B ⁿ⁺¹	Q _A ⁿ⁺¹	C ₄	D ₄	C ₃	D ₃	C ₂	D ₂	C ₁	D ₁
1	0	0	0	0	0	0	0	0	1	0	d	0	d	0	d	1	1
1	0	0	0	0	1	0	0	1	0	0	d	0	d	1	1	1	0
1	0	0	0	1	0	0	0	1	1	0	d	0	d	0	d	1	1
1	0	0	0	1	1	0	1	0	0	0	d	1	1	1	0	1	0
1	0	0	1	0	0	0	1	0	1	0	d	0	d	0	d	1	1
1	0	0	1	0	1	0	1	1	0	0	d	0	d	1	1	1	0
1	0	0	1	1	0	0	1	1	1	0	d	0	d	0	d	1	1
1	0	0	1	1	1	1	0	0	0	0	1	1	0	1	0	1	0
1	0	1	0	0	0	1	0	0	1	0	d	0	d	0	d	1	1
1	0	1	0	0	1	1	0	1	0	0	d	0	d	1	1	1	0
1	0	1	0	1	0	1	0	1	1	0	d	0	d	0	d	1	1
1	0	1	0	1	1	1	1	0	0	0	d	1	1	1	0	1	0
1	0	1	1	0	0	1	1	0	1	0	d	0	d	0	d	1	1
1	0	1	1	0	1	1	1	1	0	0	d	0	d	1	1	1	0
1	0	1	1	1	0	1	1	1	1	0	d	0	d	0	d	1	1
1	0	1	1	1	1	0	0	0	0	0	1	0	1	0	1	0	1
0	1	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1
0	1	0	0	0	1	0	0	0	0	0	d	0	d	0	d	1	0
0	1	0	0	1	0	0	0	0	1	0	d	0	d	1	0	1	1
0	1	0	0	1	1	0	0	1	0	0	d	0	d	0	d	1	0
0	1	0	1	0	0	0	0	1	1	0	d	1	0	1	1	1	1
0	1	0	1	0	1	0	1	0	0	0	d	0	d	0	d	1	0
0	1	0	1	1	0	0	1	0	1	0	d	0	d	1	0	1	1
0	1	0	1	1	1	0	1	1	0	0	d	0	d	0	d	1	0
0	1	1	0	0	0	0	1	1	1	1	1	0	1	1	1	1	1
0	1	1	0	0	1	1	0	0	0	0	d	0	d	0	d	1	0
0	1	1	0	1	0	1	0	0	1	0	d	0	d	1	0	1	1
0	1	1	0	1	1	1	0	1	0	0	d	0	d	0	d	1	0

0 1	1 1 0 0	1 0 1 1	0 d 1 0 1 1 1 1
0 1	1 1 0 1	1 1 0 0	0 d 0 d 0 d 1 0
0 1	1 1 1 0	1 1 0 1	0 d 0 d 1 0 1 1
0 1	1 1 1 1	1 1 1 0	0 d 0 d 0 d 1 0

经过卡诺图的化简分析，可以得到激励函数表达式如下。

$$C_4 = CP_U \cdot C \cdot B \cdot A + CP_D \cdot \overline{C} \cdot \overline{B} \cdot \overline{A} \quad D_4 = \overline{Q_D}$$

$$C_3 = CP_U \cdot B \cdot A + CP_D \cdot \overline{B} \cdot \overline{A} \quad D_3 = \overline{Q_C}$$

$$C_2 = CP_U \cdot A + CP_D \cdot \overline{A} \quad D_2 = \overline{Q_B}$$

$$C_1 = CP_U + CP_D \quad D_1 = \overline{Q_A}$$

根据以上激励函数表达式可以得到四位二进制可逆计数器的电路图（见图 2.3）。

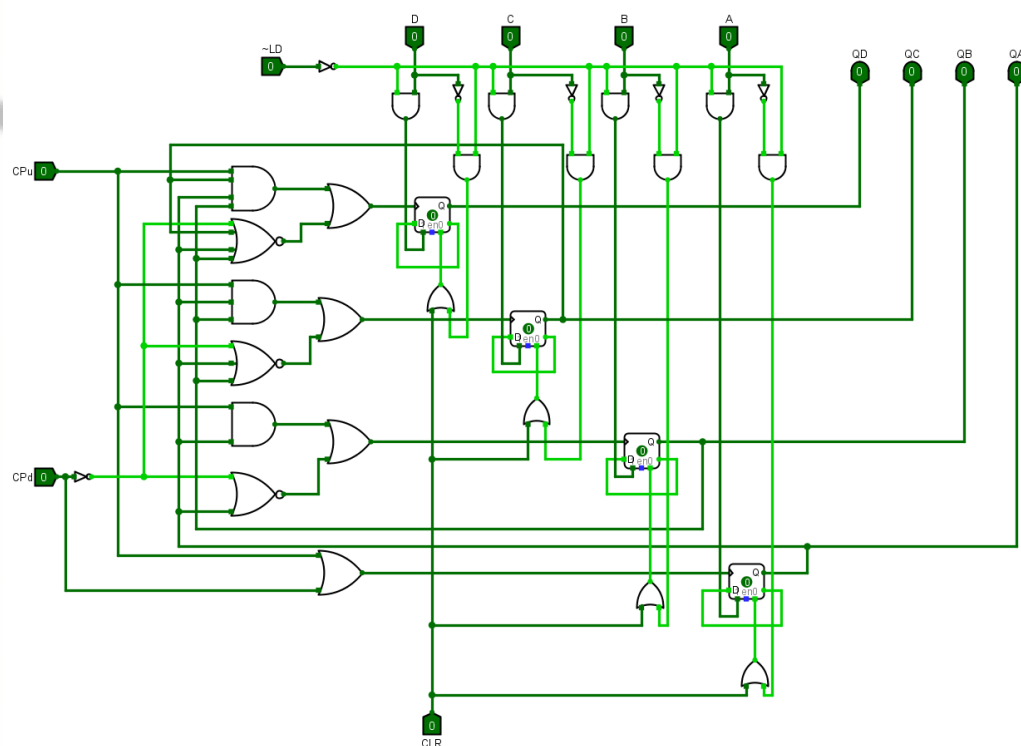


图 2.3 四位二进制可逆计数器电路图

封装后的逻辑符号见图 2.4。

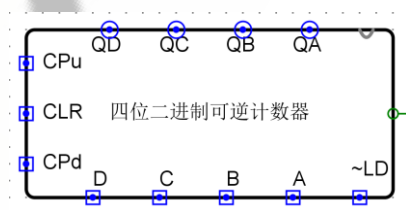


图 2.4 四位二进制可逆计数器封装后的逻辑符号图

(2) 二进制转 8421BCD 码电路

设计思路：判断输入是否大于 10，若大于 10，高位的 **BCD** 码最后一位输出 1，输入送入四位二进制并行加法器，与 6 相加（模 16 运算中减 10 就相当于加 6），四位二进制并行加法器的输入就是低位 **BCD** 码；若小于 10，输入直接送入四位二进制并行加法器，与 0 相加，四位二进制并行加法器的输入就是低位 **BCD** 码，高位 **BCD** 码就为 0000。

判断一个四位二进制数是否大于等 10 的真值表如下（见表 2.2）。

表 2.2 判断一个四位二进制数是否大于等于 10（表中未列出的输出为 0）

输入 D C B A	输出 Z
1 0 1 0	1
1 0 1 1	1
1 1 0 0	1
1 1 0 1	1
1 1 1 0	1
1 1 1 1	1

根据真值表可以得到表达式 $Z = D \cdot (C + B)$ 。

再由以上描述的设计思路可以得到四位二进制数转 **BCD** 码电路图（见图 2.5）。

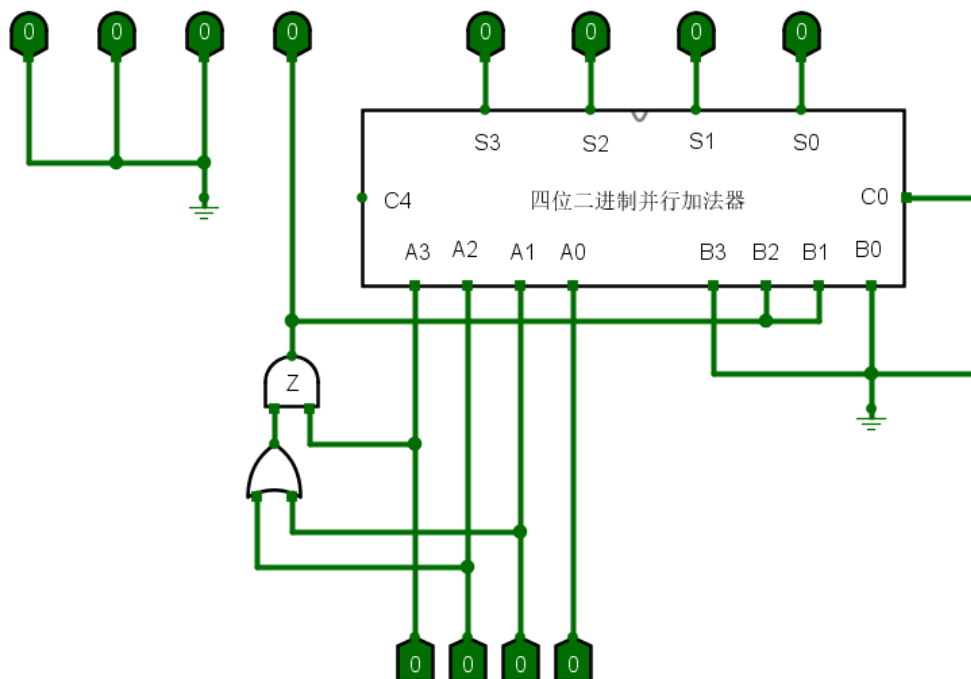


图 2.5 四位二进制数转 **BCD** 码电路图

封装后的四位二进制数转 **BCD** 码电路逻辑符号图见图 2.6.

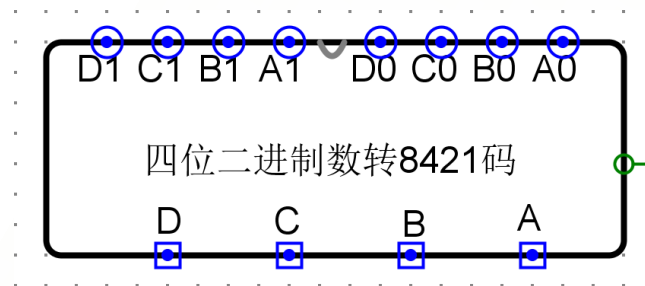


图 2.6 封装后的四位二进制数转 **BCD** 码电路逻辑符号图

(3) 显示电路

七段显示译码器的真值表见表 2.3。

表 2.3 七段显示译码器真值表

输入				输出						
D	C	B	A	a	b	c	d	e	f	g
0	0	0	0	1	1	1	1	1	1	0
0	0	0	1	0	1	1	0	0	0	0
0	0	1	0	1	1	0	1	1	0	1
0	0	1	1	1	1	1	1	0	0	1
0	1	0	0	0	1	1	0	0	1	1
0	1	0	1	1	0	1	1	0	1	1
0	1	1	0	1	0	1	1	1	1	1
0	1	1	1	1	1	1	0	0	0	0
1	0	0	0	1	1	1	1	1	1	1
1	0	0	1	1	1	1	0	0	1	1
1	0	1	0	0	0	0	1	1	0	1
1	0	1	1	0	0	1	1	0	0	1
1	1	0	0	0	1	0	0	0	1	1
1	1	0	1	1	0	0	1	0	1	1
1	1	1	0	0	0	0	1	1	1	1
1	1	1	1	0	0	0	0	0	0	0

根据真值表可以得到输出函数如下。

$$a = (D + C + B + \overline{A}) (\overline{C} + B + A) (\overline{D} + \overline{B})$$

$$b = (\overline{C} + B + \overline{A}) (\overline{C} + \overline{B} + A) (\overline{D} + \overline{B})$$

$$c = (C + \overline{B} + A) (\overline{D} + \overline{C})$$

$$d = (C + B + \overline{A}) (\overline{C} + B + A) (\overline{C} + \overline{B} + \overline{A})$$

$$e = \overline{A} (\overline{C} + B)$$

$$f = (D + C + \overline{A}) (C + \overline{B}) (\overline{B} + \overline{A})$$

$$g = (D + C + B) (\overline{C} + \overline{B} + \overline{A})$$

根据输出函数可以得到七段显示译码器电路图（见图 2.7）。

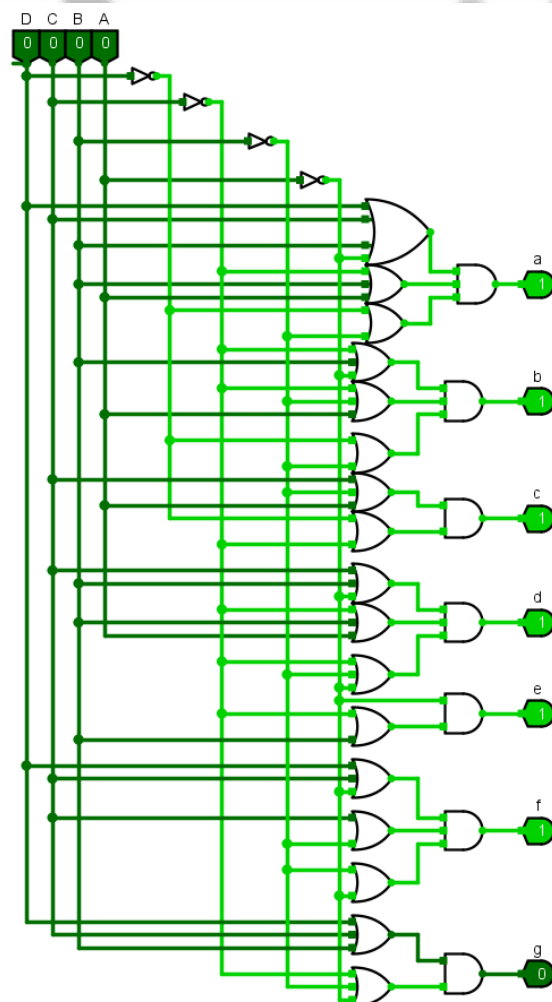


图 2.7 七段显示译码器电路图

封装后的七段显示译码器逻辑符号见图 2.8.

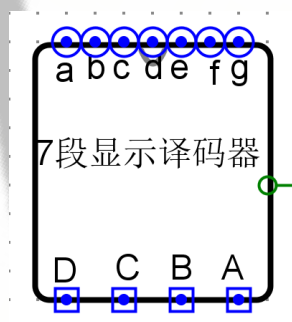


图 2.8 七段显示译码器逻辑符号图

(4) 报警电路

分析：当计数器状态为 1111 且 CPU 出现脉冲时，产生报警，可以得到报警信号的输出函数表达式

$$\text{Alarm} = \text{CPU} \cdot Q_D \cdot Q_C \cdot Q_B \cdot Q_A$$

为了使计数器在“满员”时即使有 CPU 脉冲也“不动作”，在报警电路中需要隔离这种错误输入，只有当计数器状态不为 1111 时，在 CPU 脉冲作用下才会输出一个累加信号，可以得到累加信号的输出函数表达式为

$$\text{INC} = \text{CPU} \cdot \overline{Q_D \cdot Q_C \cdot Q_B \cdot Q_A}$$

同理可以得到累减信号的输出函数表达式为

$$\text{DEC} = \text{CPD} \cdot (Q_D + Q_C + Q_B + Q_A)$$

根据以上输出函数表达式可以得到报警电路图（见图 2.9）。

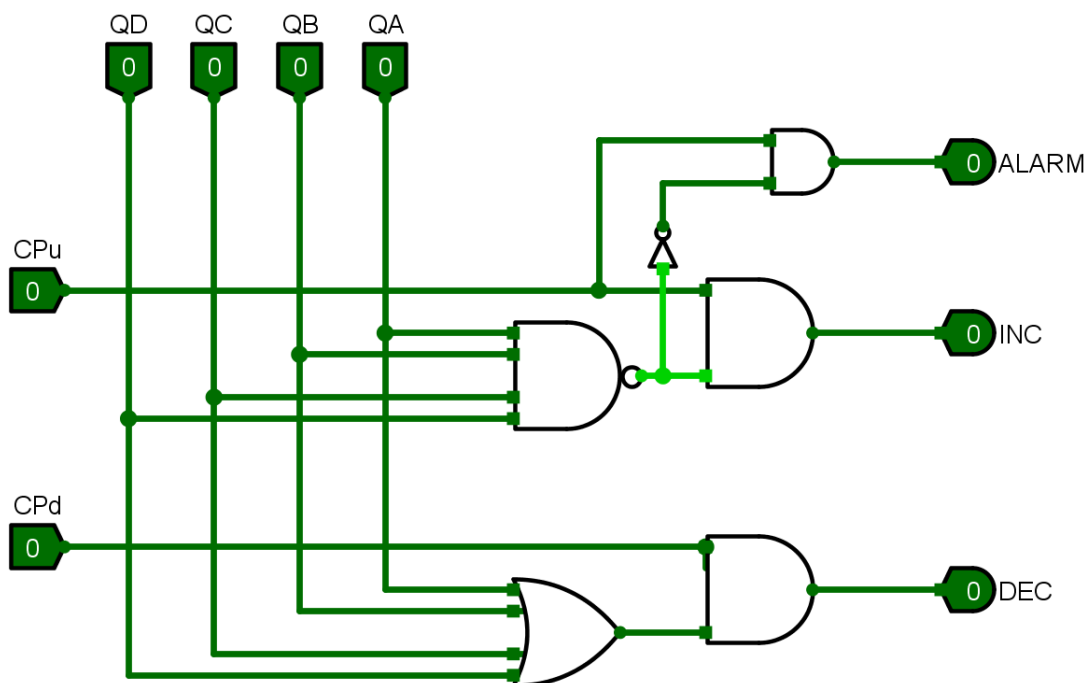


图 2.9 报警电路图

封装后的报警电路逻辑符号见图 2.10.

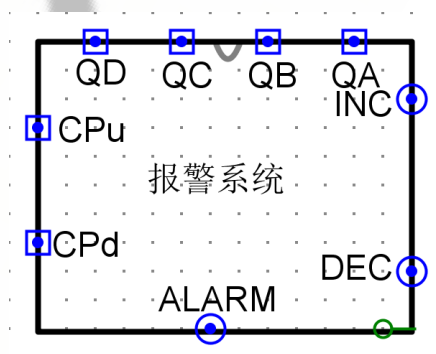


图 2.10 报警电路逻辑符号图

(5) 小型实验室门禁系统电路的封装

根据实验设计要求，小型实验室门禁系统的电路图见图 2.11.

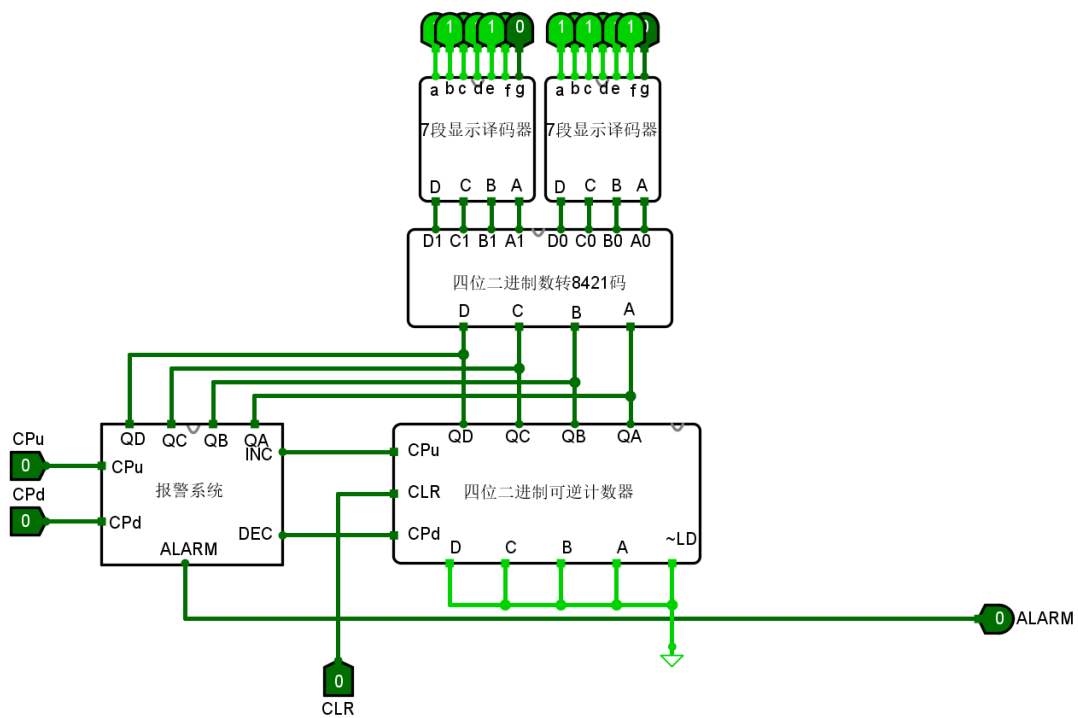


图 2.11 小型实验室门禁系统电路图

封装后的小型实验室门禁系统逻辑符号见图 2.12.

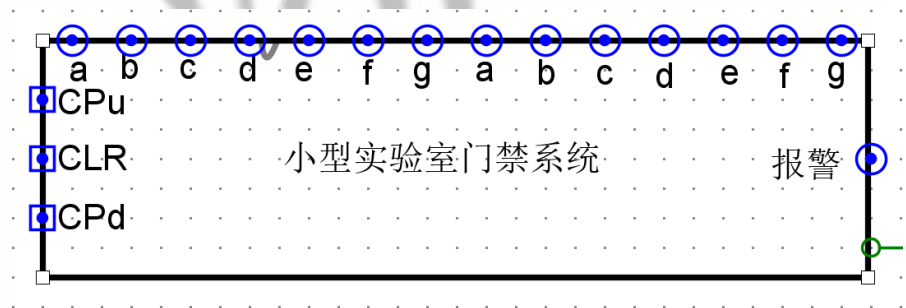


图 2.12 小型实验室门禁系统逻辑符号

整个门禁系统的连接与使用见图 2.13.

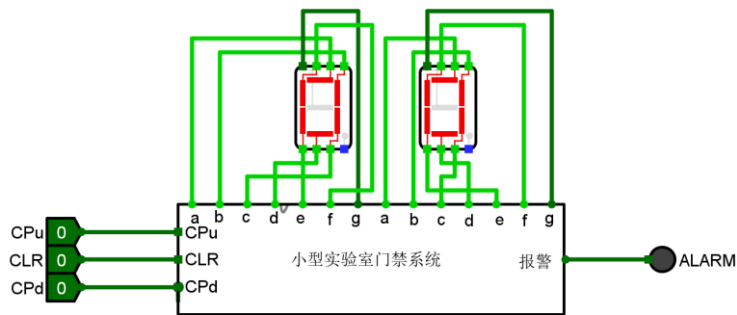


图 2.13 门禁系统的连接与使用