


华中科技大学

数字电路与逻辑设计  
课程实验报告

多功能电子钟

姓名:   
学号: \_\_\_\_\_  
班级: \_\_\_\_\_  
专业: \_\_\_\_\_  
完成日期: 2020.05.13

## 实验五：多功能电子钟系统设计

### 1. 实验名称

多功能电子钟系统设计。

### 2. 实验目的

采用传统电路的设计方法，对给定的要求进行逻辑电路的设计，并利用工具软件 **logisim** 的虚拟仿真来验证本设计是否达到要求。

通过以上实验的设计、仿真、验证 3 个训练过程使同学们掌握小型电路系统的设计、仿真、调试方法以及电路模块封装的方法。

### 3. 实验所用设备

**Logisim2.7.1** 软件 1 套，微型计算机 1 台。

### 4. 课时

课内 8 个课时，课外 8 个课时。

### 5. 实验内容

设计场景：多功能数字钟是一种用数字显示秒、分、时的计时装置，其基本功能如下：

- (1) 显示时、分、秒；
- (2) 可以切换 24 小时制或 12 小时制（上午和下午）；
- (3) 整点报时，整点前 10 秒开始，整点时结束；
- (4) 单独对“时、分”计时校准，分钟值校准时不影响小时值；
- (5) 闹钟，到设定时间提醒 10 秒。

使用 **Logisim** 软件对你设计电子钟电路进行虚拟仿真验证，具体要求如下：

（采用 **Logisim** 软件提供的“时钟频率”为 8hz 的信号源。）

- (1) 具有校准计数值的六十进制计数器电路

采用实验二所设计的“四位二进制可逆计数器”这个“私有”元件和相应元器件，设计一个具有对计数值进行校准的六十进制计数器，并进行封装，该计数器封装图如图 5.1 所示。

具体要求：

(a) 封装后的电路输入：一个累加计数脉冲输入端 **CPU**、一个累减计数脉冲输入端 **CPD**、清零输入信号 **Clr**、一个计数值校准输入控制信号 **Adj**；

(b) 封装后的电路输出为输出八个计数器状态输出值 **Q<sub>1D</sub> Q<sub>1C</sub> Q<sub>1B</sub> Q<sub>1A</sub> Q<sub>0D</sub> Q<sub>0C</sub> Q<sub>0B</sub> Q<sub>0A</sub>**（测试电路中要接 16 进制数字显示器），进位输出信号  **$\overline{Q_{cc}}$** ；

- (c) 当 **Adj**=1 时，可以通过 **CP<sub>U</sub>**、**CP<sub>D</sub>**，对计数值进行加、减调整来设置当前时间，递减的时候不需要循环，回到 0 即可，递增的时候需要可以循环；
- (d) 当 **Adj**=0，通过输入脉冲 **CP<sub>U</sub>** 计数器累加计数，每当累计满 60 产生一个进位输出信号  $\overline{Q_{cc}}$ ；
- (e) **Clr** 为 1 时，计数器清零；
- (f) 计数器的输出为两位 8421 码；
- (g) 封装后做出测试电路，测试电路要外接 16 进制显示器，**CP<sub>U</sub>**、**CP<sub>D</sub>** 接按钮。

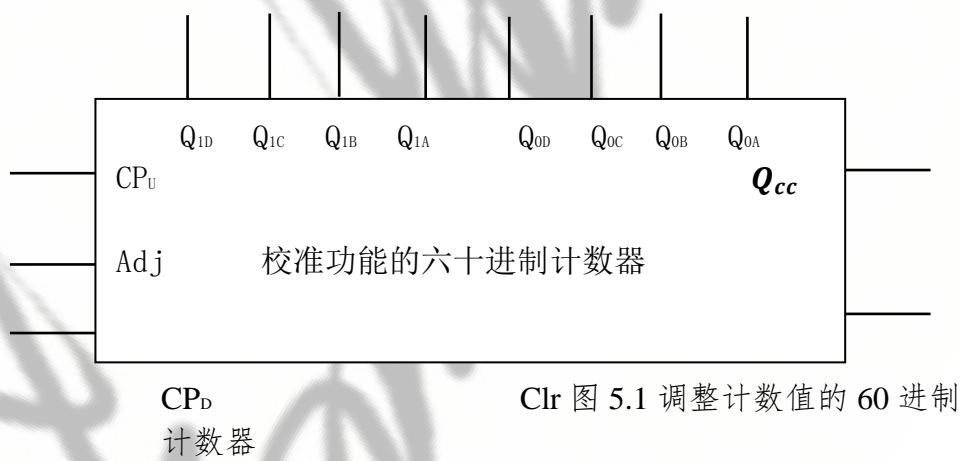


图 5.1 调整计数值的 60 进制

- (2) 具有校准计数值的十二进制计数器或二十四进制的计数器电路
- 采用 (1) 设计的六十进制计数器和相应元器件，设计一个具有对计数值进行校准的十二进制计数器或二十四进制的计数器，并进行封装，该计数器封装图如图 5.2 所示。

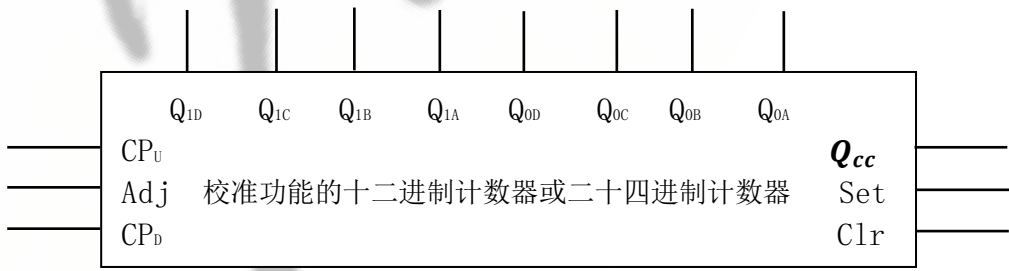


图 5.2 调整计数值的十二进制或二十四进制计数器具体要求：

- (a) 封装后的电路输入：一个累加计数脉冲输入端 **CP<sub>U</sub>**、一个累减计数脉冲输入端 **CP<sub>D</sub>**、清零输入信号 **Clr**、一个计数值校准输入控制信号 **Adj**、12 小时计时或 24 小时计时控制信号 **Set**；
- (b) 封装后的电路输出为输出八个计数器状态输出值 **Q<sub>1D</sub> Q<sub>1C</sub> Q<sub>1B</sub> Q<sub>1A</sub> Q<sub>0D</sub> Q<sub>0C</sub> Q<sub>0B</sub> Q<sub>0A</sub>**（测试电路中要接 16 进制数字显示器），进位输出信号  $\overline{Q_{cc}}$ ；

(c) 当 Adj=1 时，可以通过 CPU、CPD，对计数值进行加、减调整来设置当前时间；递减的时候不需要循环，回到 0 即可，递增的时候需要可以循环；

(d) 当 Adj=0，通过输入脉冲 CPU 计数器累加计数，每当累计满 12 或 24（根据计数制）产生一个进位输出信号 $\overline{Q_{cc}}$ ；

(e) Clr 为 1 时，计数器清零；

(f) 当 Set=0，12 小时计时；当 Set=1 时，24 小时计时；

(g) 计数器的输出为两位 8421 码；

(h) 封装后做出测试电路，测试电路要接 16 进制显示器，CPU、CPD 接按钮。

(3) 显示“上午”、“下午”的电路

设计一个采用“Led 点阵”显示器和相应元器件以“上”和“下”的形式表示电子钟的“上午”和“下午”的电路，并封装，文字显示如图 5.3 所示。

封装图如图 5.4 所示，测试电路如图 5.5 所示。



5.3 led 点阵显示器

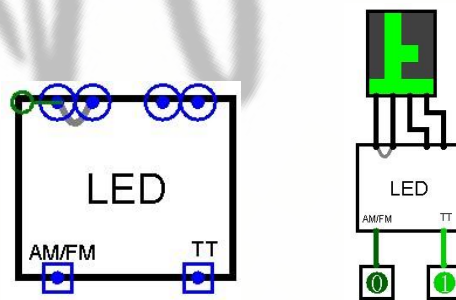


图 5.4 led 点阵封装图 图 5.5 led 点阵测试图具体要求：

(a) 封装后的电路输入为：一个上下午显示控制信号 **AM/FM**、计时控制 **TT**；

(b) 封装后的电路输出为 4 个五位的数据，用以接 4\*5Led（4 列×5 行）显示器；

(c) AM/FM=0，显示“上”；AM/FM=1，显示“下”；

(d) TT=0 时，24 小时计时，此时“上、下午”显示屏全灭；TT=1 时，12 小时计时，此时根据具体时间显示“上”或“下”；

- (e) 封装时 Led 显示屏不封装在内;
- (f) 封装后做出测试电路, 外接 Led 显示屏。

#### (4) 电子钟整点报时电路

设计一个 10 秒的整点报时电路, 并进行封装, 该电路在整点前 10 秒 (59 分 50 秒) 被触发, 发出报时信息 (用 Led 灯的亮灭来表示), 报时 10 秒结束。

#### (5) 秒计时脉冲产生电路

按要求以 Logisim 软件的 8hz 信号作为电路震荡源, 设计一个输出为 1hz 的脉冲信号电路, 并封装, 逻辑符号如图 5.6 所示, 它成为秒计数器的计数脉冲信号。

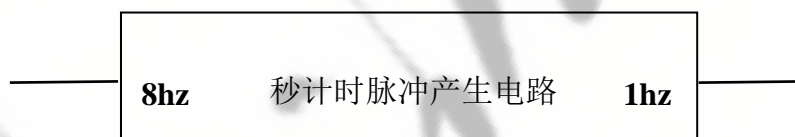


图 5.6 秒计时脉冲产生电路

#### (6) 闹钟 (选做) 设计定时起闹 (闹钟) 电路, 并封装。

具体要求:

- (a) 可设置闹钟起闹时间, 具体到小时和分钟, 在测试电路中要用 16 进制数字显示器显示;
- (b) 在设定的起闹时间, 闹钟开始响铃, 十秒后结束;
- (c) 闹铃用 Led 灯的亮灭表示;
- (d) 有控制端可以启用或关闭闹钟。

#### (7) 多功能数字钟电路

充分利用 (1) ~ (6) 设计的“私”有元件和相应元器件, 设计满足多功能电子钟“设计场景”要求的电路, 并封装, 封装图如图 5-7 所示, 测试图如图 5.8 所示。

- (a) 输入信号有“Set”、“CPU、CPD”、“Adj0、Adj1”、“Clr”、“8hz 信号”;
- (b) 输出信号为“小时”、“分”、“秒”对应的 6 个 8421 码、“闹钟”和“整点”输出信号以及控制“上、下午”显示的信号;
- (c) “Set”为“小时计数器”输入信号, 当 Set=1 时, 计数器为二十四进制计数器, Set=0 为低电平时为十二进制计数器; 十二进制和二十四进制转换时间需对应;



- (d) “CPU、CPD”为计数器计数值进行手动加、减调整的输入脉冲信号；
- (e) “Adj0”为计数器计数值进行校准的输入控制信号，Adj0=0，表示不调整时钟；Adj0=1，表示调整时钟，在调整时钟时，不产生任何进位信息
- (f) （秒不向分进位，分不向小时进位）；
- (g) “Adj1”为计数器计数值进行校准的选择输入控制信号，Adj1=0，表示调整小时；Adj1=1，表示调整分钟；
- (h) “Clr”为计数器的清除信号，同时对小时、分、秒清零；
- (i) “8hz 信号”为电子钟脉冲输入信号；
- (j) 输出的时间小时、分和秒分别为 6 个 8421 码；
- (k) “Led 点阵”显示器分别对应“上、下午”输出信号；
- (l) 两个“发光二极管（Led 灯）”分别对应“闹钟”，“整点”输出信号。
- (m) 如果选做闹钟，“Alarm”为输入的时间设定提醒值（闹钟值）；
- (n) 封装后做出测试电路，测试电路中小时、分和秒要接 16 进制显示器，CPU、CPD 接按钮，CP 接时钟源，闹钟和定点报时接 Led 灯，Led 显示接 Led 显示屏，其余接输入引脚。



图 5.7 电子钟的“输入、输出检查要求”

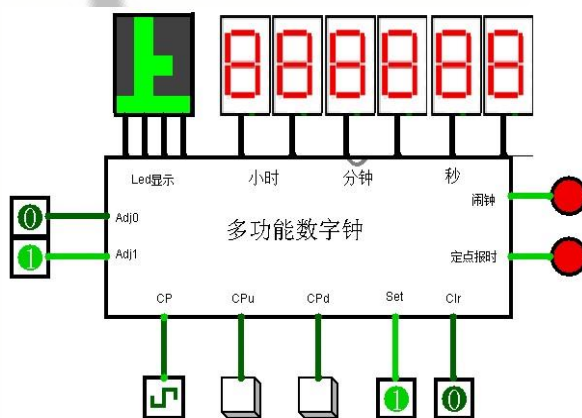


图 5.8 电子钟的测试电路

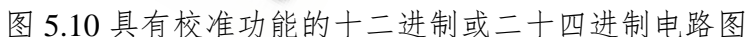
### (1) 具有校准计数值的六十进制计数器电路

电路图：具有校准功能的六十进制计数器见图 5.9。



设计思路：先设计一个具有校准功能的二十四进制计数器，设计方法和

电路图：具有校准功能的十二进制或二十四进制计数器见图 5.10。



### (3) 显示“上午”、“下午”的电路

设计思路：将显示上下午的 led 输入信号作为常量接入多路选择器，将 **AM/PM** 和 **TT** 接入多路选择器的控制端，多路选择器的输出即为显示“上午”、“下午”电路的输出。

电路图：显示“上午”、“下午”电路的电路图见图 5.11。

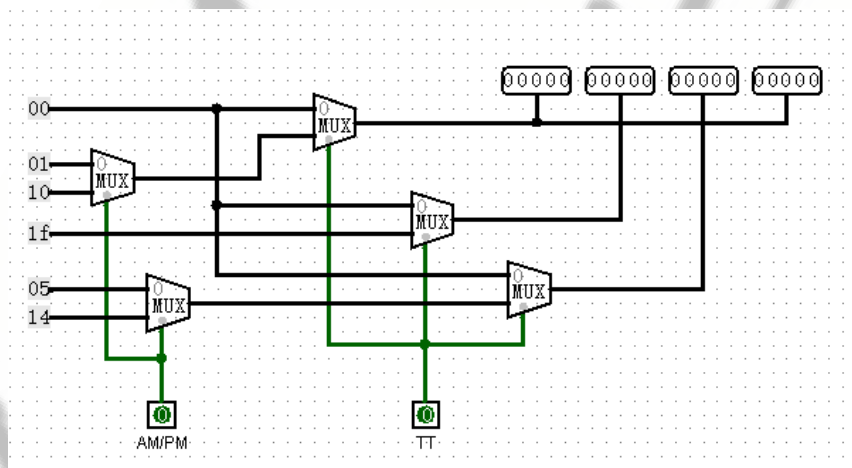


图 5.11 显示“上午”、“下午”电路图

### (4) 电子钟整点报时电路

设计思路：分钟为 59 且秒钟的十位为 5 时报时，并将时钟脉冲作为输入，使得输出也为脉冲。

电路图：电子钟整点报时电路图见图 5.12。

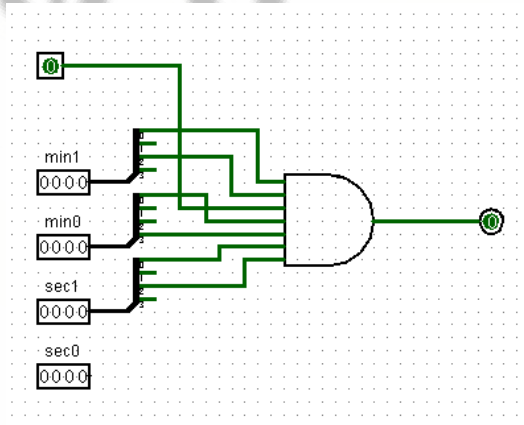


图 5.12 电子钟整点报时电路图

### (5) 秒计时脉冲产生电路

设计思路：利用四位二进制可逆计数器构造一个八进制可逆计数器，并将 **8Hz** 信号接在 **CP<sub>U</sub>** 端，计数器状态 **Q<sub>D</sub>Q<sub>C</sub>Q<sub>B</sub>Q<sub>A</sub>** 中的 **Q<sub>C</sub>** 为 1 在输出一个 **Clr** 信号时也给 **D** 触发器一次时钟信号，使得 **D** 触发器的状态在每四次时钟脉冲之后变换一次输出电平，就得到一个秒脉冲产生电路。



电路图：秒计时脉冲产生电路图见图 5.13。

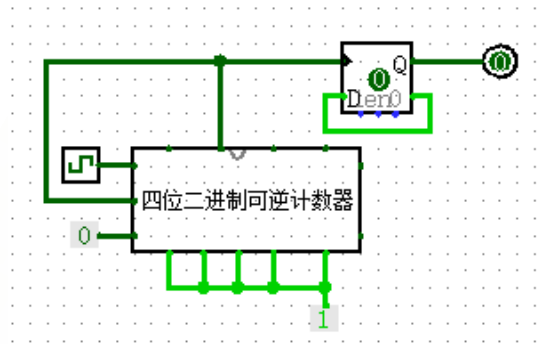


图 5.13 秒计时脉冲产生电路图

(6) 闹钟（选做）设计定时起闹（闹钟）电路，并封装。

设计思路：将（1）中涉及的六十进制计数器和（2）中设计的十二进制或二十四进制计数器级联，构成一个包含小时和分钟的时间，同时可以通过计数器的校准功能设定闹钟时间。然后用比较器比较设定的闹钟时间和当前时间（十二进制下还要比较上下午），当小时和分钟（以及上下午）分别完全相等，且当前秒小于等于 10 时输出闹钟信号（在闹钟开关信号 **ON/OFF** 为高电平的前提下）。

电路图：闹钟设计定时起闹电路图见图 5.14。

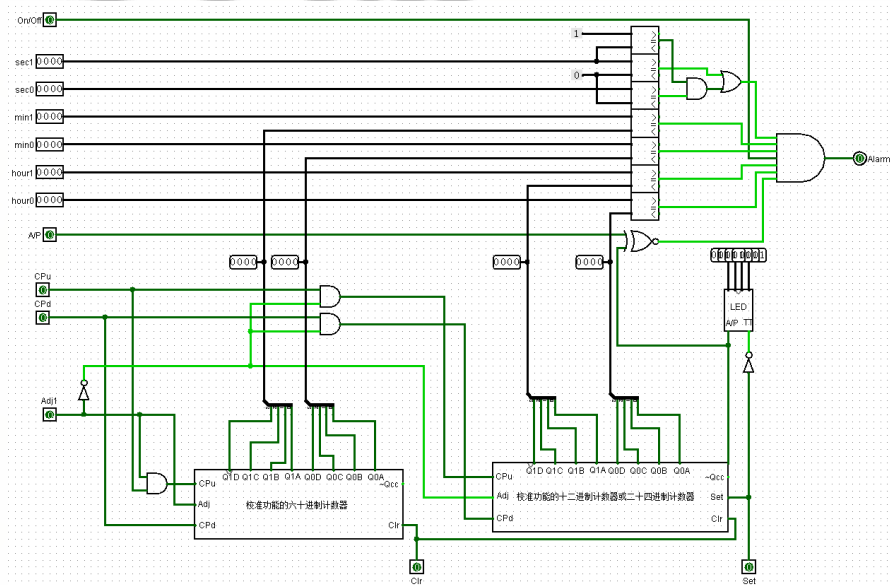


图 5.14 闹钟设计定时起闹电路图

(7) 多功能数字钟电路

设计思路：将两个（1）中设计的六十进制计数器和一个（2）中设计的十二进制或二十四进制计数器级联，构成一个包含小时、分钟和秒的时间。将当前分钟和秒作为整点报时电路的输入，其输出就是报时功能的输出，将当前小时、分钟和秒作为闹钟电路的输入，其输出就是闹钟信号的输出。同时将 **Alarm** 输入信号作为多路选择器的控制端，控制显示电路的输出信号是当前时间还是闹钟设定

时间，同时通过组合电路让 **Alarm** 控制校准端 **CP<sub>U</sub>** 和 **CP<sub>D</sub>** 是修改当前时间还是修改闹钟设定时间。

电路图：多功能数字钟电路图见图 5.15。

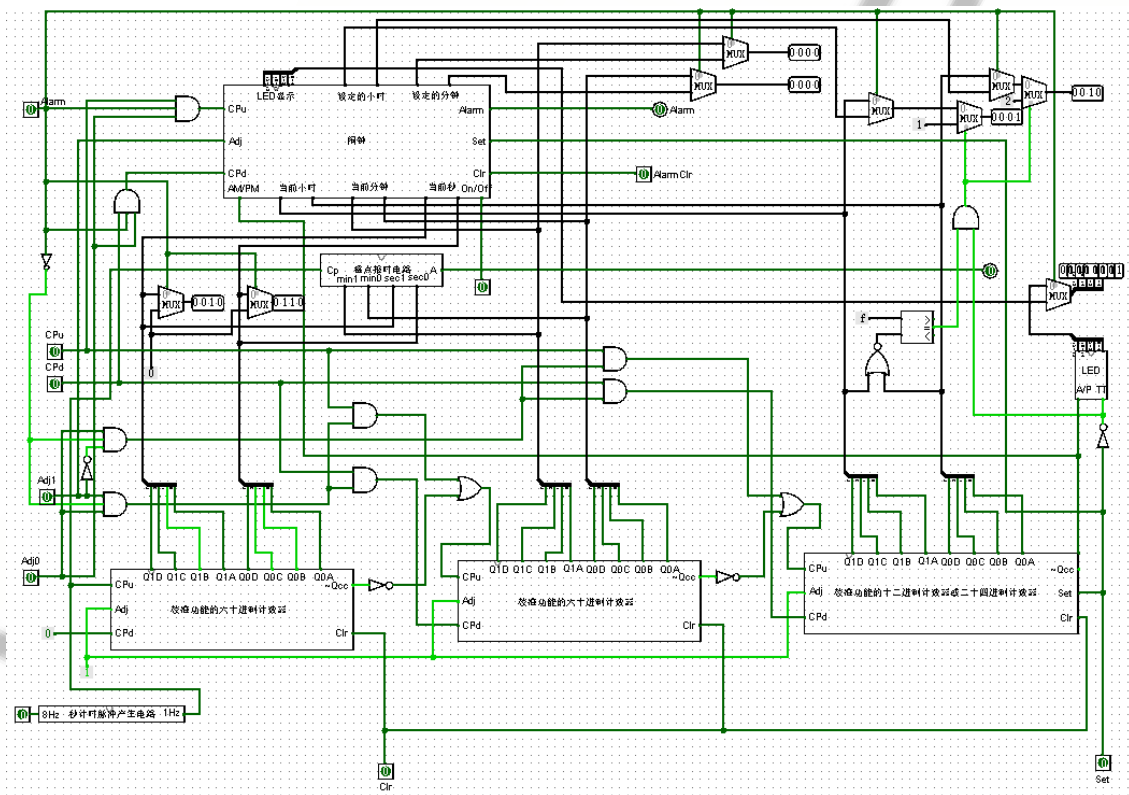


图 5.15 多功能数字钟电路图

## 7. 实验结果记录

### (1) 具有校准功能的六十进制计数器

封装后的电路测试结果见图 5.16。

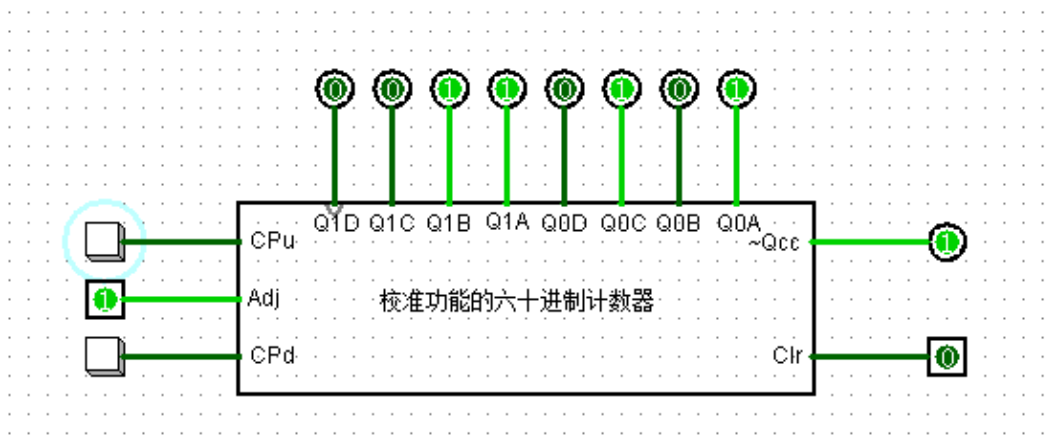


图 5.16 封装后的具有校准功能的六十进制计数器测试结果

当 **Adj** 为 1 时可通过 **CP<sub>U</sub>** 和 **CP<sub>D</sub>** 进行校准，**Clr** 为 1 时将计数器清零，**Q<sub>cc</sub>** 为 0 时代表进位信号。

(2) 具有校准功能的十二进制或二十四进制计数器  
封装后的电路测试结果见图 5.17。

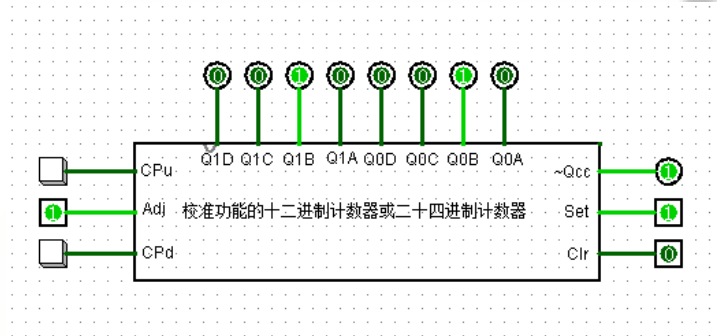


图 5.17 封装后的具有校准功能的十二进制或二十四进制计数器测试结果

当 **Adj** 为 1 时可通过 **CP<sub>U</sub>** 和 **CP<sub>D</sub>** 进行校准，**Clr** 为 1 时将计数器清零，**Q<sub>cc</sub>** 为 0 时代表进位信号。

(3) 上下午文字显示电路

封装后的上下午文字显示电路测试结果见图 5.18。

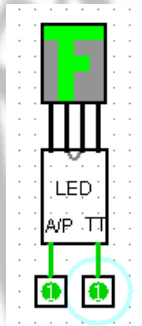


图 5.18 封装后的上下午文字显示电路测试结果

当 **TT** 为 0 时不显示，**TT** 为 1 时显示上下午，**AM/PM** 为 0 代表上午，**AM/PM** 为 1 代表下午。

(4) 电子钟整点报时电路

封装后的电子钟整点报时电路测试结果见图 5.19。

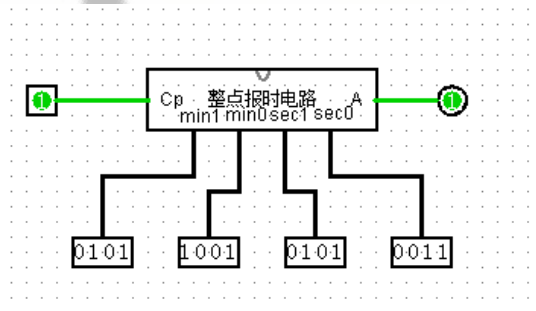


图 5.19 封装后的电子钟整点报时电路测试结果

当分钟为 59，且秒钟十位为 5，报时信号会和脉冲信号同步。

### (5) 闹钟设定定时起闹电路

封装后的闹钟设定定时起闹电路测试结果见图 5.20。

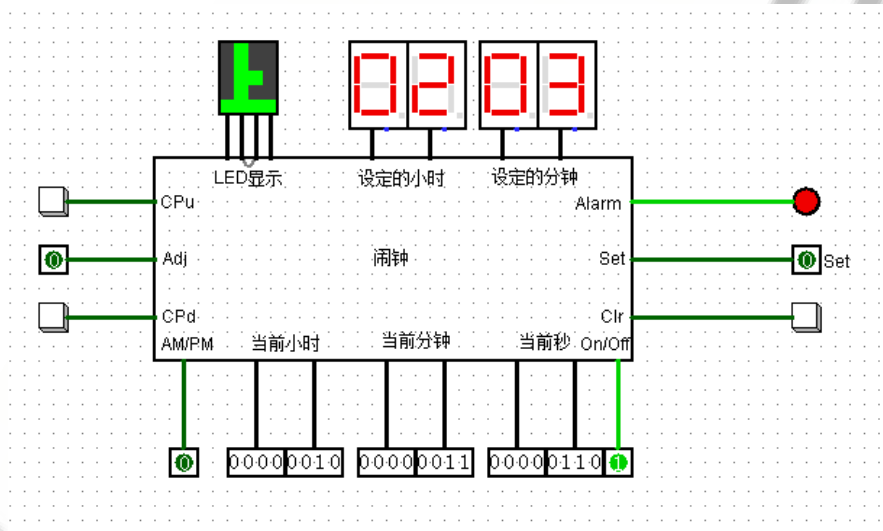


图 5.20 封装后的闹钟设定定时起闹电路测试结果

闹钟功能在打开的状态下（**ON/OFF** 为高电平），当前小时、分钟分别和设定的小时、分钟完全匹配，且秒钟小于等于 10 时，闹钟输出信号为高电平。且可以通过 **CP<sub>U</sub>** 和 **CP<sub>D</sub>** 调整闹钟设定的时间。

### (6) 多功能数字钟

封装后的多功能数字钟测试结果见图 5.21。

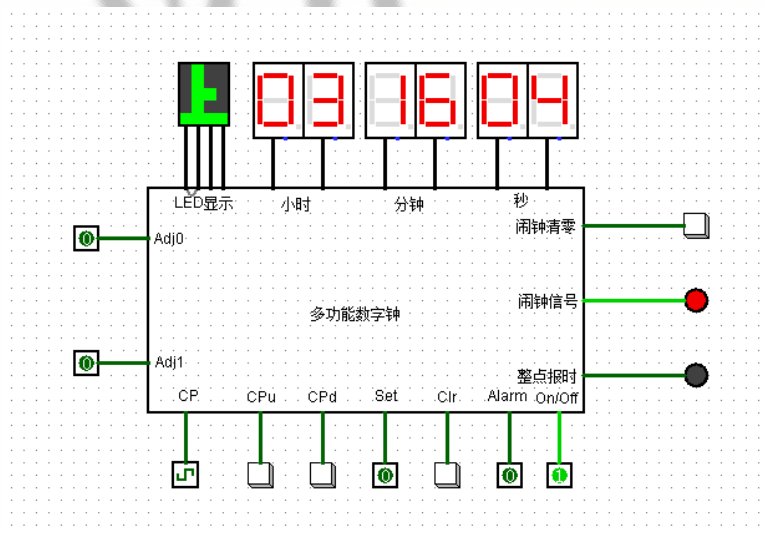


图 5.21 封装后的多功能数字钟测试结果

打开闹钟功能 **ON/OFF** 开关后，设定闹钟起闹时间为上午 3:16，可以看到闹钟起闹功能正常。**Alarm** 为低电平时显示当前时间，此时可以通过 **Adj0**、**Adj1**、**CP<sub>U</sub>** 和 **CP<sub>D</sub>** 校准当前时间；**Alarm** 为高电平时显示闹钟设定的时间，此时可以通过 **Adj0**、**Adj1**、**CP<sub>U</sub>** 和 **CP<sub>D</sub>** 调整起闹时间。

## 8. 实验后的思考

### 实验难点 1: 理清电路中的组合逻辑

多功能电子钟的设计要求中要实现多种功能的转换,如调整当前时间和调整起闹时间,需要用到组合逻辑来实现这些功能转换,当电路功能较多时,连线也比较复杂,很容易连着连着就把组合逻辑给弄错了。

解决方法:因而我们需要先理清电路中的组合逻辑,有了一个比较清晰的思路后,再依次实现对应功能,这样可能会比较顺畅,不至于昏头转向。

### 实验难点 2: 多功能电子钟细节繁多

一个功能基本完备的多功能电子钟在实现的过程中有比较多的重要的细节:

①十二小时制和二十四小时制相互转换的过程要一致,例如 17:00 转换到十二小时制是 5:00PM 而不是 5:00AM; ②十二小时制是时钟是 1-12,没有 0 点; ③在十二小时制下设定闹钟时上下午也要匹配,不能设定下午 5:00,而上午 5:00 也起闹。

解决方法:对于这些细节,我们要先想清楚通过什么元件以及如何实现,例如: ①在十二进制或二十四进制计数器中只做模二十四的计数器,Set 作为多路选择器的控制端控制是直接输出还是模十二输出; ②在时钟输出前检测是否是十二小时制,若是且当前小时为 00,则通过多路选择器输出 12; ③在闹钟中增加匹配上下午的功能,只有上下午信息匹配后才输出闹钟信号。只要想明白了实现的具体方法,后面的就比较顺利了。