

1. 目的

電界効果トランジスタ (FET) の静特性の測定、および基本的な増幅回路の実験を行い、その動作を理解し使い方を習得することを目的とする。

2. 原理

FET は、制御装置のゲート (G) に印加する電圧により、半導体中の空乏層幅を制御し、ドレイン (D)－ソース (S) 間のキャリアの流れやすさを制御する素子である。FET は接合形 (J 形) と絶縁型ゲート形 (MOS 形) に大別される。本実験では接合形を用いる。図 1 に接合形 FET の基本構造を、図 2 に FET の図記号、図 3 に FET の等価回路を示す。

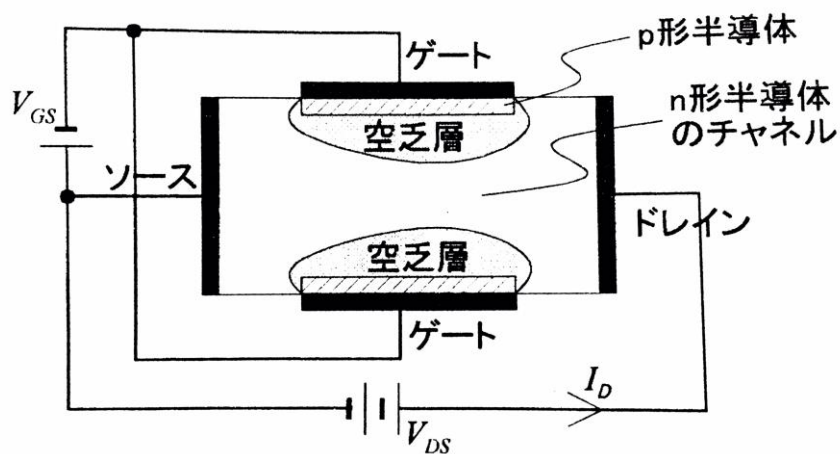


図1 接合形 FET の基本構造

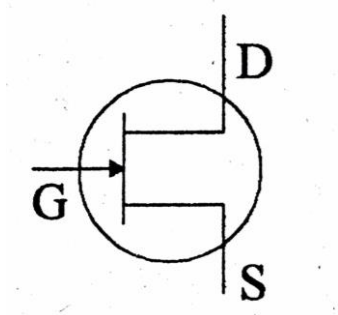


図2 FET の図記号

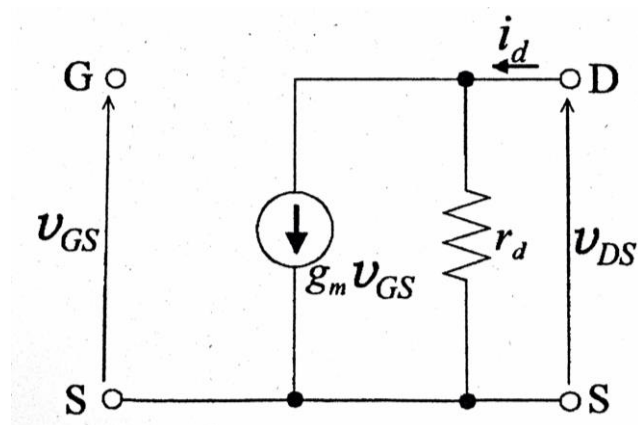


図3 FET の等価回路

図1はnチャネル接合型FETの基本構造である。n形Si半導体の両側面にp形半導体ゲートが接合されている。これに逆バイアス電圧をかけることによって空乏層の幅が変化する。ドレインーソース間のキャリアをチャネルといい、チャネルを多数キャリアが移動すると、ドレイン電流 I_b が流れる。ドレイン電流は、空乏層の幅によって制御される。

3. 実験内容

3.1 使用機器

FETの動作や特性を理解するための回路を制作するため、ブレッドボード、抵抗、コンデンサを用いた。また、入出力電圧を観測するため、オシロスコープ、テスタを用いた。その規格や形式を表1に示す。

表 1 使用機器

品名	規格や形式など	個数
直流電源	TEXIO PR18-5A	2 台
ブレッドボード	Sunhayato SRH-32	1 個
テスタ	sanwa PC710	3 台
抵抗	47 Ω 1k Ω 2k Ω 5k Ω 10k Ω 20k Ω 50k Ω 100k Ω	各 1 個
FET	n チャネル接合型	1 個
コンデンサ	10 μ F	2 個
オシロスコープ	TEXIO DCS-9710	1 台
発振器	TEXIO FG-274	1 台

3.2 測定法

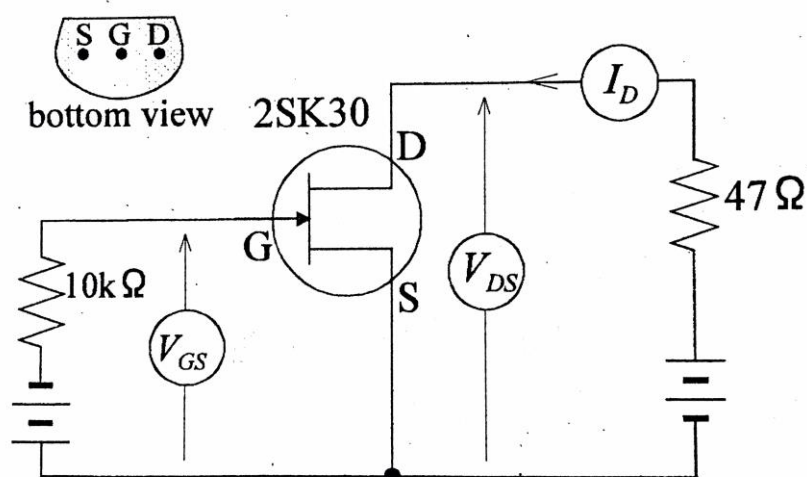


図 4 静特性の測定回路

3.2.1 実験 1

- (1) 図 4 に示す回路をブレッドボード上に組む。
- (2) V_{DS} を 10V とし、 I_D が流れなくなる時の V_{GS} (ピンチオフ電圧 V_P) を測定する。
- (3) G-S 間電圧 V_{GS} をパラメータとして、出力特性 (V_{DS} - I_D 特性) を測定する。

(4) (3)の結果を用いて、 $V_{DS}=10V$ の場合の $V_{GS}-I_D$ を導出する。

3.2.2 実験 2

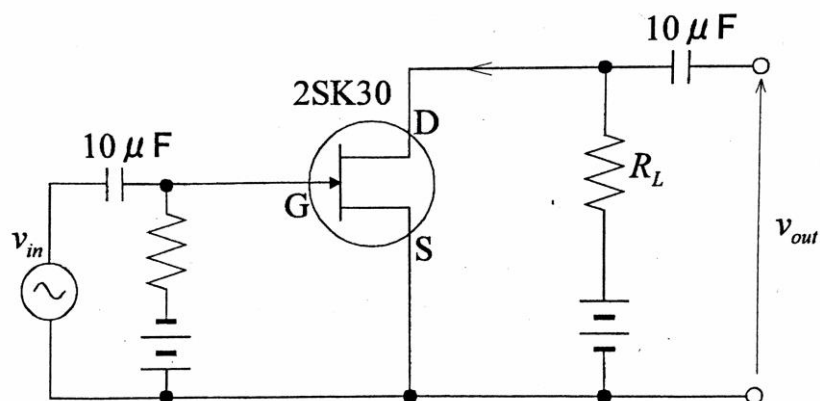


図 5 増幅回路

- (1) 図 5 に示す回路をブレッドボード上に組む。この際、入力信号 v_{in} の振幅を 20mV、周波数を 1kHz とする。
- (2) V_{GS} 、 V_{DS} を適宜調整し、図 5 の回路が増幅回路となることを確認する。
- (3) R_L の値を 1.0k Ω , 2.0 k Ω , 5.0 k Ω , 10 k Ω , 20 k Ω , 50 k Ω , 100 k Ω 変更し、変化に対する出力電圧 v_{out} をオシロスコープで測定し、電圧利得を求める。なお、電圧利得は電圧増幅度を $A_V(=v_{out}/v_{in})$ とすると、 $20\log_{10}|A_V|[\text{dB}]$ で定義される。

3.2.3 実験 3

- (1) $V_{DS}-I_D$ 特性を用いて、 $V_{GS}=V_{GSQ}$ におけるドレイン抵抗 r_D を求める。
- (2) $V_{GS}-I_D$ 特性を用いて、 $V_{DS}=V_{DSQ}$ における相互コンダクタンス g_m を求める。

4. 結果・考察

4.1 実験結果

4.1.1 実験 1

V_{DS} 、 V_{GS} を変化させたときの I_D の値を表 2 に示す。

表2 V_{DS}, V_{GS} と I_D の関係

$V_{DS}[V]$ \ $V_{GS}[V]$	0	-0.2	-0.4	-0.6	-0.8	-1	-1.184
0	0	0	0	0	0	0	0
0.5	0.7	0.6	0.47	0.33	0.17	0.05	0
1	1.17	0.91	0.65	0.39	0.18	0.05	0
1.5	1.37	1.01	0.68	0.4	0.19	0.05	0
2	1.42	1.03	0.69	0.41	0.19	0.05	0
3	1.45	1.05	0.7	0.41	0.19	0.05	0
4	1.47	1.06	0.7	0.42	0.19	0.05	0
5	1.48	1.06	0.7	0.42	0.19	0.05	0
10	1.49	1.07	0.72	0.42	0.2	0.05	0
15	1.5	1.08	0.72	0.43	0.2	0.05	0
20	1.5	1.08	0.72	0.43	0.2	0.05	0

V_{DS} が 10V で、 I_D が 0A となった時の V_{GS} の値は、-1.184V であった。この値は、実験 1 の (1) を測定する、ピンチオフ電圧 V_P のことである。そのため V_{GS} の最小値は -1.184V とし、 V_{GS} の値は 0 から 0.2 ずつ減少させた。

さらに、表 2 より、 $V_{DS}-I_D$ 特性、 $V_{GS}-I_D$ 特性がわかる。 $V_{DS}-I_D$ 特性を図 6 に、 $V_{DS}=10V$ の時の $V_{GS}-I_D$ 特性を図 7 に示す。

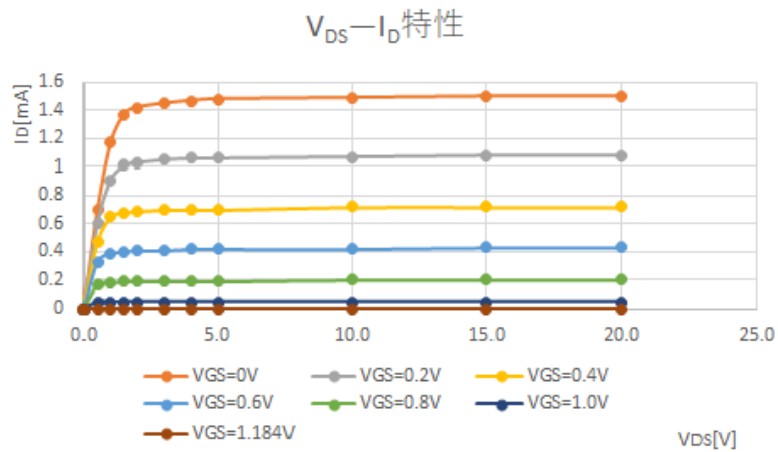


図6 $V_{DS}-I_D$ 特性

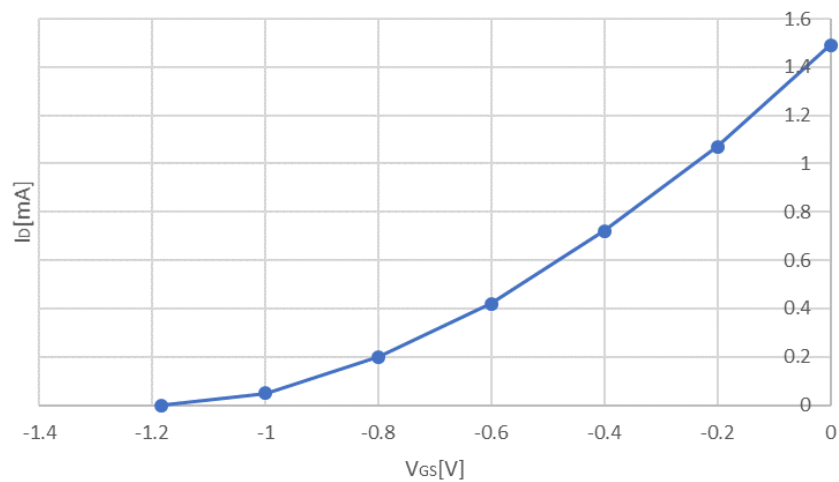


図7 $V_{GS}-I_D$ 特性

4.1.2 実験 2

図5によって増幅された波形を図8に示す。なお、この時の R_L , V_{GSQ} , V_{DSQ} の値は、 $R_L=100k\Omega$, $V_{GSQ}=-0.841V$, $V_{DSQ}=16.48V$ であった。

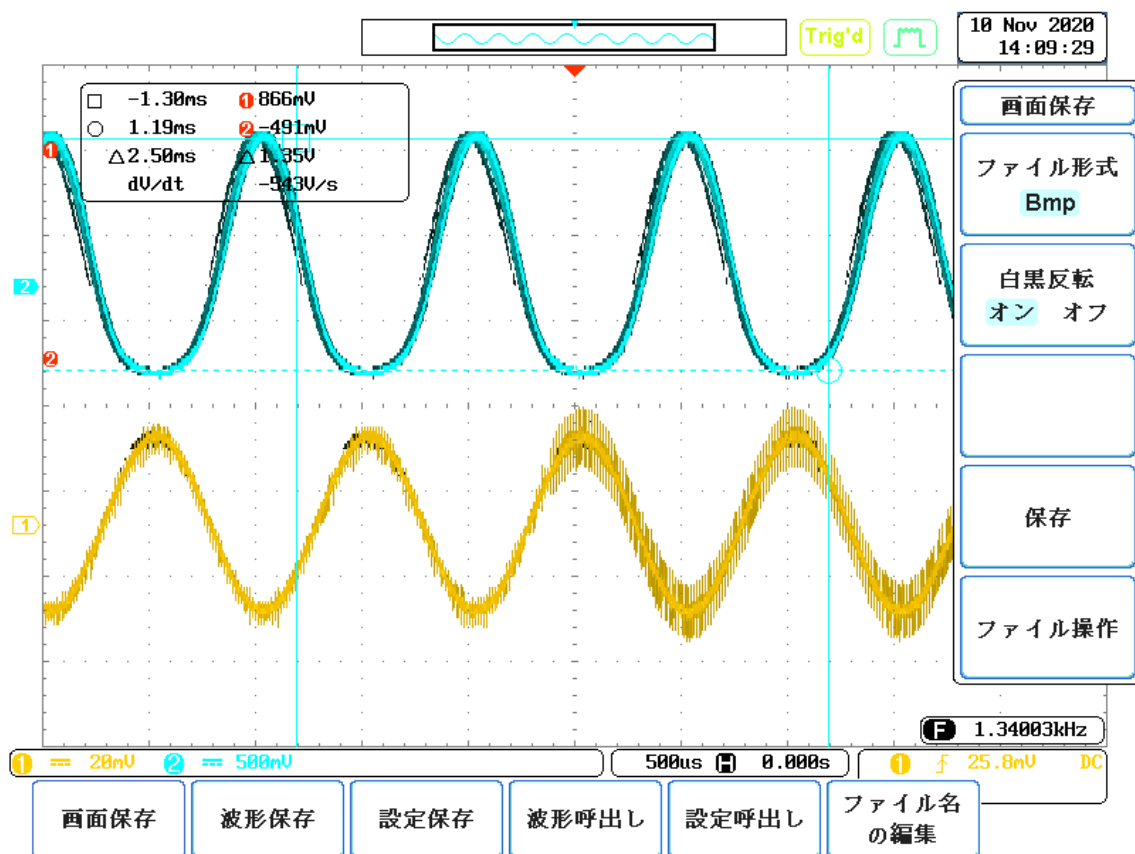


図8 回路によって増幅された波形

v_{out} にひずみが確認されたため、以降は $V_{GSQ} = -0.900V$ で実験した。

R_L の変化に対する出力電圧 v_{out} の値、電圧増幅度 $A_V (= v_{out}/v_{in})$ の値、電圧利得 ($20\log_{10}|A_V|$) の各値を表 3 に、 R_L の変化に対する電圧利得の変化の片対数グラフを図 9 に示す。

表 3 R_L と出力電圧、電圧増幅度、利得の関係

$R_L[k\Omega]$	$v_{out}[V]$	$A_V(\text{実測値})$	利得(実測値)[dB]
1	0.0293	1.465	3.317
2	0.0553	2.765	8.834
5	0.135	6.75	16.586
10	0.25	12.5	21.938
20	0.591	29.55	29.411
50	1.32	66	36.391
100	2.21	110.5	40.867

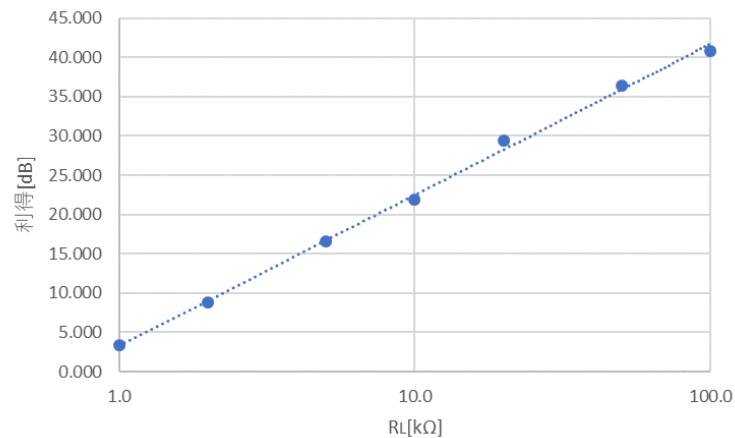


図 9 R_L の変化に対する電圧利得

4.1.3 実験 3

- (1) 表 2、図 6 より、 $V_{GS} = 0V$ とし、 V_{DS} が $5.0V \sim 10.0V$ に変化したときの I_D の変化を、ドレイン抵抗 r_D の導出式

$$r_D = \frac{1}{\Delta I_D / \Delta V_{DS}} = \frac{\Delta V_{DS}}{\Delta I_D}$$

に代入し、 r_D を導出すると、

$$r_D = \frac{\Delta V_{DS}}{\Delta I_D} = \frac{10-5}{(1.49-1.48) \times 10^{-3}} = 500[k\Omega]$$

- (2) 表2、図7より、 $V_{DS}=10V$ とし、 V_{GS} が $-0.2V \sim -0.0V$ に変化したときの I_D の変化を、相互コンダクタンス g_m の導出式

$$g_m = \frac{\Delta I_D}{\Delta V_{GS}}$$

に代入し、 g_m を導出すると、

$$g_m = \frac{\Delta I_D}{\Delta V_{GS}} = \frac{(1.49-1.07) \times 10^{-3}}{0 - (-0.2)} = 2.1 [\text{mS}]$$

4.2 考察

(1) 実験2の増幅回路において、増幅度を求めるため、直流分は必要ない。よって、直流電圧源は省略できる。さらに、コンデンサは、交流分のみを取り出すための素子であるため、省略できる。これらの素子を省略したうえで、FET を図3の等価回路に置き換えた。実験2の増幅回路の等価回路を図10に示す。

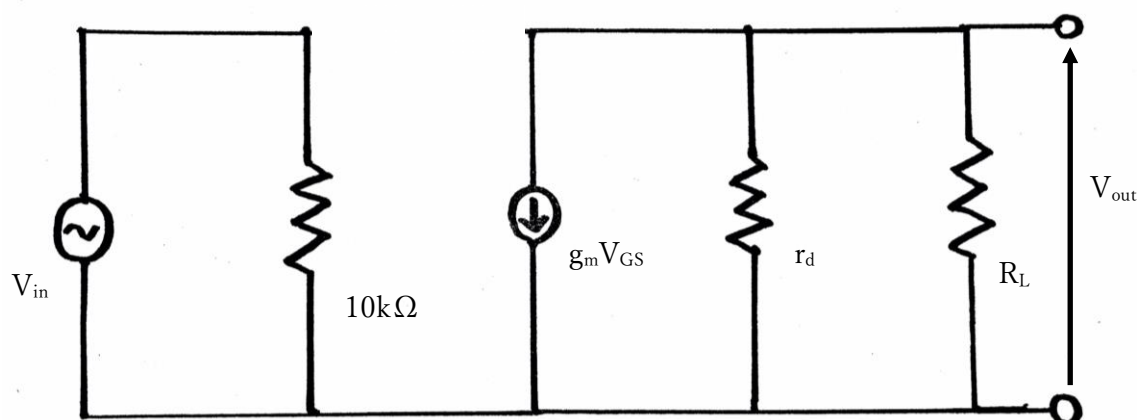


図10 増幅回路の等価回路

図10に示した回路より電圧増幅度 A_V が、 $-g_m \frac{r_D R_L}{r_D + R_L}$ となることを示す。

まず、電圧増幅度とは、入力電圧に対する出力電圧の比であるため、

$$A_V = \frac{V_{out}}{V_{in}}$$

と表せる。ここでの入力電圧は V_{GS} であるため、

$$V_{in} = V_{GS}$$

となる。さらに、出力電圧は r_D と R_L の合成抵抗 R と、そこに流れる電流 I_R の積で求まる。よって

$$V_{out} = I_R R$$

となり、 r_D と R_L の合成抵抗 R は

$$R = \frac{r_D R_L}{r_D + R_L}$$

である。ここで、この合成抵抗に流れる電流 I は、電流源の向きと逆向きなため、

$$I = -gmV_{GS}$$

と考えられる。これらの式を用いて A_V を導出すると、

$$A_V = \frac{v_{out}}{v_{in}} = \frac{I_R R}{V_{GS}} = \frac{-gmV_{GS} \times r_D R_L}{r_D + R_L} \times \frac{1}{V_{GS}} = -gm \frac{r_D R_L}{r_D + R_L}$$

したがって、 $A_V = -gm \frac{r_D R_L}{r_D + R_L}$

となることが示された。

(2) (1) の公式を用いて A_V の理論値を導出した。理論値を含めた出力電圧、電圧増幅度、利得の各値を表 4 に、グラフを図 11 に示す。

表 4 R_L と出力電圧、電圧増幅度、利得の関係（理論値を含む）

R_L [k Ω]	v_{out} [V]	A_V (実測値)	利得(実測値)[dB]	A_V (理論値)	利得(理論値)[dB]
1	0.0293	1.465	3.317	2.141	6.614
2	0.0553	2.765	8.834	4.266	12.6
5	0.135	6.75	16.586	10.539	20.456
10	0.25	12.5	21.938	20.673	26.308
20	0.591	29.55	29.411	39.815	32.001
50	1.32	66	36.391	89.583	39.045
100	2.21	110.5	40.867	153.571	43.726

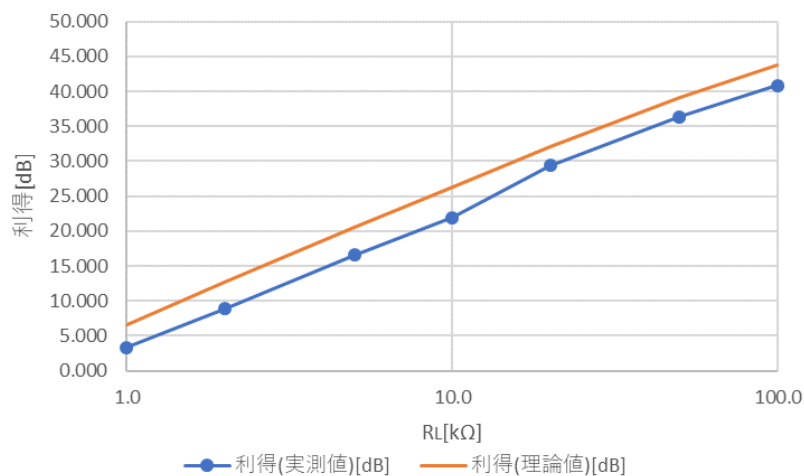


図 11 R_L の変化に対する電圧利得（理論値を含む）

理論値と実測値では、グラフの形が同じ形になったものの、実測値の各値が 2.59dB~4.37dB 小さくなった。これは、電圧降下によって出力電圧が小さくなり、それに従って利得が小さくなったことが理由としてあげられる。

5. 感想・意見

レポートに明記しなかったが、実験 2 で計測ミスが発覚し、正しい値となるように各値を調整して測定しなおしている。今後同様のミスをしないように、実験者同士での確認を今まで以上に行うことが必要だと感じた。また FET の静特性と使い方を理解することができた。