**1.　目的**

　電界効果トランジスタ（FET）の静特性の測定、および基本的な増幅回路の実験を行い、その動作を理解し使い方を習得することを目的とする。

**2.　原理**

　FETは、制御装置のゲート(G)に印加する電圧により、半導体中の空乏層幅を制御し、でレイン(D)―ソース(S)間のキャリアの流れやすさを制御する素子である。FETは接合形(J形)と絶縁型ゲート形(MOS形)に大別される。本実験では接合形を用いる。図１に接合形FETの基本構造を、図２にFETの図記号、図３にFETの等価回路を示す。

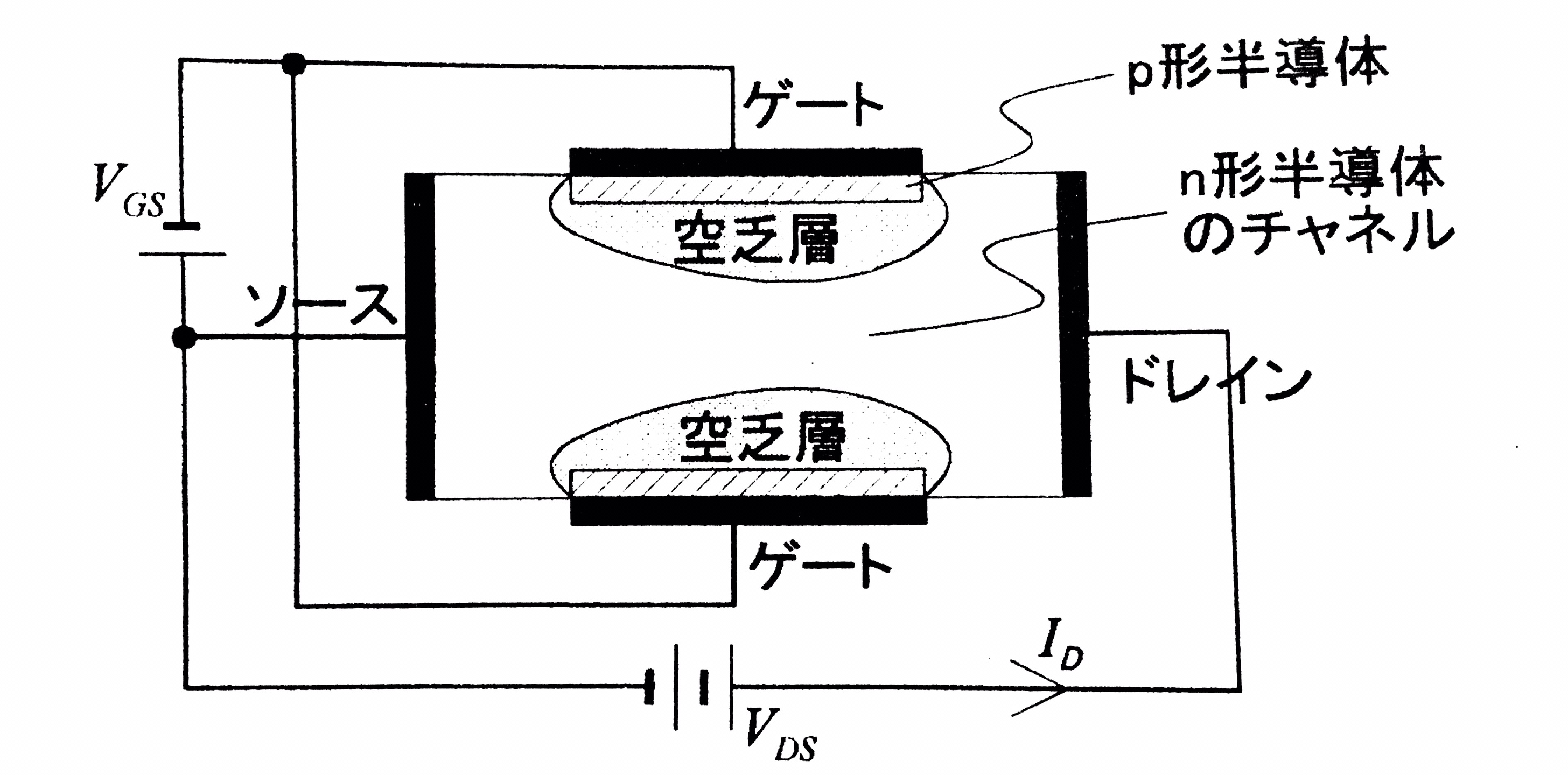


図１　接合形FETの基本構造

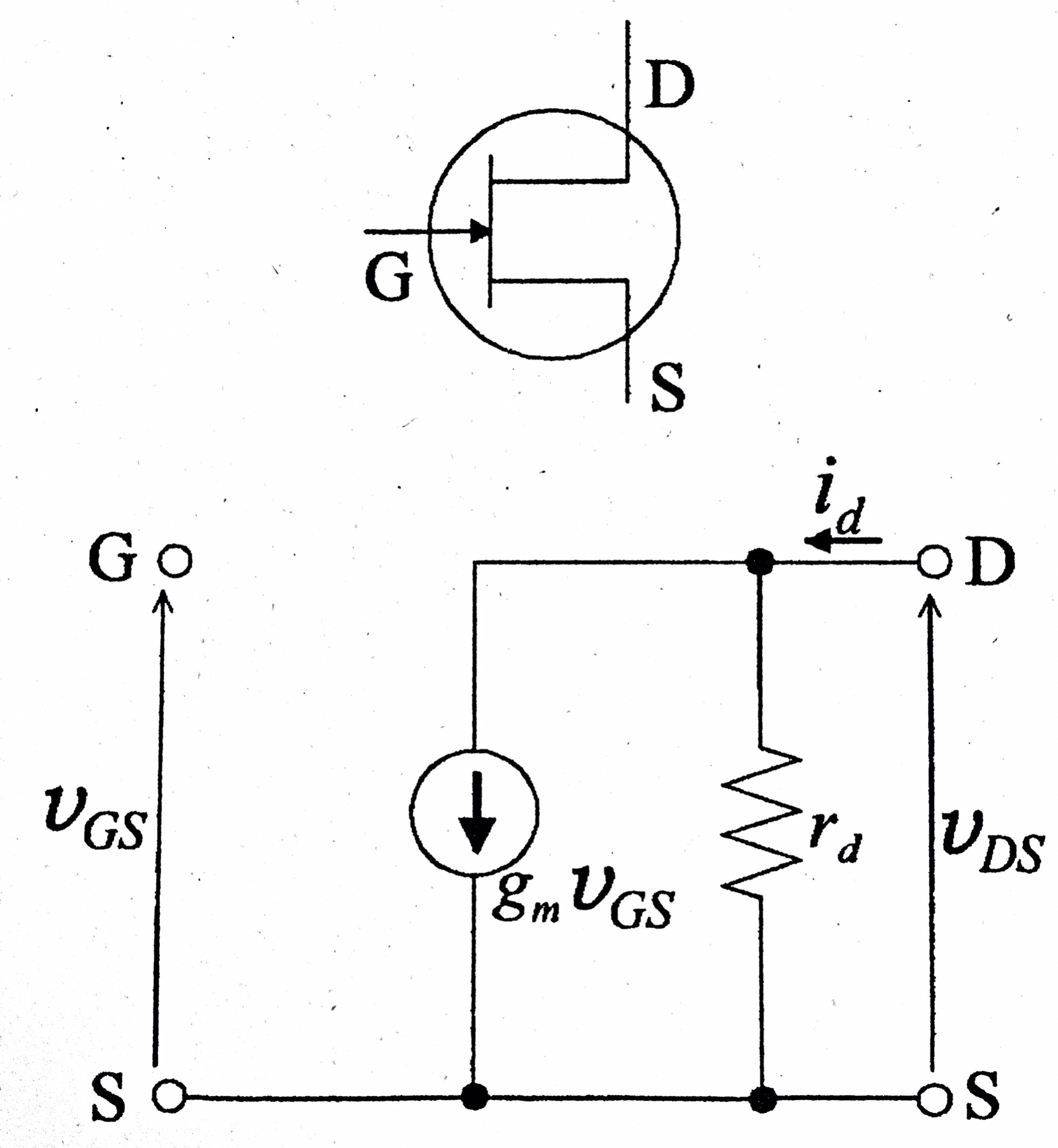


図２　FETの図記号

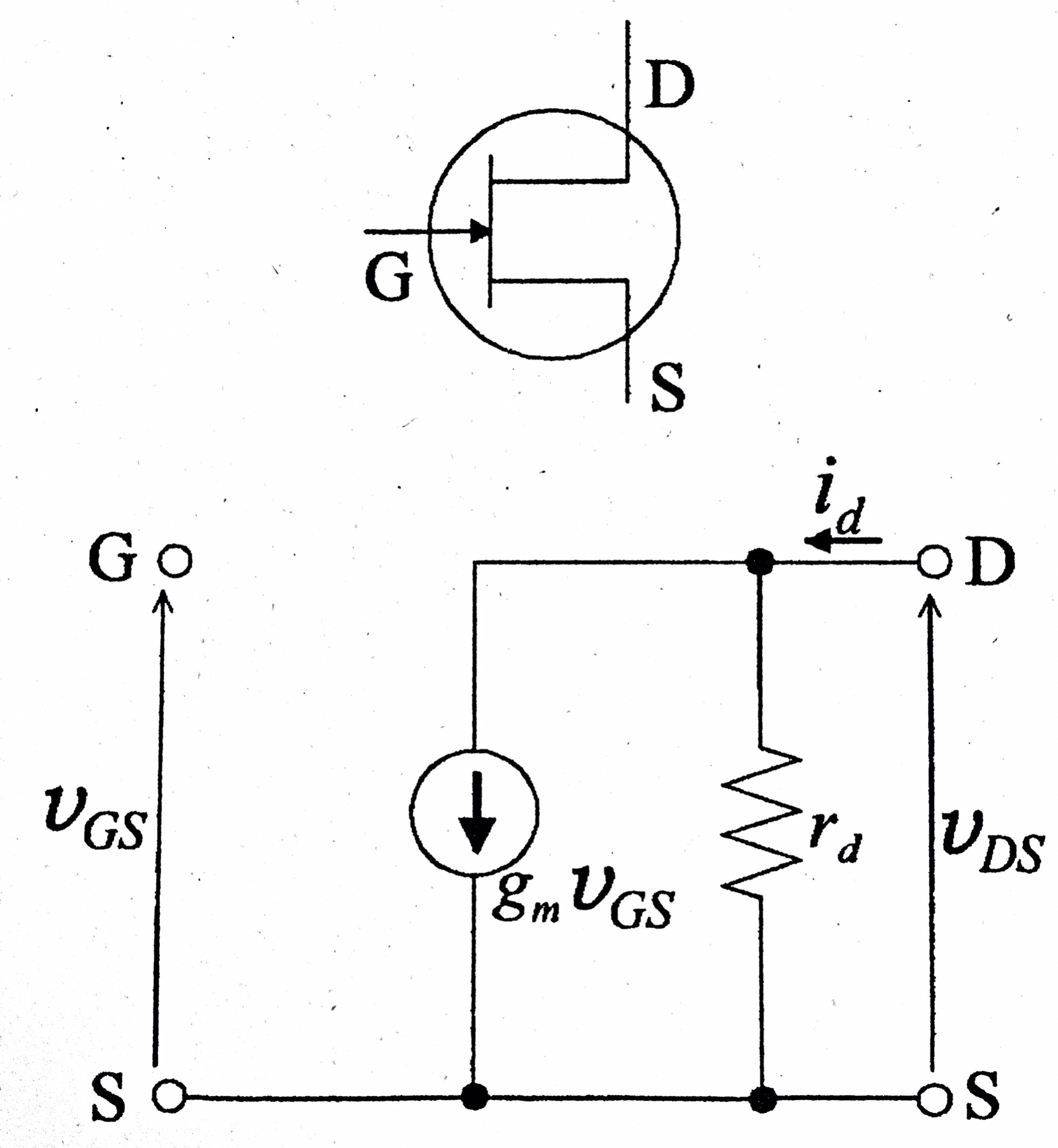


図３　FETの等価回路

図１はnチャネル接合型FETの基本構造である。n形Si半導体の両側面にp形半導体ゲートが接合されている。これに逆バイアス電圧をかけることによって空乏層の幅が変化する。ドレイン―ソース間のキャリアをチャネルといい、チャネルを多数キャリアが移動すると、ドレイン電流Ibが流れる。ドレイン電流は、空乏層の幅によって制御される。

**3.　実験内容**

3.1　使用機器

　FETの動作や特性を理解するための回路を制作するため、ブレッドボード、抵抗、コンデンサを用いた。また、入出力電津を観測するため、オシロスコープ、テスタを用いた。その規格や形式を表１に示す。

表1　使用機器

|  |  |  |
| --- | --- | --- |
| 品名 | 規格や形式など | 個数 |
| 直流電源 | TEXIO　PR18-5A | 2台 |
| ブレッドボード | Sunhayato SRH-32 | 1個 |
| テスタ | sanwa PC710 | 3台 |
| 抵抗 | 47Ω  1kΩ  2kΩ  5kΩ  10kΩ  20kΩ  50kΩ  100kΩ | 各１個 |
| FET | ｎチャネル接合型 | 1個 |
| コンデンサ | 10μF | 2個 |
| オシロスコープ | TEXIO DCS-9710 | 1台 |
| 発振器 | TEXIO FG-274 | 1台 |

3.2　測定法

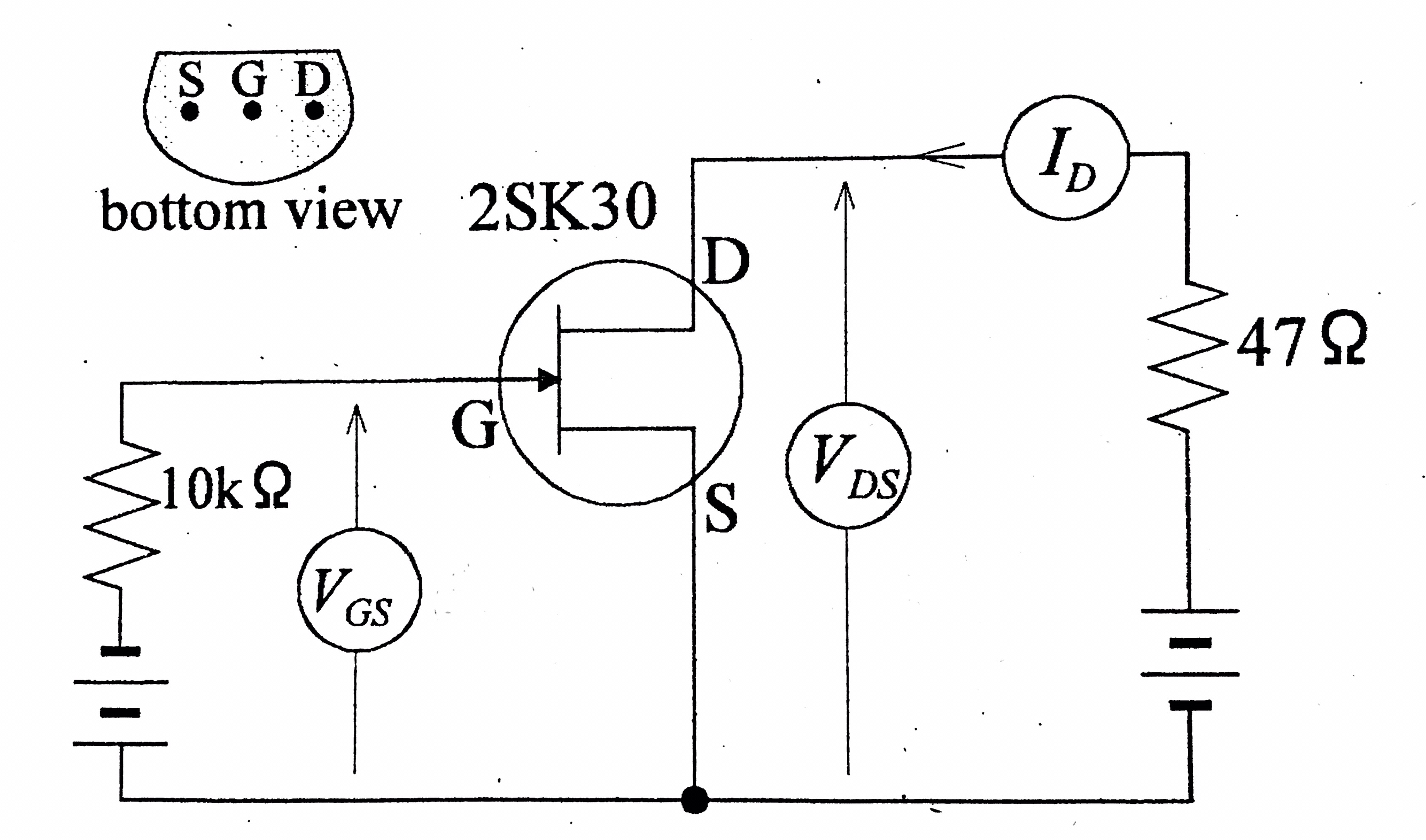


図４　静特性の測定回路

3.2.1　実験1

（１） 図４に示す回路をブレッドボード上に組む。

（２） VDSを10Vとし、IDが流れなくなる時のVGS(ピンチオフ電圧VP)を測定する。

（３） G-S間電圧VGSをパラメータとして、出力特性(VDS－ID特性)を測定する。

（４） （３）の結果を用いて、VDS=10Vの場合のVGS－IDを導出する。

3.2.2　実験２

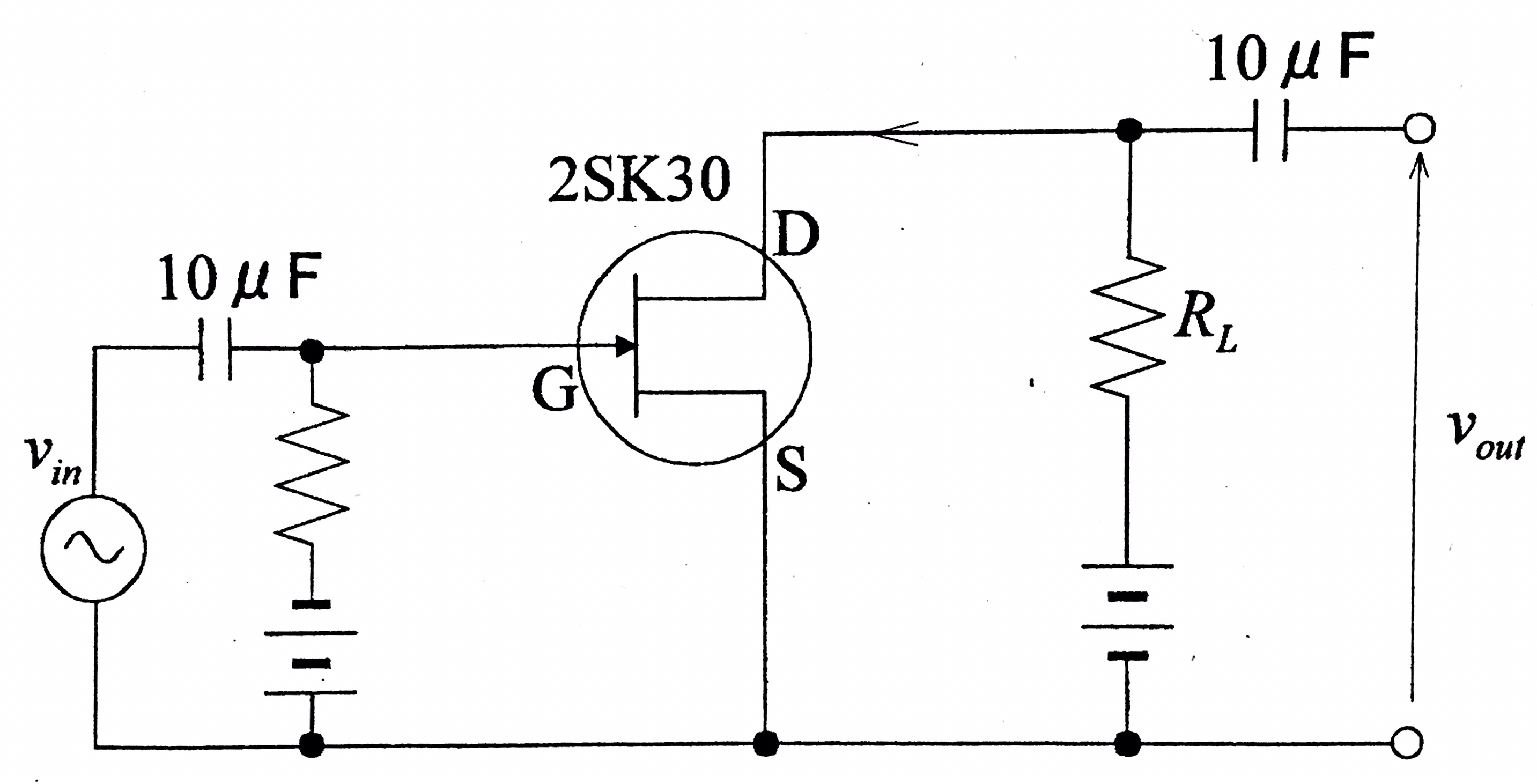


図５　増幅回路

（１） 図5に示す回路をブレッドボード上に組む。この際、入力信号vinの振幅を20mV、周波数を1kHzとする。

（２） VGS、VDSを適宜調整し、図５の回路が増幅回路となることを確認する。

（３） RLの値を1.0kΩ,2.0 kΩ,5.0 kΩ,10 kΩ,20 kΩ,50 kΩ,100 kΩ変更し、変化に対する出力電圧voutをオシロスコープで測定し、電圧利得を求める。なお、電圧利得は電圧増幅度をAV(=vout/vin)とすると、20log10|AV|[dB]で定義される。

3.2.3　実験３

（１） VDS－ID特性を用いて、VGS=VGSQにおけるドレイン抵抗rDを求める。

（２） VGS―ID特性を用いて、VDS=VDSQにおける相互コンダクタンスgmを求める。

**4.　結果・考察**

4.1　実験結果

4.1.1　実験１

　VDS、VGSを変化させたときのIDの値を表２に示す。

表２　VDS,VGSとIDの関係



　VDSが10Vで、IDが0Aとなった時のVGSの値は、-1.184Vであった。この値は、実験１の（１）を測定する、ピンチオフ電圧VPのことである。そのためVGSの最小値は-1.184Vとし、VGSの値は0から0.2ずつ減少させた。

　さらに、表２より、VDS－ID特性、VGS－ID特性がわかる。VDS－ID特性を図６に、VDS=10Vの時のVGS－ID特性を図７に示す。

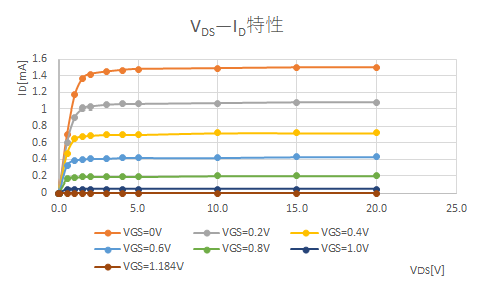


図６　VDS－ID特性

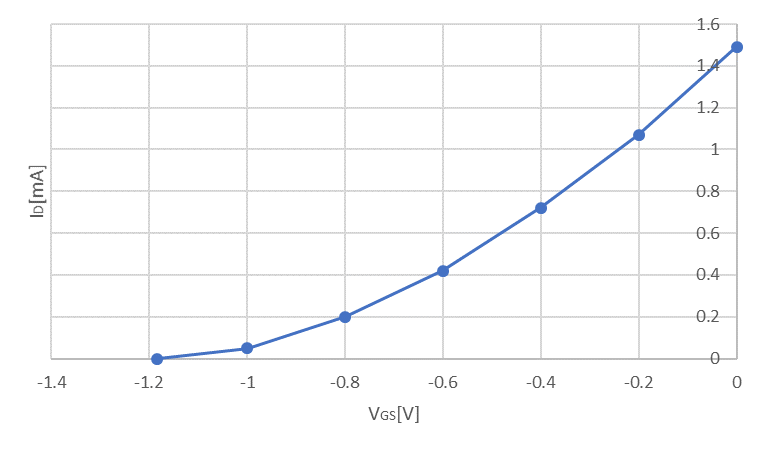


図７　VGS－ID特性

4.1.2　実験２

　図５によって増幅された波形を図８に示す。なお、この時のRL,VGSQ,VDSQの値は、RL=100kΩ,VGSQ=-0.841V,VGSQ=16.48Vであった。

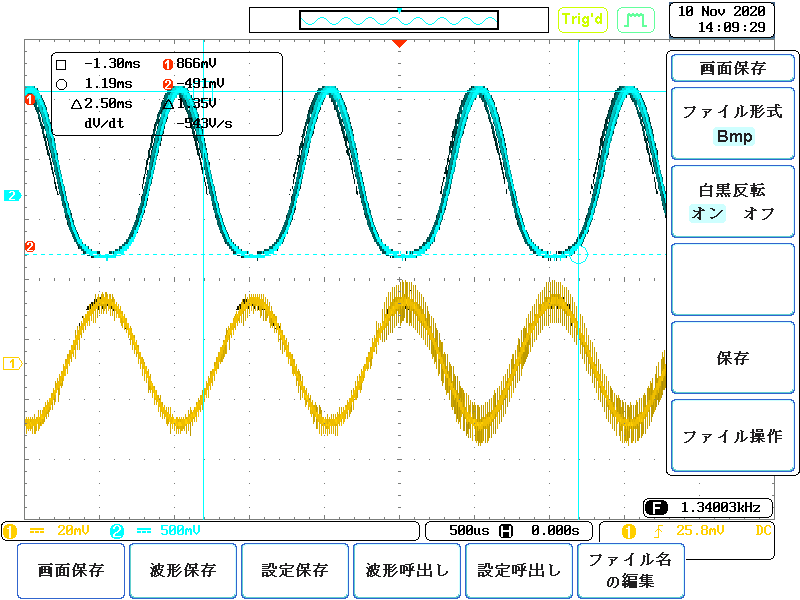


図８　回路によって増幅された波形

　voutにひずみが確認されたため、以降はVGSQ=-0.900Vで実験した。

RLの変化に対する出力電圧voutの値、電圧増幅度AV(=vout/vin)の値、電圧利得(20log10|AV|)の各値を表３に、RLの変化に対する電圧利得の変化の片対数グラフを図９に示す。

表３　RLと出力電圧、電圧増幅度、利得の関係



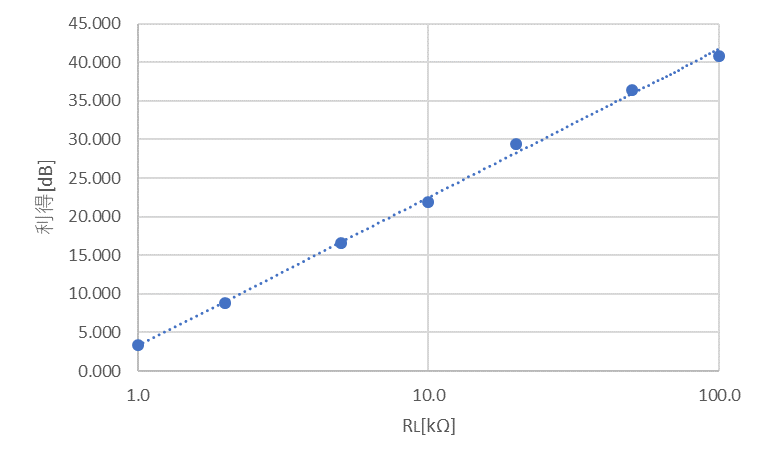


図９　RLの変化に対する電圧利得

4.1.3　実験3

（１） 表２、図６より、VGS=0Vとし、VDSが5.0V~10.0Vに変化したときのIDの変化を、ドレイン抵抗rDの導出式

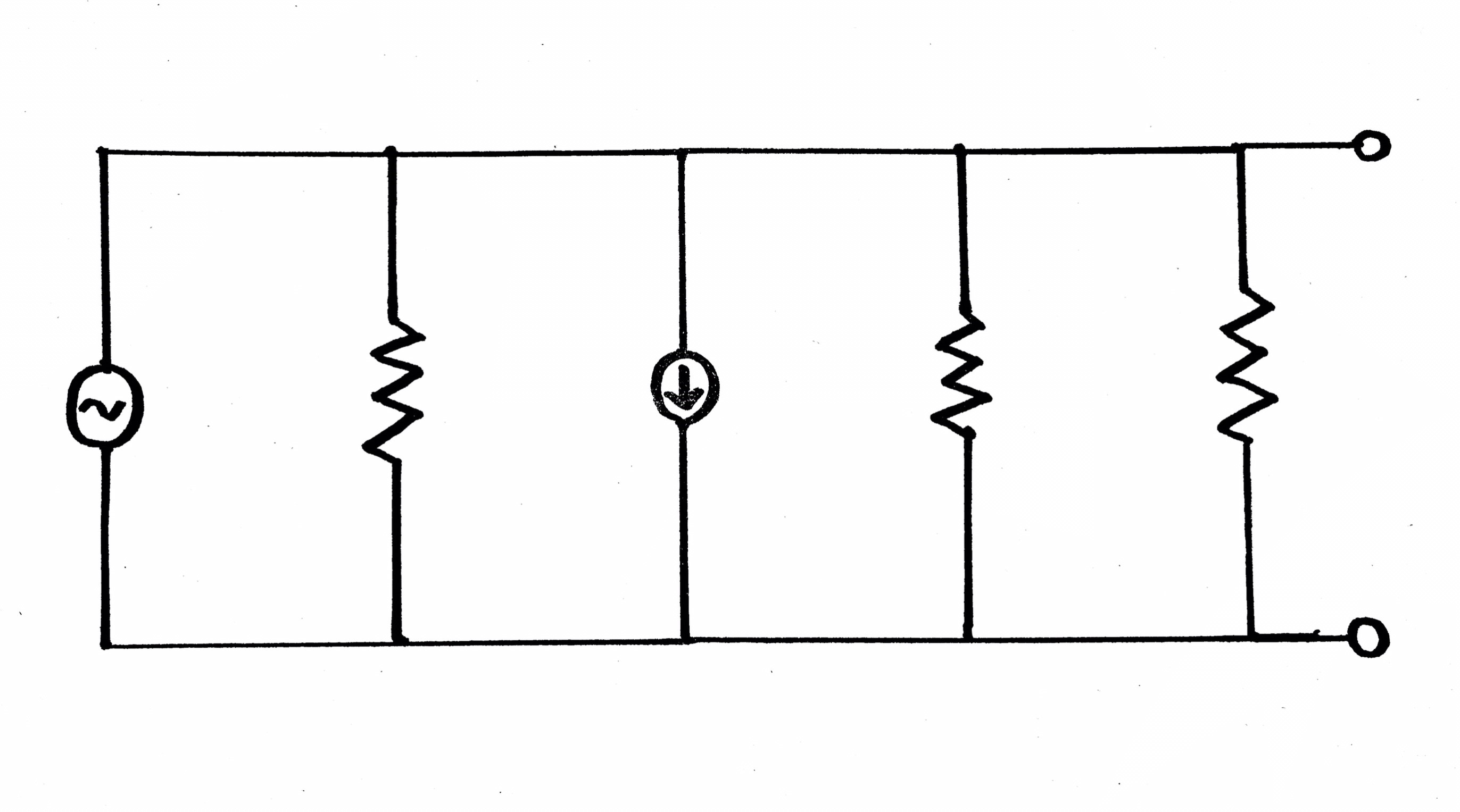
に代入し、rDを導出すると、

（２） 表２、図７より、VDS=10Vとし、VGSが-0.2V~-0.0Vに変化したときのIDの変化を、相互コンダクタンスgmの導出式

に代入し、gmを導出すると、

4.2　考察

（１） 実験２の増幅回路において、増幅度を求めるため、直流分は必要ない。よって、直流電圧源は省略できる。さらに、コンデンサは、交流分のみを取り出すための素子であるため、省略できる。これらの素子を省略したうえで、FETを図３の等価回路に置き換えた。実験２の増幅回路の等価回路を図10に示す。



Vout

10kΩ

RL

rd

gmVGS

Vin

図10　増幅回路の等価回路

図10に示した回路より電圧増幅度AVが、となることを示す。

まず、電圧増幅度とは、入力電圧に対する出力電圧の比であるため、

と表せる。ここでの入力電圧はVGSであるため、

となる。さらに、出力電圧はrDとRLの合成抵抗Rと、そこに流れる電流IRの積で求まる。よって

となり、rDとRLの合成抵抗Rは

である。ここで、この合成抵抗に流れる電流Iは、電流源の向きと逆向きなため、

と考えられる。これらの式を用いてAVを導出すると、

したがって、=

となることが示された。

（２） （１）の公式を用いてAVの理論値を導出した。理論値を含めた出力電圧、電圧増幅度、利得の各値を表４に、グラフを図11に示す。

表４　RLと出力電圧、電圧増幅度、利得の関係（理論値を含む）



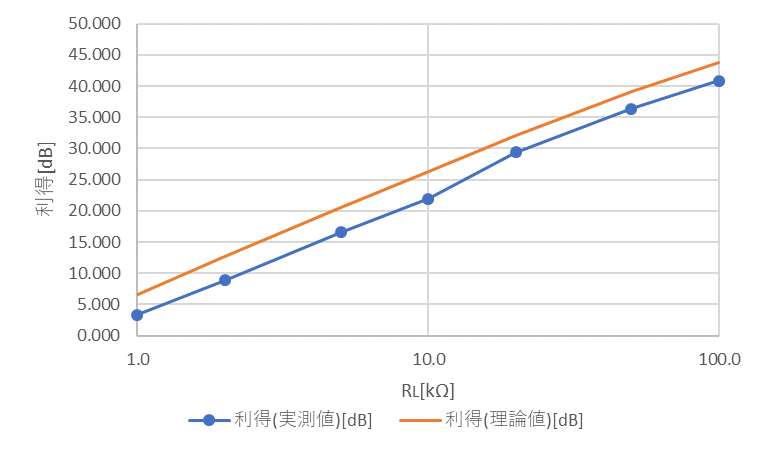


図11　 RLの変化に対する電圧利得（理論値を含む）

　理論値と実測値では、グラフの形が同じ形になったものの、実測値の各値が2.59dB~4.37dB小さくなった。これは、電圧降下によって出力電圧が小さくなり、それに従って利得が小さくなったことが理由としてあげられる。

**5.　感想・意見**

レボートに明記しなかったが、実験2で計測ミスが発覚し、正しい値となるように各値を調整して測定しなおしている。今後同様のミスをしないように、実験者同士での確認を今まで以上に行うことが必要だと感じた。またFETの静特性と使い方を理解することができた。