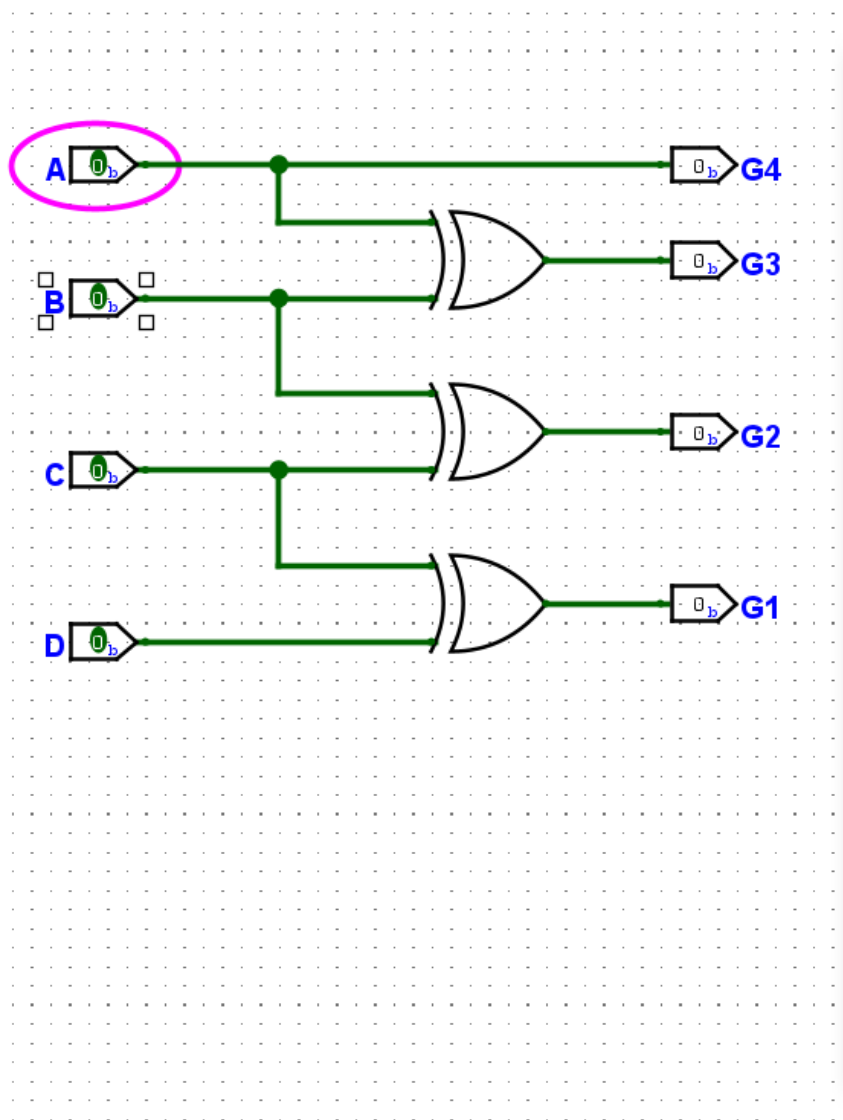


Names: Luan Bortoli – Matrícula: 2121101061
Yuri L. M. Lanzini – Matrícula: 2121101029



Arquivo Editar Projeto Simular FPGA Janela Ajuda Análise Combinacional

Entradas e Saídas Tabela Expressão Minimizada

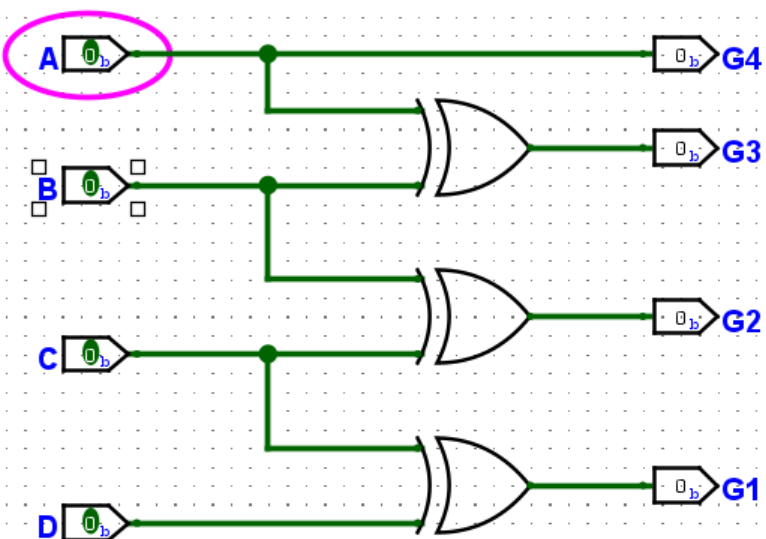
Variáveis de entrada

A
B
C
D
Clique para adicionar uma nova variável

Variáveis de saída

G4
G3
G2
G1
Clique para adicionar uma nova variável

Importar tabela Construir circuito Tabela de exportação Exportar TeX



Arquivo Editar Projeto Simular FPGA Janela Ajuda Análise Combinacional

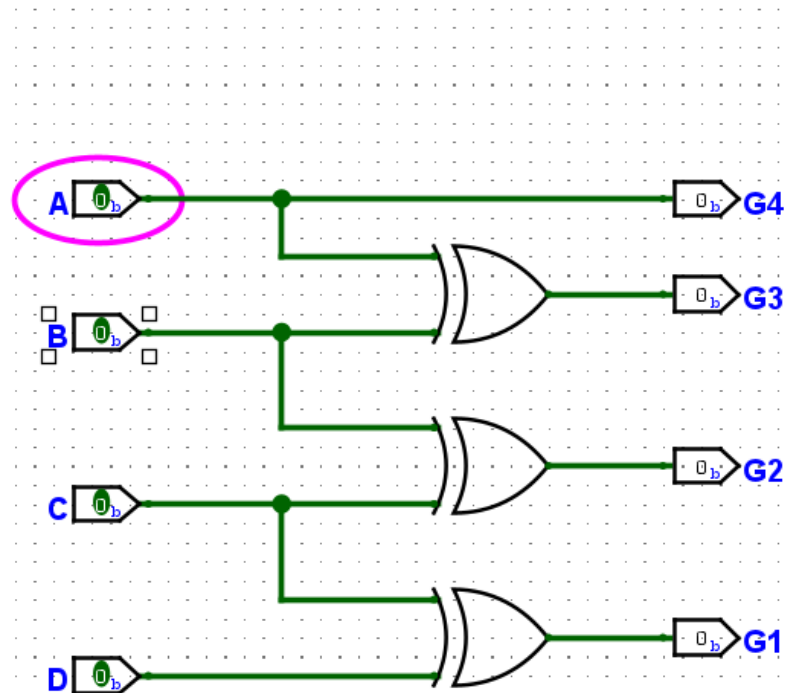
Entradas e Saídas Tabela Expressão Minimizada

- 1 0 Recolher linhas duplicadas Mostrar todas as linhas

16 das linhas de 16 mostradas

A	B	C	D	G4	G3	G2	G1
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	1
0	0	1	1	0	0	1	0
0	1	0	0	0	1	1	0
0	1	0	1	0	1	1	1
0	1	1	0	0	1	0	1
0	1	1	1	0	1	0	0
1	0	0	0	1	1	0	0
1	0	0	1	1	1	0	1
1	0	1	0	1	1	1	1
1	0	1	1	1	1	1	0
1	1	0	0	1	0	1	0
1	1	0	1	1	0	1	1
1	1	1	0	1	0	0	1
1	1	1	1	1	0	0	0

Importar tabela Construir circuito Tabela de exportação Exportar TeX



Arquivo Editar Projeto Simular FPGA Janela Ajuda Análise Combinacional

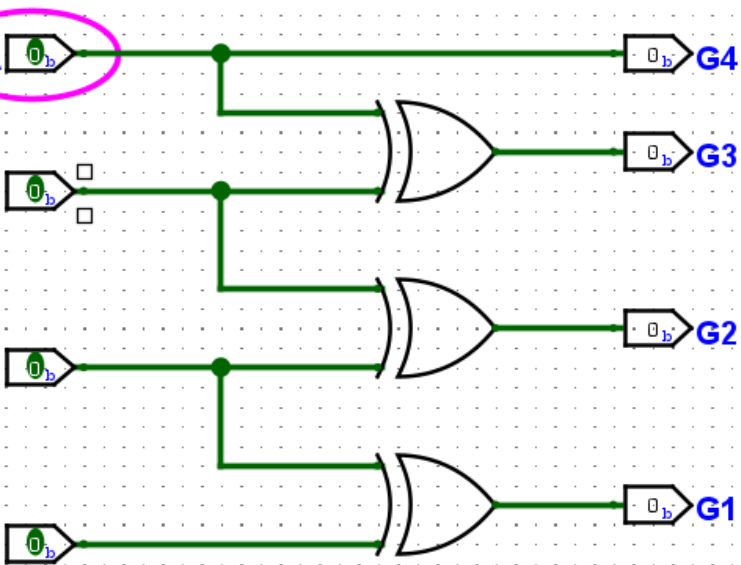
Entradas e Saídas Tabela **Expressão** Minimizada

Notação: Matemática

Expressões de saída (clique duas vezes para editar):

G4 = A
G3 = $A \oplus B$
G2 = $B \oplus C$
G1 = $C \oplus D$

Importar tabela Construir circuito **Tabela de exportação** Exportar TeX



Arquivo Editar Projeto Simular FPGA Janela Ajuda Análise Combinacional

Entradas e Saídas Tabela Expressão **Minimizada**

Saída: **G1**

Formato: Soma de produtos

Estilo: Numerado

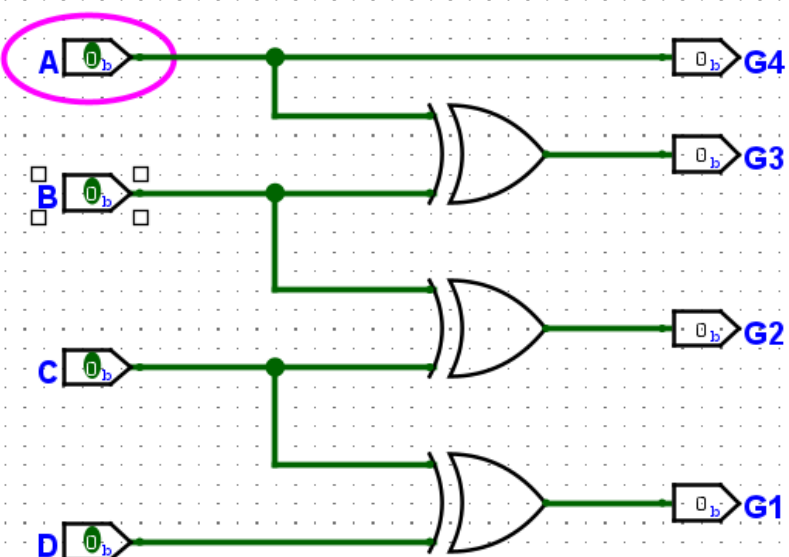
Notação: Matemática

		C, D			
		00	01	11	10
A, B	00	0	1	0	1
	01	0	1	0	1
	11	0	1	0	1
	10	0	1	0	1

Nenhum grupo selecionado.

$$\overline{C} \cdot D + C \cdot \overline{D}$$

Importar tabela Construir circuito Tabela de exportação Exportar TeX



Arquivo Editar Projeto Simular FPGA Janela Ajuda Análise Combinacional

Entradas e Saídas Tabela Expressão **Minimizada**

Saída: **G2**

Formato: Soma de produtos

Estilo: Numerado

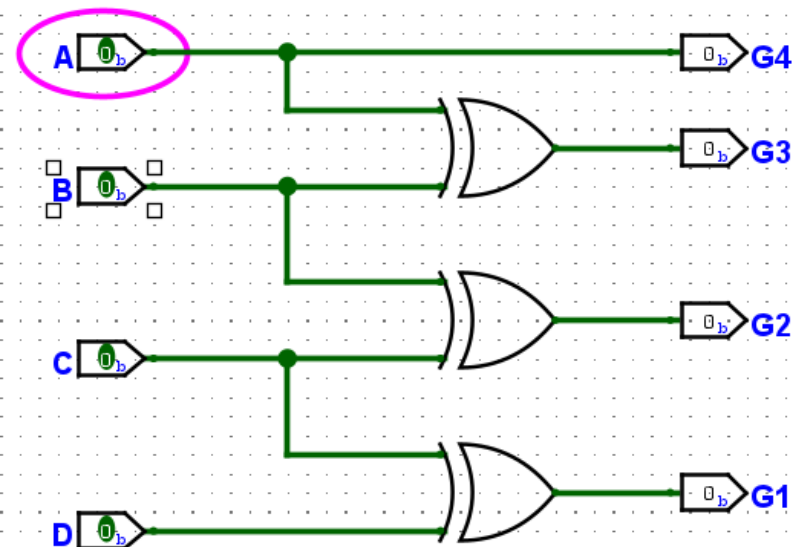
Notação: Matemática

A, B \ C, D		C, D			
		00	01	11	10
A, B	00	0	0	1	1
	01	1	1	0	0
	11	1	1	0	0
	10	0	0	1	1

Nenhum grupo selecionado.

$$\overline{B} \cdot C + B \cdot \overline{C}$$

Importar tabela Construir circuito Tabela de exportação Exportar TeX



Arquivo Editar Projeto Simular FPGA Janela Ajuda Análise Combinacional

Entradas e Saídas Tabela Expressão **Minimizada**

Saída: **G3**

Formato: Soma de produtos

Estilo: Numerado

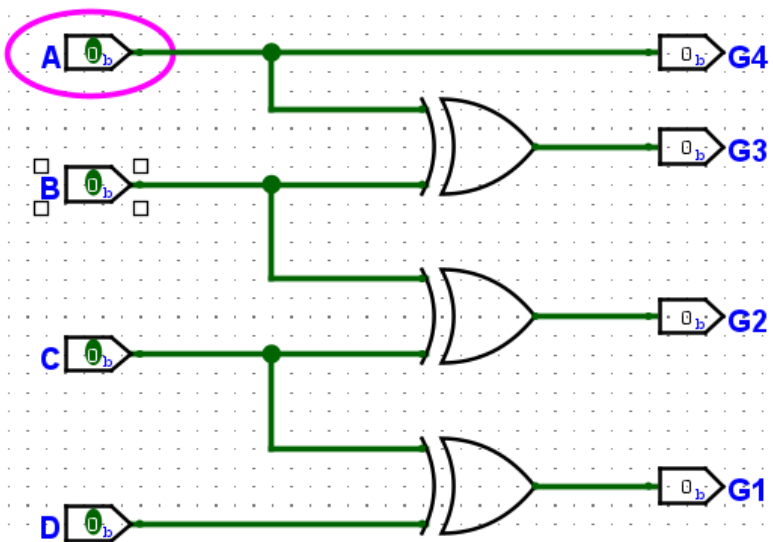
Notação: Matemática

		C, D			
		00	01	11	10
A, B	00	0	0	0	0
	01	1	1	1	1
	11	0	0	0	0
	10	1	1	1	1

Nenhum grupo selecionado.

$$\overline{A} \cdot B + A \cdot \overline{B}$$

Importar tabela Construir circuito Tabela de exportação Exportar TeX



Arquivo Editar Projeto Simular FPGA Janela Ajuda Análise Combinacional

Entradas e Saídas Tabela Expressão **Minimizada**

Saída: G4

Formato: Soma de produtos

Estilo: Numerado

Notação: Matemática

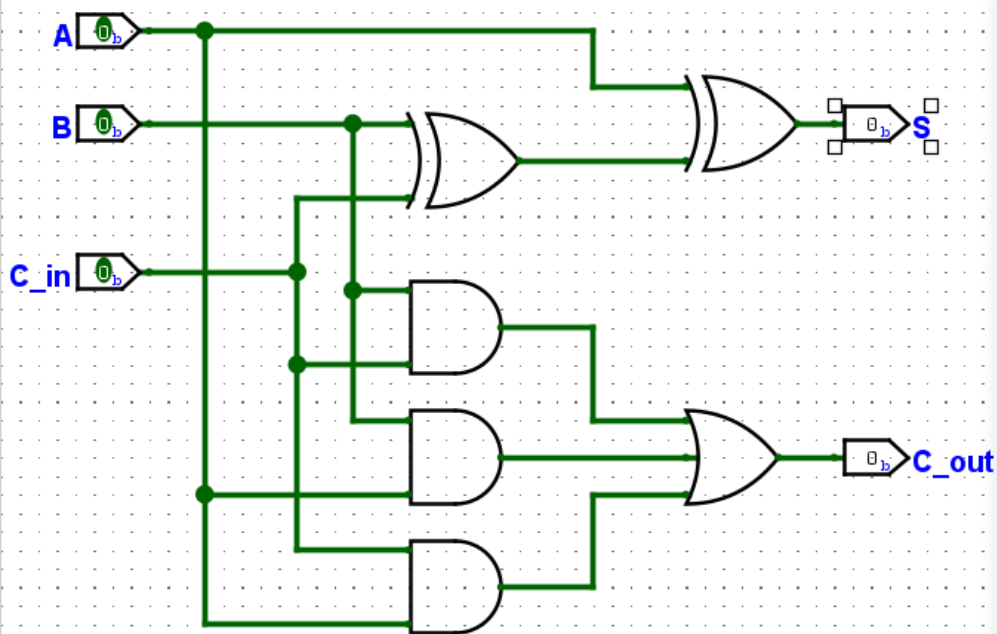
		C, D			
		00	01	11	10
A, B	00	0	0	0	0
	01	0	0	0	0
	11	1	1	1	1
	10	1	1	1	1

Nenhum grupo selecionado.

A

Importar tabela Construir circuito Tabela de exportação Exportar TeX

Atividade 2



Arquivo Editar Projeto Simular FPGA Janela Ajuda Análise Comb... — □ ×

Entradas e Saídas Tabela Expressão Minimizada

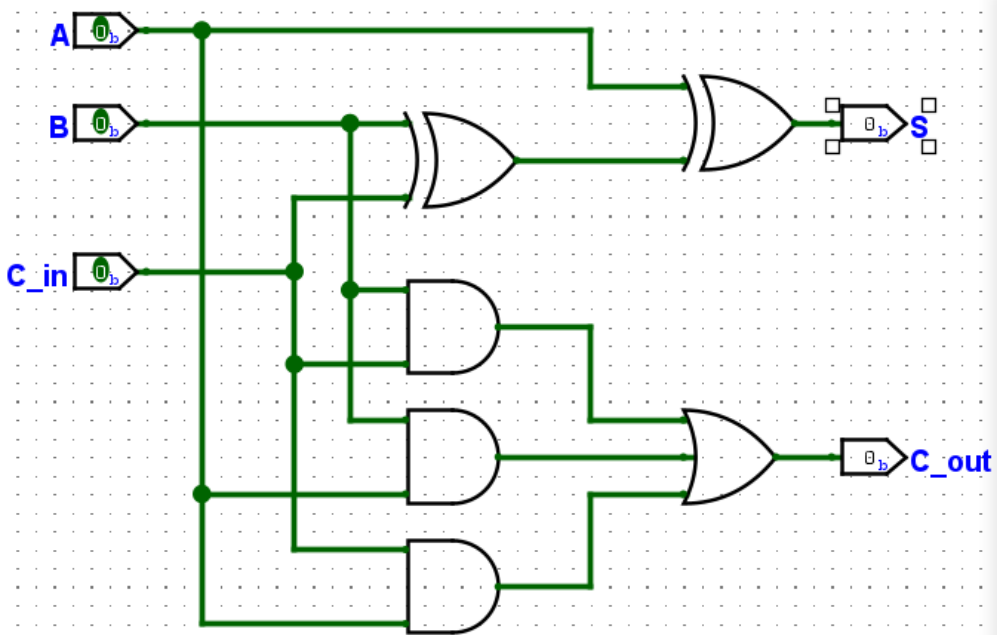
Variáveis de entrada

A
B
C_in
Clique para adicionar uma nova variável

Variáveis de saída

S
C_out
Clique para adicionar uma nova variável

Importar tabela Construir circuito Tabela de exportação Exportar TeX



Arquivo Editar Projeto Simular FPGA Janela Ajuda Análise Comb... - □ ×

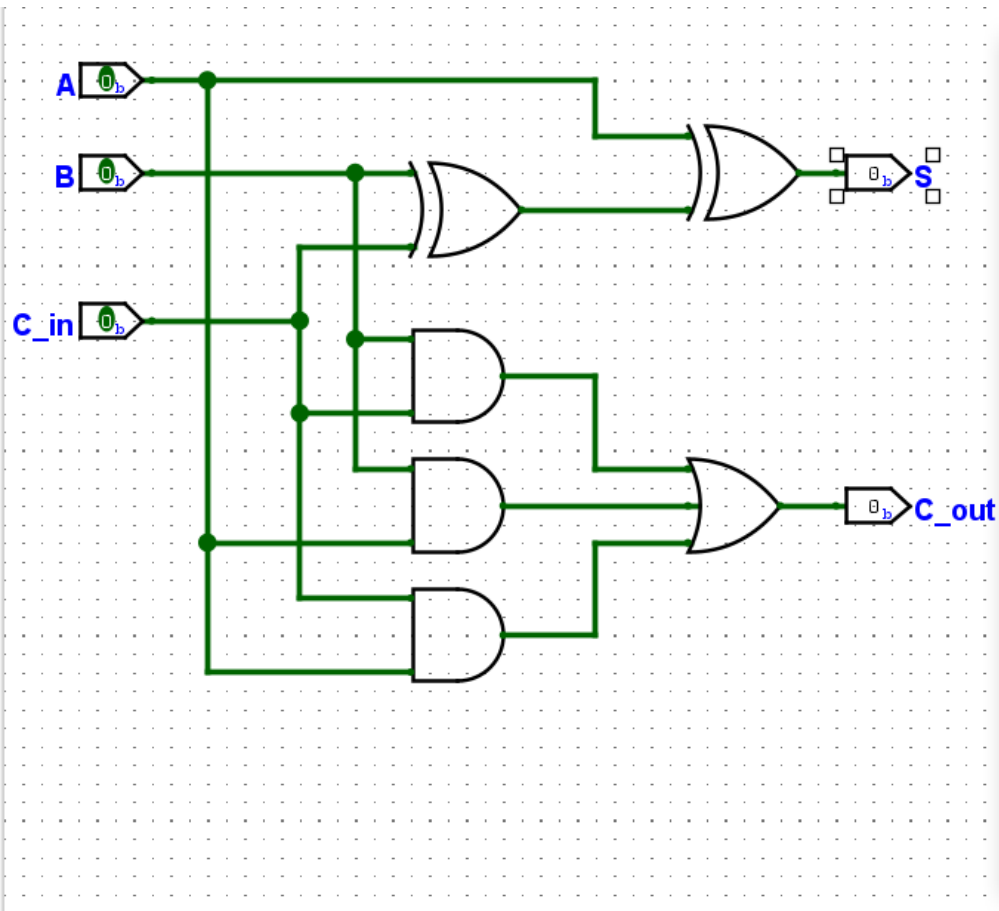
Entradas e Saídas Tabela Expressão Minimizada

- 1 0 Recolher linhas duplicadas Mostrar todas as linhas

8 das linhas de 8 mostradas

A	B	C_in	S	C_out
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Importar tabela Construir circuito Tabela de exportação Exportar TeX



Arquivo Editar Projeto Simular FPGA Janela Ajuda Análise Comb... — □ ×

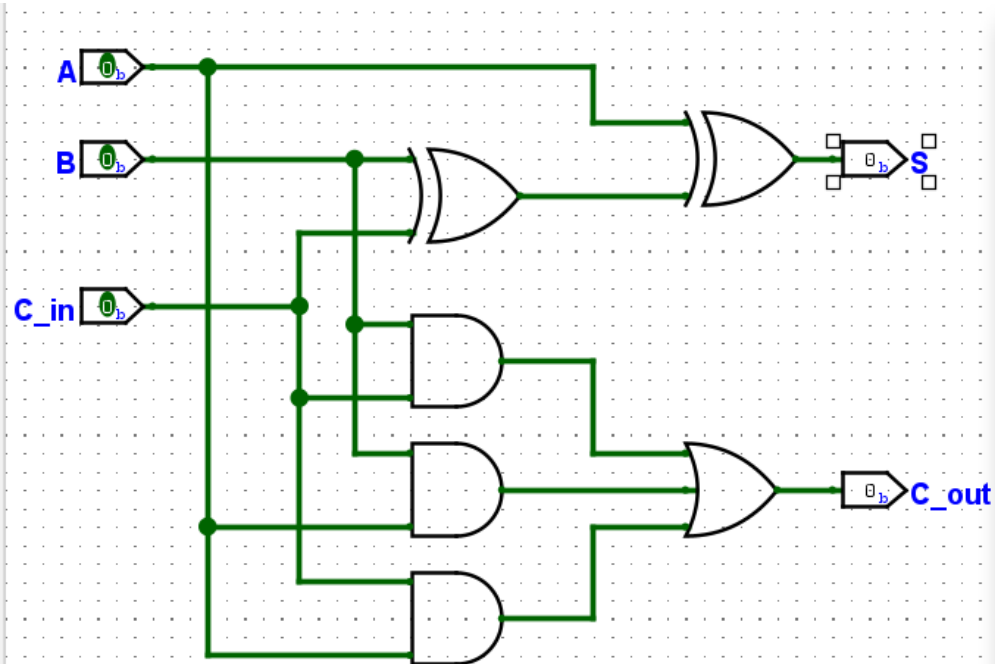
Entradas e Saídas Tabela Expressão Minimizada

Notação: Matemática ▼

Expressões de saída (clique duas vezes para editar):

```
S = A⊕B⊕C_in  
C_out = B·C_in+B·A+C_in·A
```

Importar tabela Construir circuito Tabela de exportação Exportar TeX



Arquivo Editar Projeto Simular FPGA Janela Ajuda Análise Comb...

Entradas e Saídas Tabela Expressão **Minimizada**

Saída: S

Formato: Soma de produtos

Estilo: Numerado

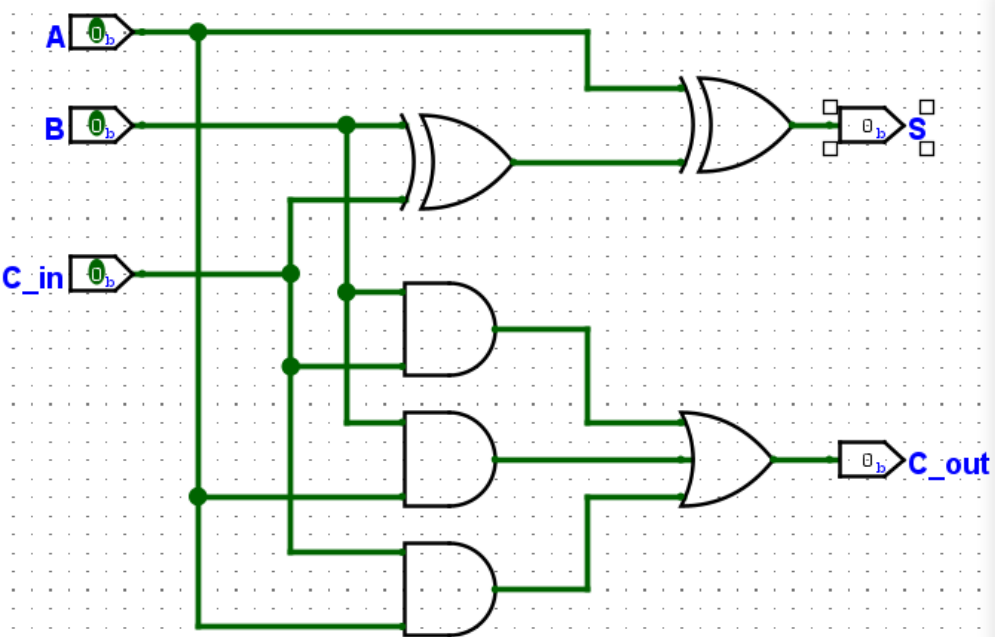
Notação: Matemática

		B, C_in			
		00	01	11	10
A	0	0	1	0	1
	1	1	0	1	0

Nenhum grupo selecionado.

$$\overline{A} \cdot B \cdot C_{in} + A \cdot \overline{B} \cdot C_{in} + A \cdot B \cdot \overline{C_{in}} + A \cdot B \cdot C_{in}$$

Importar tabela Construir circuito Tabela de exportação Exportar TeX



Arquivo Editar Projeto Simular FPGA Janela Ajuda Análise Comb...

Entradas e Saídas Tabela Expressão **Minimizada**

Saída: C_{out}

Formato: Soma de produtos

Estilo: Numerado

Notação: Matemática

		B, C _{in}			
		00	01	11	10
A	0	0	0	1	0
	1	0	1	1	1

Nenhum grupo selecionado.

$B \cdot C_{in} + A \cdot C_{in} + A \cdot B$

Importar tabela Construir circuito Tabela de exportação Exportar TeX