

Міністерство освіти і науки України
НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ «ЛЬВІВСЬКА ПОЛІТЕХНІКА»



Кафедра ЕОМ
З лабораторної роботи № 1
З дисципліни « МОДЕЛЮВАННЯ КОМП'ЮТЕРНИХ СИСТЕМ »
На тему: « Інсталяція та ознайомлення з середовищем розробки Xilinx ISE »
Варіант 18

Виконав: студент гр. КІ-201
Панасевич Ю. В.

Прийняв:
Козак Н. Б.

Мета роботи:

Побудувати дешифратор $3 \rightarrow 7$ за допомогою ISE WebPACK Schematic Capture та моделювання його роботи за допомогою симулятора ISim.

Завдання:

1. Створення облікового запису на www.xilinx.com
2. Інсталяція Xilinx ISE та отримання ліцензії.
3. Побудова пристрою «3 в 7» за допомогою ISE Webpack Schematic Capture та моделювання його роботи за допомогою симулятора ISim.
4. Генерування Bit файла та тестування за допомогою стенда Elbert V2 – Spartan 3A FPGA.

Хід роботи:

1. Використовуючи компоненти з бібліотеки, реалізую схему згідно із завданням.

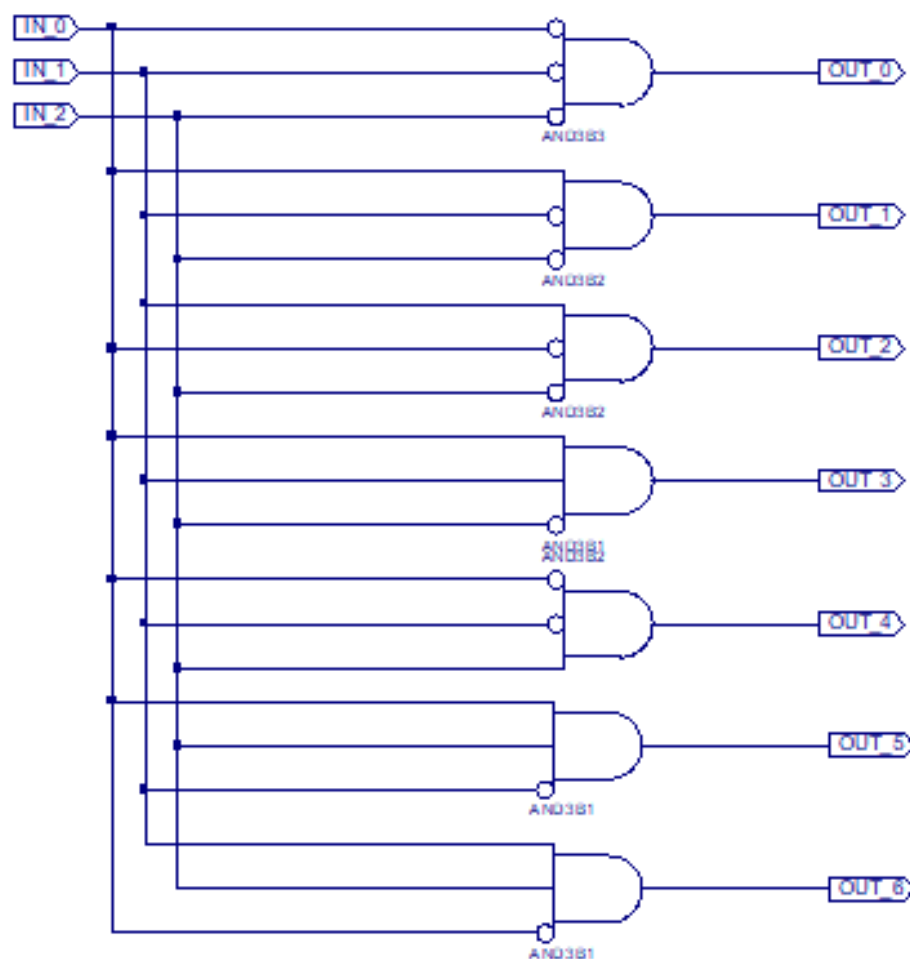


Рис. 1: Схема дешифратора $3 \rightarrow 7$ на логічних елементах бібліотеки Xilinx ISE

2. Додав до проекту User Constraint файл та призначив виводам схеми виводи цільової FPGA.

Код:

```
#####  
#####  
#####
```

```
#                               UCF for ElbertV2 Development Board  
#
```

```
#####  
#####  
#####
```

CONFIG VCCAUX = "3.3" ;

Clock 12 MHz

NET "Clk" LOC = P129 | IOSTANDARD = LVCMOS33 | PERIOD =
12MHz;

```
#####  
#####
```

```
#                               LED
```

```
#####  
#####
```

NET "OUT_0" LOC = P46 | IOSTANDARD = LVCMOS33 | SLEW =
SLOW | DRIVE = 12;

NET "OUT_1" LOC = P47 | IOSTANDARD = LVCMOS33 | SLEW =
SLOW | DRIVE = 12;

NET "OUT_2" LOC = P48 | IOSTANDARD = LVCMOS33 | SLEW =
SLOW | DRIVE = 12;

NET "OUT_3" LOC = P49 | IOSTANDARD = LVCMOS33 | SLEW =
SLOW | DRIVE = 12;

NET "OUT_4" LOC = P50 | IOSTANDARD = LVCMOS33 | SLEW =
SLOW | DRIVE = 12;

NET "OUT_5" LOC = P51 | IOSTANDARD = LVCMOS33 | SLEW =
SLOW | DRIVE = 12;

```
NET "OUT_6"      LOC = P54  | IOSTANDARD = LVCMOS33 | SLEW =  
SLOW | DRIVE = 12;
```

```
# NET "LED[7]"    LOC = P55  | IOSTANDARD = LVCMOS33 | SLEW =  
SLOW | DRIVE = 12;
```

```
#####  
#####
```

```
#                DP Switches
```

```
#####  
#####
```

```
NET "IN_0"      LOC = P70  | PULLUP | IOSTANDARD = LVCMOS33 |  
SLEW = SLOW | DRIVE = 12;
```

```
NET "IN_1"      LOC = P69  | PULLUP | IOSTANDARD = LVCMOS33 |  
SLEW = SLOW | DRIVE = 12;
```

```
NET "IN_2"      LOC = P68  | PULLUP | IOSTANDARD = LVCMOS33 |  
SLEW = SLOW | DRIVE = 12;
```

```
# NET "DPSwitch[3]"  LOC = P64  | PULLUP | IOSTANDARD =  
LVCMOS33 | SLEW = SLOW | DRIVE = 12;
```

```
# NET "DPSwitch[4]"  LOC = P63  | PULLUP | IOSTANDARD =  
LVCMOS33 | SLEW = SLOW | DRIVE = 12;
```

```
# NET "DPSwitch[5]"  LOC = P60  | PULLUP | IOSTANDARD =  
LVCMOS33 | SLEW = SLOW | DRIVE = 12;
```

```
# NET "DPSwitch[6]"  LOC = P59  | PULLUP | IOSTANDARD =  
LVCMOS33 | SLEW = SLOW | DRIVE = 12;
```

```
# NET "DPSwitch[7]"  LOC = P58  | PULLUP | IOSTANDARD =  
LVCMOS33 | SLEW = SLOW | DRIVE = 12;
```

```

8
9 #####
10 #
11 #####
12
13     NET "OUT_0"          LOC = P46 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
14     NET "OUT_1"          LOC = P47 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
15     NET "OUT_2"          LOC = P48 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
16     NET "OUT_3"          LOC = P49 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
17     NET "OUT_4"          LOC = P50 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
18     NET "OUT_5"          LOC = P51 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
19     NET "OUT_6"          LOC = P54 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
20     # NET "LED[7]"        LOC = P55 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
21
22 #####
23 #
24 #####
25
26     NET "IN_0"           LOC = P70 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
27     NET "IN_1"           LOC = P69 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
28     NET "IN_2"           LOC = P68 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
29     # NET "DPSwitch[3]"   LOC = P64 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
30     # NET "DPSwitch[4]"   LOC = P63 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
31     # NET "DPSwitch[5]"   LOC = P60 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
32     # NET "DPSwitch[6]"   LOC = P59 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
33     # NET "DPSwitch[7]"   LOC = P58 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;

```

Рис 2: .ucf файл

3. Для кожного вхідного сигналу викликаю контекстне меню і встановлюю значення (0 або 1). Проводжу симуляцію роботи схеми для наборів вхідних значень. В результаті отримую певну діаграму.

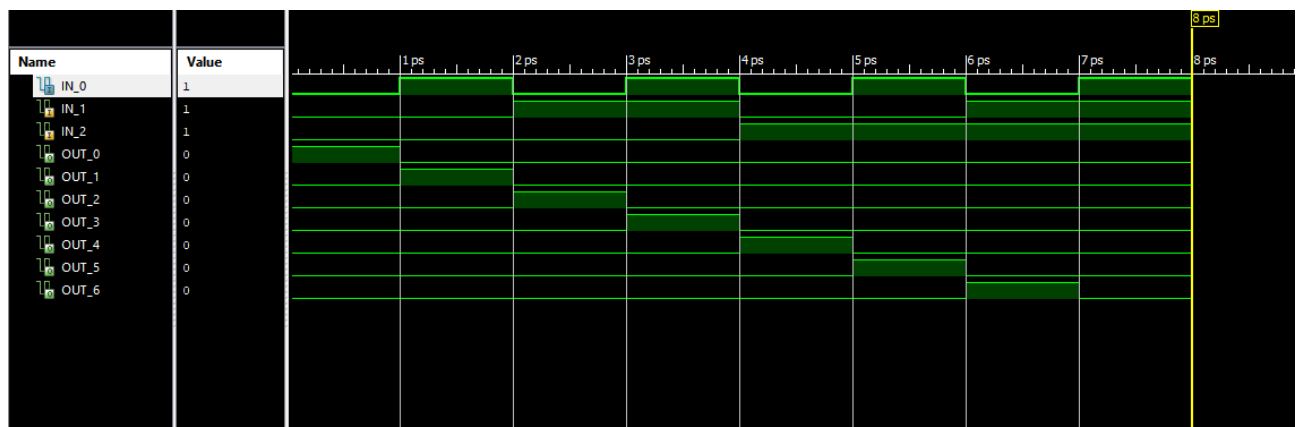


Рис. 3: результат симуляції для всіх наборів вхідних значень

4. У параметрах процесу Generate Programming File активував опцію Create Binary Configuration File, послідовно запустив процеси Synthesize-XST, Implement Design, Generate Programming File та переконався, що вони виконалися успішно.

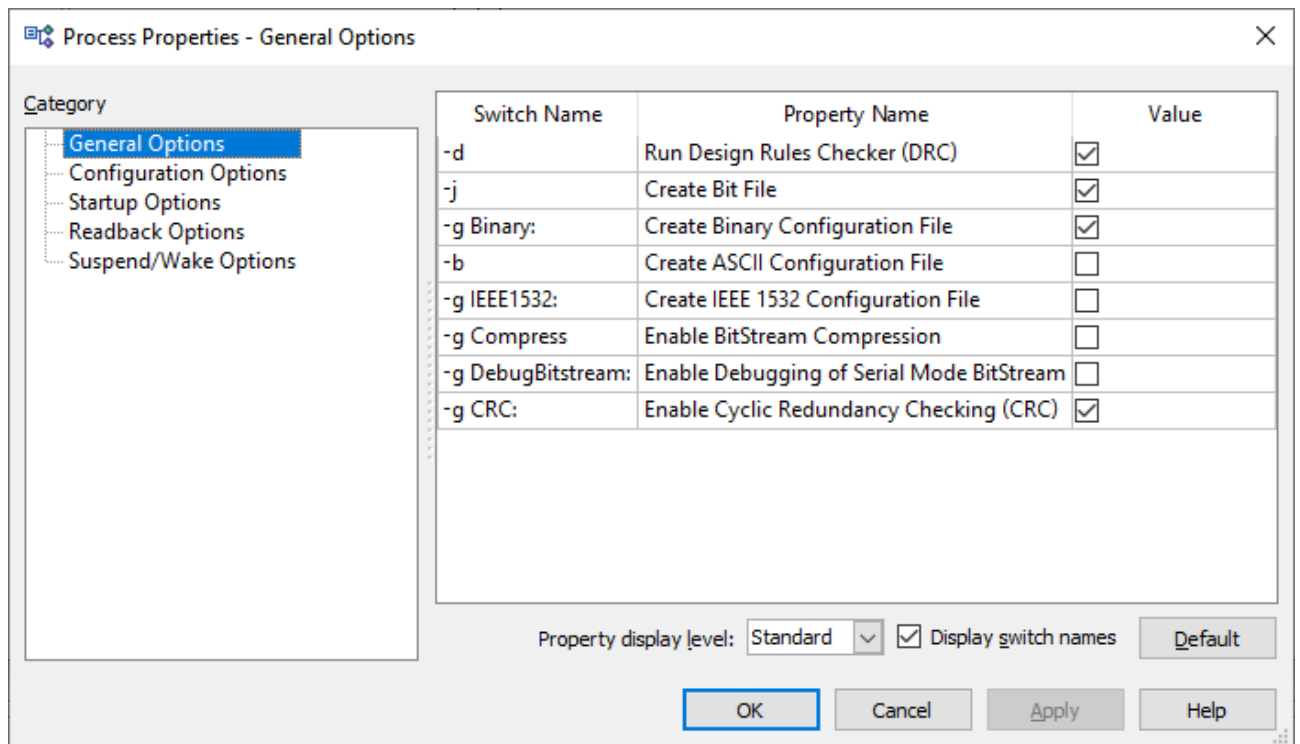


Рис. 4: встановлення опції Create Binary Configuration File

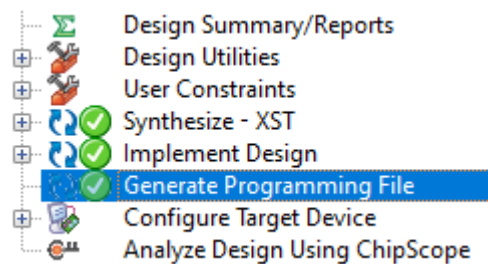


Рис. 5: послідовний запуск і успішне виконання процесів Synthesize-XST, Implement Design та Generate Programming File

5. Запрограмував лабораторний стенд отриманим файлом:

- Запустив утиліту ElbertV2Config.exe.
- Встановив номер COM порта який використовується для підключення лабораторного стенда.
- Натиснув кнопку Open File.

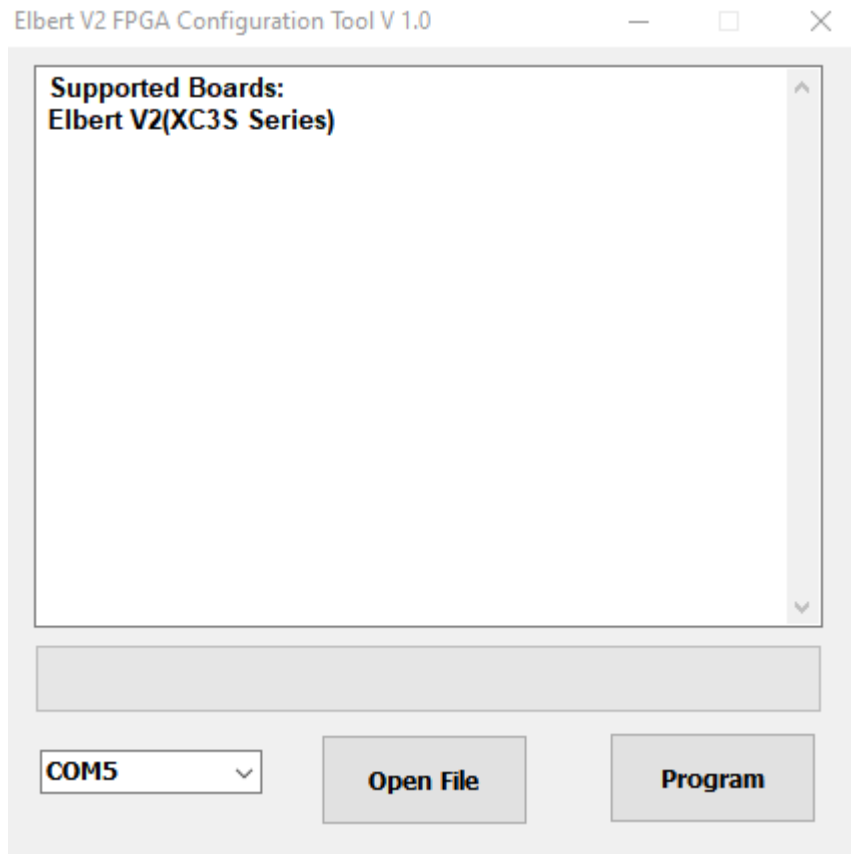


Рис. 6: вікно ElbertV2Config.exe.

- Перейшов в папку проекту вибрати згенерований .BIN файл і натиснув Open

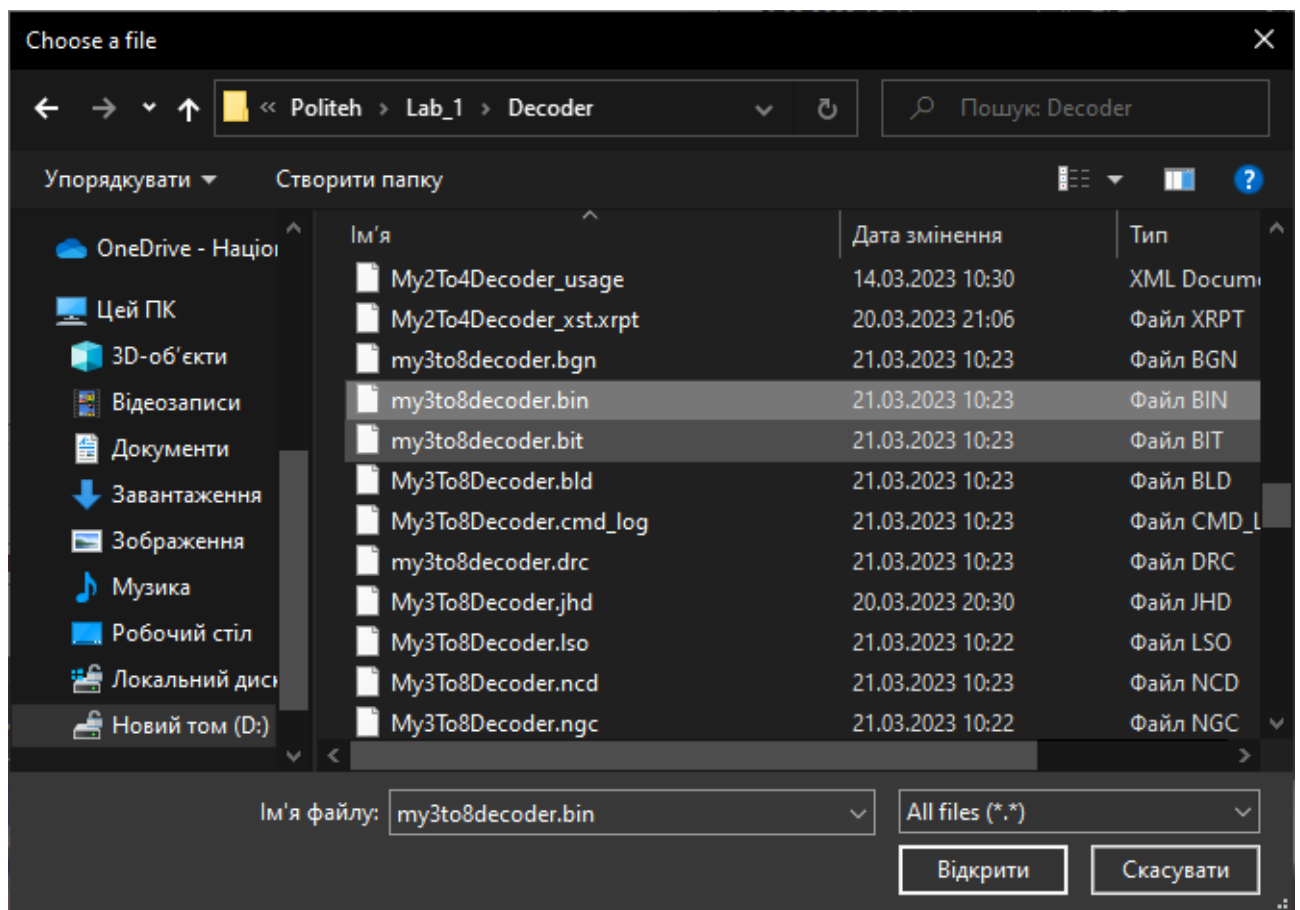


Рис. 7: вибір my3to8decoder.bin файлу

- Натиснув Program. Дочекавшись закінчення процесу переконався що програмування відбулось успішно.

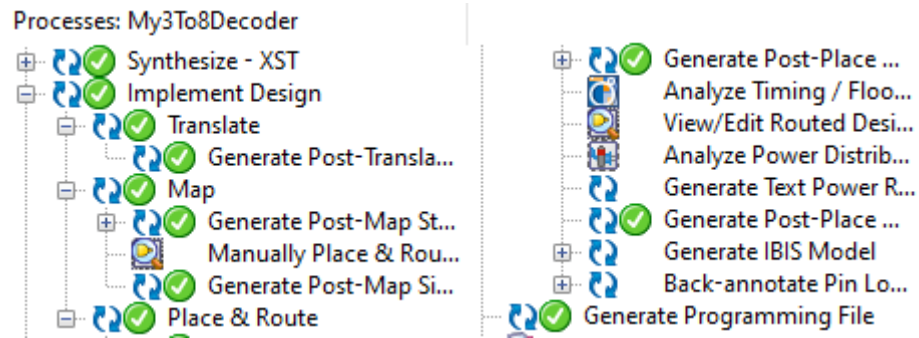


Рис. 8: результат

Висновок:

Під час виконання даної лабораторної роботи я ознайомився з середовищем розробки Xilinx ISE, стендом Elbert V2 - Spartan 3A FPGA, реалізував схему дешифратора 3 на 7 та провів моделювання його роботи в симуляторі Isim та згенерував файли прошиття.