Національний технічний університет України «Київський політехнічний інститут імені Ігоря Сікорського»

## Факультет електроніки

Кафедра конструювання електронно-обчислювальної апаратури

# Апаратні прискорювачи обчислень на мікросхемах програмованої логіки

Лабораторна робота № 2

Роботи з MatLab

Роботу виконав

Студент гр. ДК-01

Сак Ю.Р.

**Meta:** В Simulink реалізувати підсистему, що розраховує модуль і аргумент комплексного числа для вхідних даних у форматах з фіксованою комою і плаваючою комою

## Теоретичні відомості та налаштування:

Методика вибору налаштувань fixed point типу даних для представлення комплексного вхідного аргументу у форматі з фіксованою комою залежно від номеру варіанту.

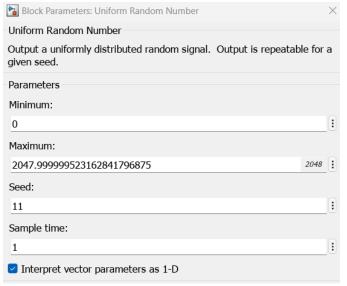
Для непарних номерів варіантів представлення знакове. Розрядність цілої частини N = K. Розрядність дробової частини M = 32 - K. Де K - номер варіанту. Налаштування fixed point типів даних на виході: для виходу о\_PHASE розрядність цілої частини 3 біта, розрядність дробової частини 13 біт, для виходу о\_MAGNITUDE розрядність цілої частини N+1 біт, розрядність дробової частини M біт, де N та M визначені раніше розрядності цілої і дробової частин fixed point типу вхідного аргументу i\_COMPLEX\_VALUE.

У якості джерела даних використати блоки "Uniform Random Number" з приведенням результату до типу з фіксованої комою заданого формату, або типу з плаваючою комою одинарної точності (float single), залежно від моделі, яка будується в simulink. У якості параметра seed для першого блоку "Uniform Random Number" використати номер варіанту. Для кожного наступного блоку "Uniform Random Number" збільшувати значення seed на 1. Діапазон значень, які видає блок "Uniform Random Number" повинен дорівнювати діапазону значень, який може бути представлений у форматі з фіксованою комою для кожного варіанту. У звіті необхідно обгрунтувати/вивести граничні значення діапазону чисел, які видає блок "Uniform Random Number".

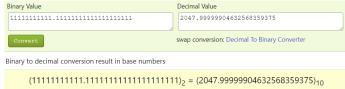
### Завдання:

- **1.** В Simulink побудувати блок схеми обчислювачів модуля і аргументу комплексного числа для вхідного аргументу з фіксованої комою і плаваючою комою. Обчислювачі для вхідних даних з фіксованою комою і плаваючою комою будувати в окремих моделях Simulink.
- 2. Для моделі обчислювача з вхідними даними у фіксованій комі та для моделі обчислювача з вхідними даними у плаваючій комі в логічному аналізаторі Simulink переглянути залежність від часу даних на вході обчислювача, а також даних на виході кожного обчислювача (розраховані значення модуля і аргументу комплексного числа) і еталонних значень результату (значення модуля і аргументу розраховані у блоці "Complex to Magnitude-Angle"). Переконатися, що еталонні значення результату або дорівнюють розрахованим значенням, або відрізняються на незначне значення похибки.
- **3.** Створити звіт, в якому відобразити створені в Simulink блок схеми (з відображенням типів даних та з відображенням вмісту підсистем) і результати моделювання для перших десяти комбінацій на входах. Приклади подання наведені вище.
- **4.** Якщо додати у звіт згенерований код на Verilog та результат синтезу згенерованого коду в Quartus для створеної підсистеми (звіт по апаратним витратам, результат виклику RTL Viewer), можна отримати +2 додаткових бали.
- **5.** Якщо створити тестбенч в Matlab для створеної підсистеми і додати в звіт результат симуляції тестбенча в Modelsim/Questasim, можна отримати +2 додаткових бали.
- **6.** Завантажити звіт і файли (файли моделі та у випадку наявності файли згенерованого HDL коду, файли проекту Quartus та тестбенчу) в репозиторій студента на github. Датою завершення виконання роботи вважається дата завантаження файлів в репозиторій.

#### Хід роботи:



Діапазон значень обрано згідно варіанту (11 варіант) 11 бітів- ціла частина і 32-11 = 21 біт дробова частина. Для визначення максимального допустимого значення використаємо калькуляртор:



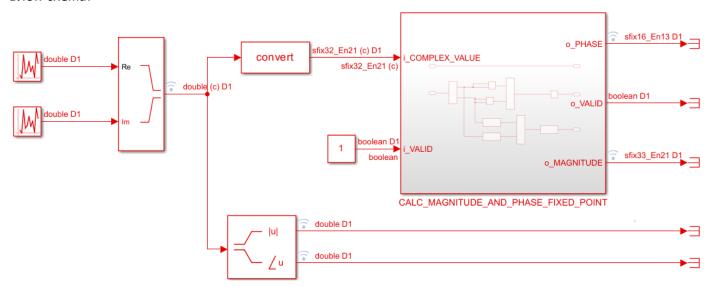
Для другого URN параметри ті ж самі тільки Seed = 12, тобто на одиницю більший ніж у попередньому, як і вказано у методичці

Налаштування для URN 1

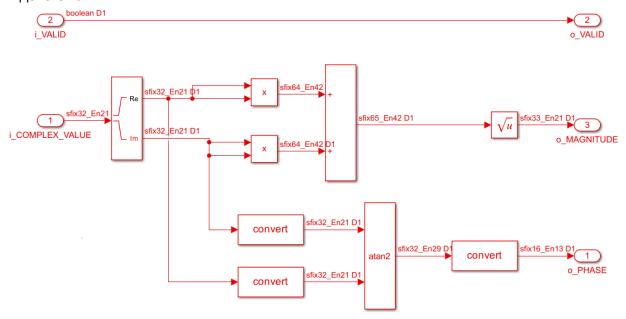
**1.** В Simulink побудувати блок схеми обчислювачів модуля і аргументу комплексного числа для вхідного аргументу з фіксованої комою і плаваючою комою. Обчислювачі для вхідних даних з фіксованою комою і плаваючою комою будувати в окремих моделях Simulink.

## Реалізація блок-схеми та підсистеми для вхідних даних із фіксованою комою:

#### Блок-схема:

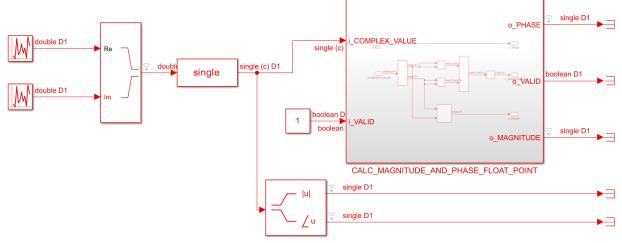


## Підсистема:

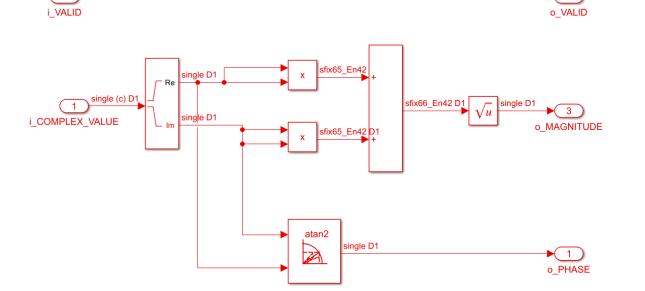


## Реалізація блок-схеми та підсистеми для вхідних даних із <u>плаваючою</u> комою:





## Підсистема:



2. Для моделі обчислювача з вхідними даними у фіксованій комі та для моделі обчислювача з вхідними даними у плаваючій комі в логічному аналізаторі Simulink переглянути залежність від часу даних на вході обчислювача, а також даних на виході кожного обчислювача (розраховані значення модуля і аргументу комплексного числа) і еталонних значень результату (значення модуля і аргументу розраховані у блоці "Complex to Magnitude-Angle"). Переконатися, що еталонні значення результату або дорівнюють розрахованим значенням, або відрізняються на незначне значення похибки.

## **Fixed point:**

► Real-Imag to Complex	1314.8125047683716+317.2500057959114i	1314.81250476837	16+317.250005795	9114i (13	3.7779	3216705322+1076.	848653090384i
Complex to Magnitude-Angle:1	1352.5455588898974	1352.54555888989	74	(10	85.126	5164935685	
► CALC_MAGNITUDE_AND_PH	1352.5455584526062	1352.54555845260	62	(10	85.126	516342163	
Complex to Magnitude-Angle:2	0.23676357287623012	0.23676357287623	012	1.4	447198	6213411558	
► CALC_MAGNITUDE_AND_PH	0.2366943359375	0.2366943359375		1.4	447143	5546875	

Як видно з показань розбіжність між розрахованими значеннями та еталонними є несуттєвими Близько  $^{\sim}10^{\sim}5$ 

#### Float:

► Real-Imag to Complex	1314.8125047683716+3	1314.8125047	683716+317.25	00057959114i	<u> </u>	133.7779	3216705322+10	76.848653090	384i
Complex to Magnitude-Angle:1	1352.5455322265625	1352.5455322	265625			1085.126	46484375		
CALC_MAGNITUDE_AND_PHA	1352.5455322265625	1352.5455322	265625			1085.126	46484375		
CALC_MAGNITUDE_AND_PHA	0.23676227033138275	0.2367622703	3138275			1.447199	2254257202		
Complex to Magnitude-Angle:2	0.23676356673240662	0.2367635667	3240662		X	1.447198	6293792725		

Як видно із показань для плаваючої коми похибка у результатах теж наявна але тепер вона на порядок менша, і теж її можна вважати несуттєвою

- **3.** Створити звіт, в якому відобразити створені в Simulink блок схеми (з відображенням типів даних та з відображенням вмісту підсистем) і результати моделювання для перших десяти комбінацій на входах. Приклади подання наведені вище.
- -Створені блок-схеми відображені у п.1
- -Результати моделювання продемонстровано у п.2 (деманстрація перших двох комбінацій як -- оптимальна для комфортного перегляду)
- -Демонстрація <u>10-ти</u> перших комбінацій:

#### Fixed:

► Real-Imag to Complex	1314.812	1314.8125+317.2500i	133.7779+1076.8487i	1749.7070+419.3167i	93.1903+287.8440i	1577.7413+417.8996i	1641.6505+1046.1642i	564.5323+802.0353i	1759.0917+1919.0091i	126.5295+882.7595i	757.5801+826.4510i (2:
Complex to Magnitude-Angle:1		1352.5455588898974	1085.1265164935685	1799.2501233795595	302.55346181833806	1632.148152403463	1946.6576607459488	980.7942504985471	2603.267136726996	891.781365613299	1121.137323011728 6
► CALC_MAGNITUDE_AND_PHAS		1352.5455584526062	1085.126516342163	1799.2501230239868	302.55346155166626	1632.1481523513794	1946.657660484314	980.7942500114441	2047.9999995231628	891.7813653945923	1121.1373224258423 6
Complex to Magnitude-Angle:2		0.23676357287623012	1.4471986213411558	0.23521370658922527	1.2576928120909745	0.25892617772746485	0.5673695578209977	0.9574746247916653	0.8288490589049552	1.4284319056691077	0.8288490589049551 1.
► CALC_MAGNITUDE_AND_PHAS		0.2366943359375	1.4471435546875	0.235107421875	1.2576904296875	0.2589111328125	0.5672607421875	0.9573974609375	0.8287353515625	1.4283447265625	0.8287353515625
											î

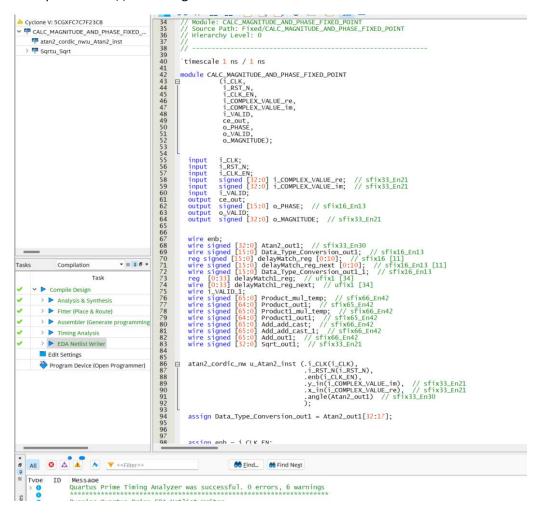
#### Float:

► Real-Imag to Comple	1314.81	1314.8125+317.2500i	133.7779+1076.8487i	1749.7070+419.3167i	93.1903+287.8440i	1577.7413+417.8996i	1641.6505+1046.1642i	564.5323+802.0353i	1759.0917+1919.0091i	126.5295+882.7595i	757.5801+826.4510i
Complex to Magnitud	1352.54	1352.5455322265625	1085.12646484375	1799.250244140625	302.553466796875	1632.148193359375	1946.6575927734375	980.7942504882812	2603.26708984375	891.7813720703125	1121.1373291015625
CALC_MAGNITUDE	1352.54	1352.5455322265625	1085.12646484375	1799.250244140625	302.553466796875	1632.148193359375	1946.6575927734375	980.7942504882812	2603.26708984375	891.7813720703125	1121.1373291015625
CALC_MAGNITUDE	0.2368	0.23676227033138275	1.4471992254257202	0.235213503241539	1.2576922178268433	0.25892528891563416	0.5673691630363464	0.9574744701385498	0.8288488388061523	1.4284330606460571	0.8288488388061523
Complex to Magnitud	0.2368	0.23676356673240662	1.4471986293792725	0.23521369695663452	1.257692813873291	0.2589261531829834	0.5673695802688599	0.9574745893478394	0.8288490772247314	1.4284318685531616	0.8288490772247314

**4.** Якщо додати у звіт згенерований код на Verilog та результат синтезу згенерованого коду в Quartus для створеної підсистеми (звіт по апаратним витратам, результат виклику RTL Viewer), можна отримати +2 додаткових бали.

## **Fixed point:**

#### Згенерований код на Verilog:



#### Звіт по апаратним витратам:

```
<<Filter>>
                               Successful - Mon Jan 16 17:37:52 2023
Quartus Prime Version
                               20.1.1 Build 720 11/11/2020 SJ Lite Edition
Revision Name
                               CALC_MAGNITUDE_AND_PHASE_FIXED_POINT
Top-level Entity Name
                               CALC_MAGNITUDE_AND_PHASE_FIXED_POINT
Family
                               Cyclone V
                               5CGXFC7C7F23C8
Device
Timing Models
                               Final
Logic utilization (in ALMs)
                               3,610 / 56,480 ( 6 % )
Total registers
                               5064
Total pins
                               121 / 268 ( 45 % )
Total virtual pins
                               0
Total block memory bits
                               1.031 / 7.024.640 ( < 1 % )
Total DSP Blocks
                               6 / 156 (4%)
Total HSSI RX PCSs
                               0/6(0%)
Total HSSI PMA RX Deserializers 0 / 6 ( 0 % )
Total HSSI TX PCSs
                               0/6(0%)
Total HSSI PMA TX Serializers
                              0/6(0%)
Total PLLs
                              0 / 13 (0%)
Total DLLs
                               0/4(0%)
```

## результат виклику RTL Viewer:

