

Національний технічний університет України «Київський політехнічний інститут імені  
Ігоря Сікорського»

Факультет електроніки

Кафедра конструювання електронно-обчислювальної апаратури

**Апаратні прискорювачі обчислень на мікросхемах програмованої логіки**

Лабораторна робота № 1

*Початок роботи з MatLab*

Роботу виконав

Студент гр. ДК-01

Сак Ю.Р.

Київ 2022

## Теоретичні відомості та налаштування:

-Типи даних входів: int8

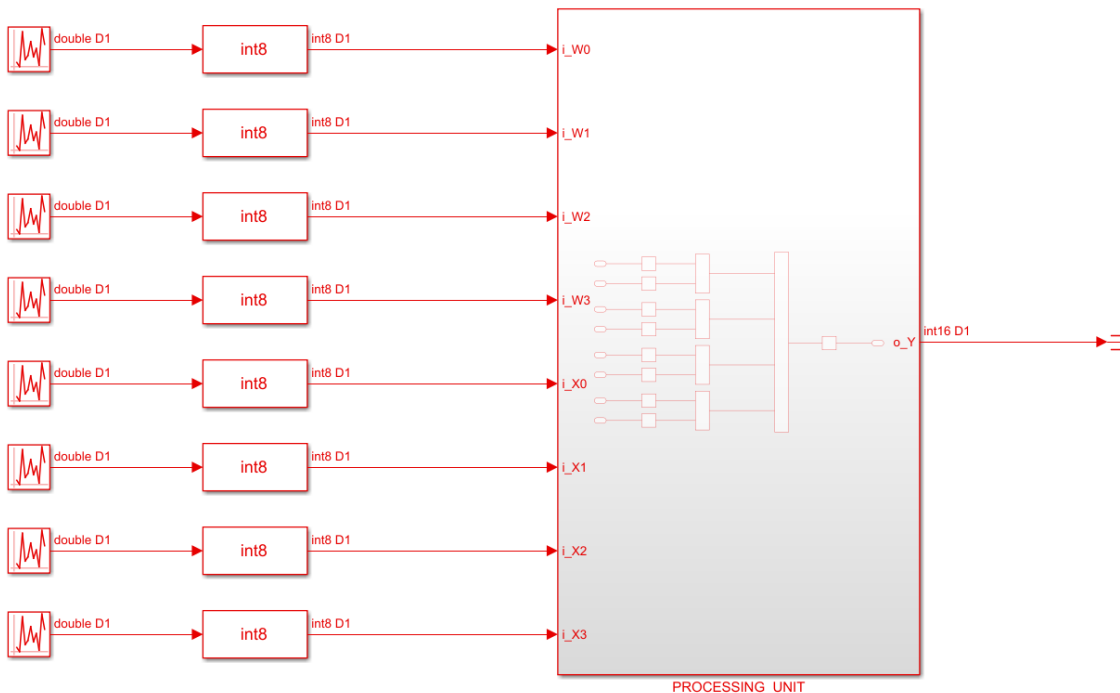
-Тип даних виходу: int16

На входах і виході поставити регістри (блок затримки на 1 такт)

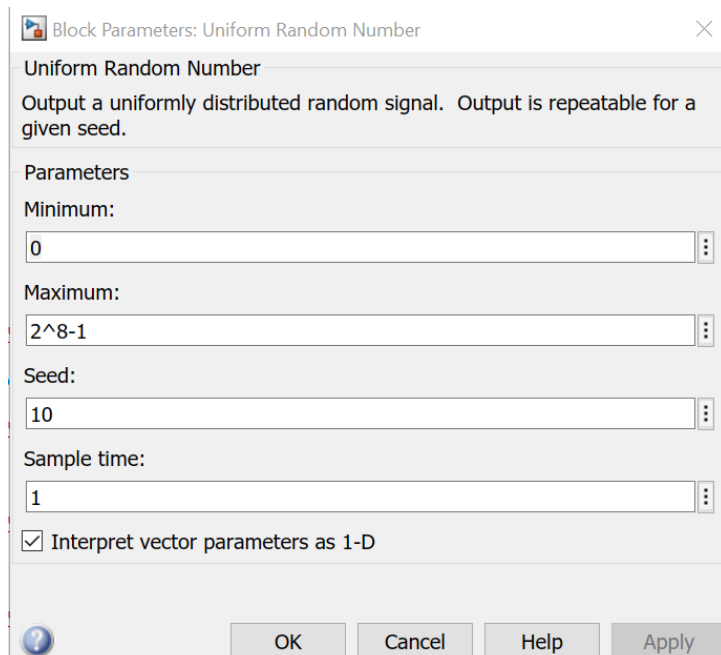
Можна назвати підсистему PROCESSING\_UNIT

У якості джерела даних для кожного входу використати блоки “Uniform Random Number” з приведення результату до типу uint8. У якості параметра seed для першого блоку “Uniform Random Number” використати номер варіанту (у якості номеру варіанту можна взяти номер залікової книжки). Для кожного наступного блоку “Uniform Random Number” збільшувати значення seed на 1.

Загальний вигляд підключення джерел вхідних даних:



Налаштування одного з блоків “Uniform Random Number”:



(границі можна поставити також від minimum  $-2^7$  до maximum  $2^7-1$ )

### Завдання:

1. В Simulink реалізувати підсистему, що розраховує функцію:

$$Y = W0 \cdot X0 + W1 \cdot X1 + W2 \cdot X2 + W \cdot X3$$

2. В логічному аналізаторі переглянути дані на входах і на виході створеної підсистеми у знаковому десятковому поданні (форматі)

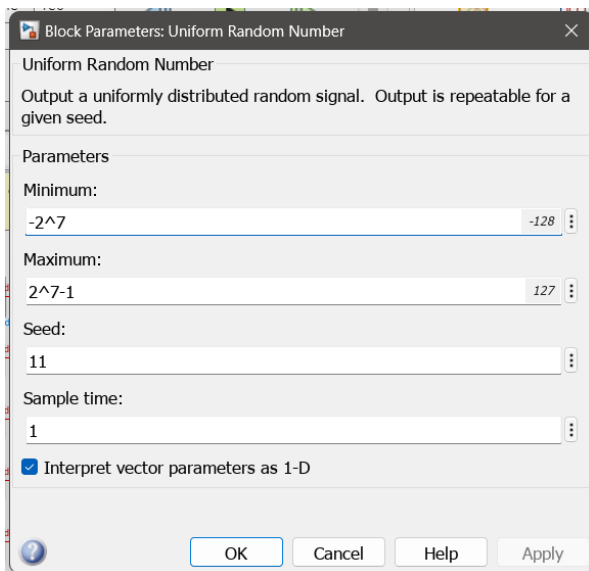
3. Створити звіт, в якому відобразити створену в Simulink блок схему (з відображенням типів даних та з відображенням вмісту підсистеми), та результати моделювання для перших десяти комбінацій на входах. Приклади подання наведені вище

4. Якщо додати у звіт згенерований код на Verilog та результат синтезу згенерованого коду в Quartus для створеної підсистеми (звіт по апаратним витратам, результат виклику RTL Viewer), можна отримати +2 додаткових бали

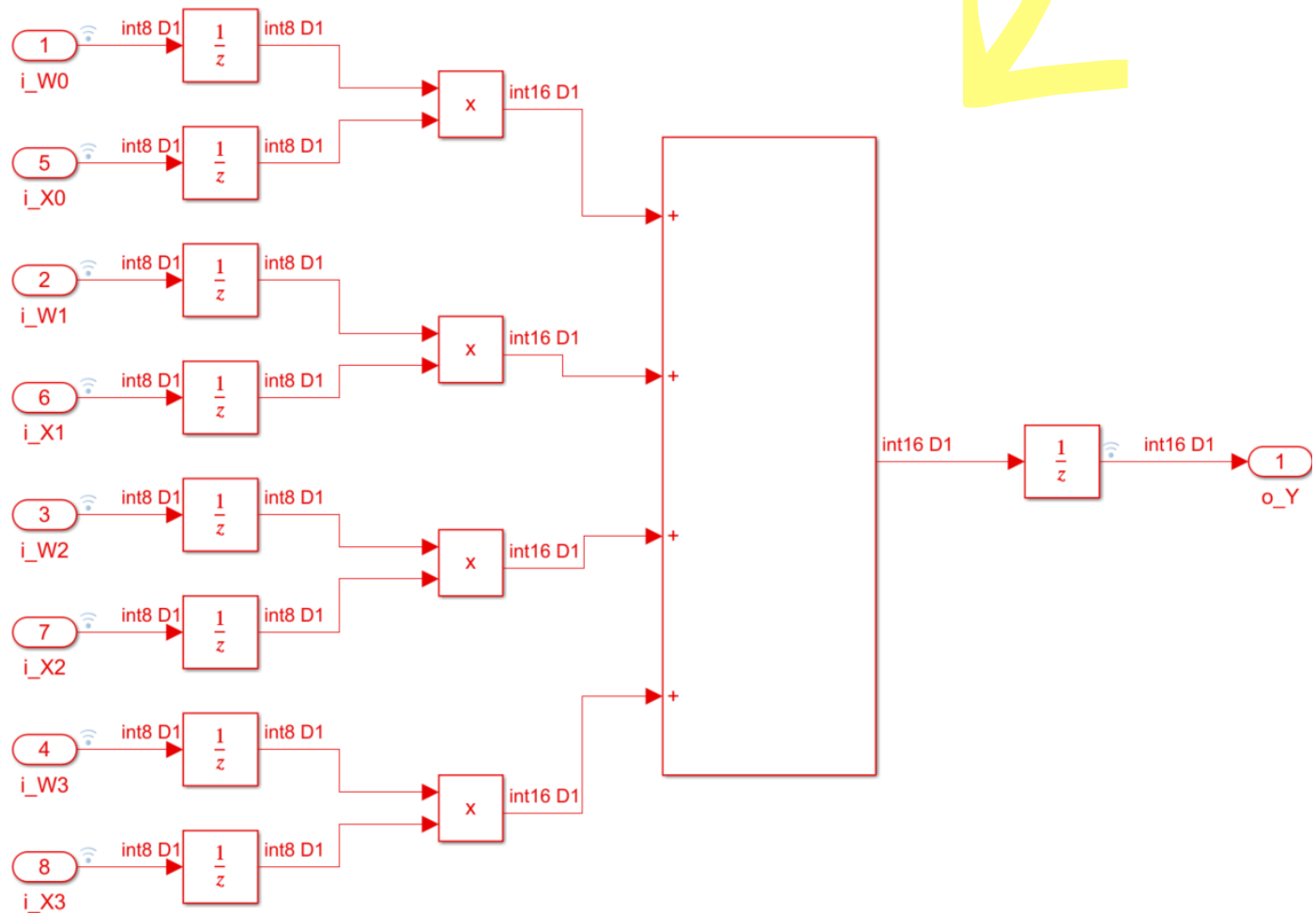
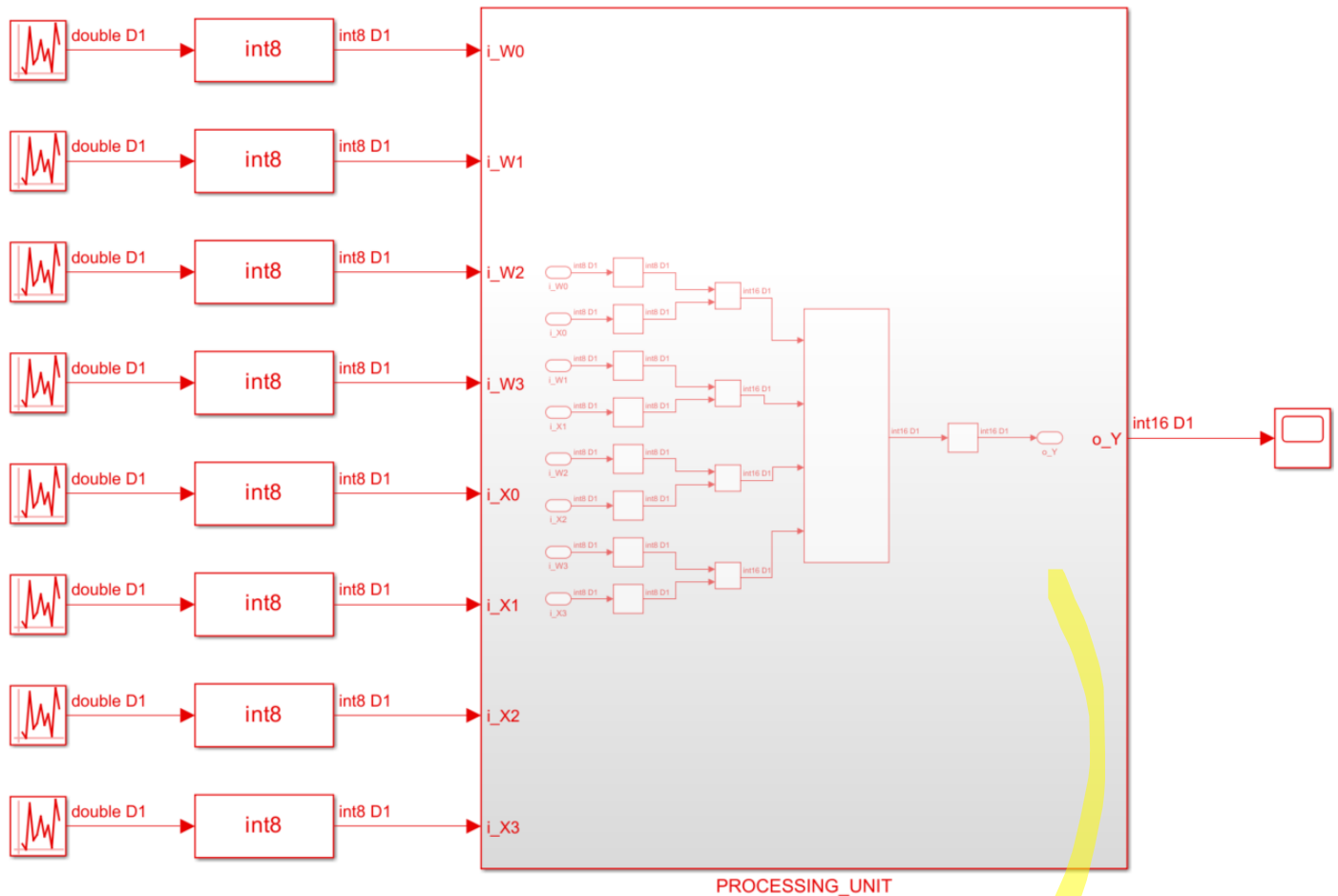
5. Якщо створити тестбенч в Matlab для створеної підсистеми і додати в звіт результат симуляції тестбенча в Modelsim/Questasim, можна отримати +2 додаткових бали

### Хід роботи:

За списком 11 варіант тому в першому Uniform Random Number маю seed 11 і далі збільшував на 1



## 1. Реалізація блок схеми і підсистеми:



## 2. Данні сигналів на входах і на виході у Logic Analyzer:

► PROCESSING_UNIT/i_W0	68	36	-111	90	-116	68	76	-58	91	-112	-34	99
► PROCESSING_UNIT/i_X0	1	49	103	-53	-19	1	35	61	-84	9	1	97
► PROCESSING_UNIT/i_W1	-76	-88	6	-76	-92	-76	2	-28	111	-18	-25	-50
► PROCESSING_UNIT/i_X1	111	-75	-34	27	5	111	-39	90	-64	104	9	-109
► PROCESSING_UNIT/i_W2	35	42	124	14	-68	35	-72	1	-124	76	-17	-1
► PROCESSING_UNIT/i_X2	-33	55	83	116	29	-33	-113	120	-45	-57	18	-60
► PROCESSING_UNIT/i_W3	-110	-82	-14	103	-44	-110	109	31	-104	-85	-8	48
► PROCESSING_UNIT/i_X3	78	-69	-54	-50	53	78	67	-106	-25	37	26	-11
► PROCESSING_UNIT/Unit Delay8	-11248	0		16332	-589	-11248	-2560	-18103	18021	-9224	-6568	-10357

Cursor 1 4.560 s

Для перевірки правильності підрахунку візьмемо значення на входах на 4с:

W0 = 68 , X0 = 1

W1 = -76, X1 = 111

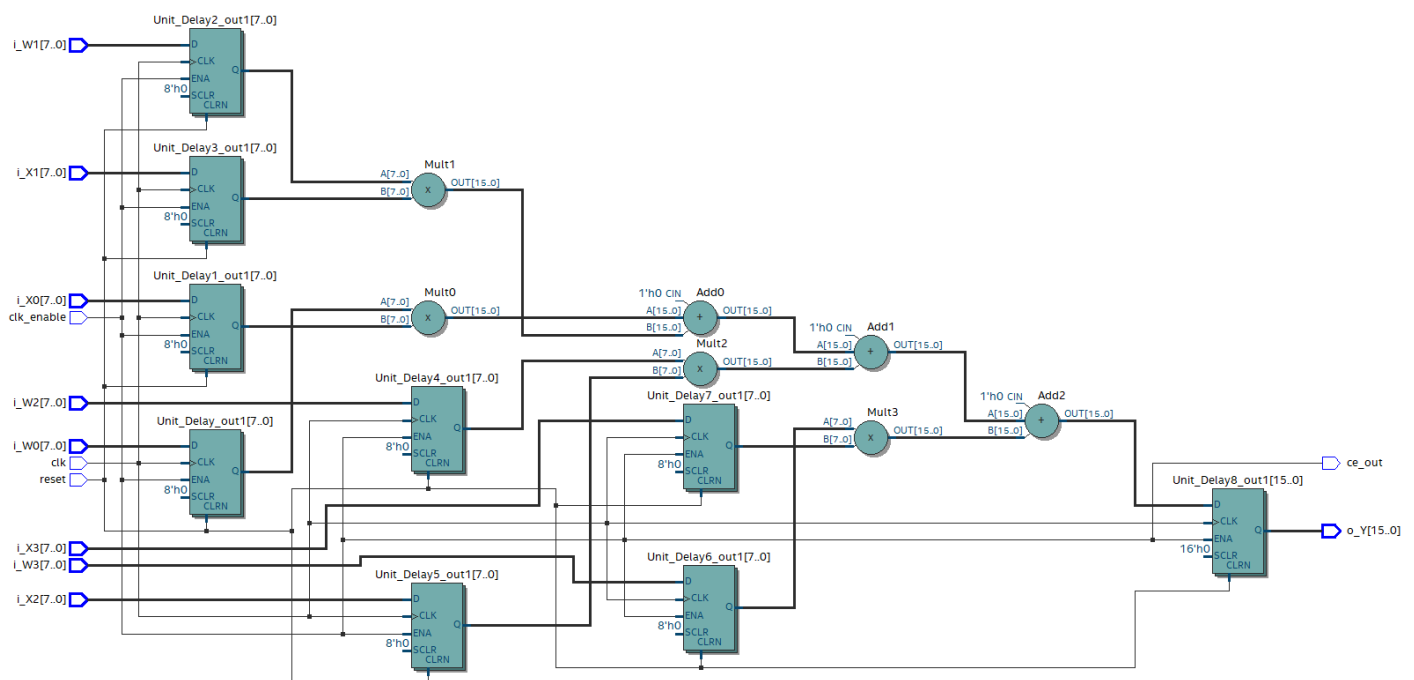
W2 = 35, X2 = -33

W3 = -110, X3 = 78

Тоді по формулі маємо:  $68 \times 1 - 76 \times 111 - 35 \times 33 - 110 \times 78 = 18021$

Згідно з умовою на входах і на виході маємо блок затримки на 1 такт, тому результати не стоять поруч але вони сходяться із розрахунками.

## 4. Згенерований код на Verilog та результат синтезу згенерованого коду в Quartus для створеної підсистеми (звіт по апаратним витратам, результат виклику RTL Viewer):



5. Створити тестбенч в Matlab для створеної підсистеми і додати в звіт результат симуляції тестбенча в Modelsim/Questasim, можна отримати +2 додаткових бали

