

原理图	[SCH]Driver_Board		创建日期	2025-07-09
板子	Driver_Board		更新日期	2025-07-14
绘制			图页	P1
审阅			通用工程PCB-Update-V3.1	
		版本	尺寸	页 1 共 3
嘉立创EDA		V1.0	A3	嘉立创EDA

PMOD到地->PH/EN控制模式
IMOD到地->固定关断电流斩波；自动重试过流相应

IPROPI 引脚会输出与
流经 H 桥中的低侧功率 MOSFET 的电流
成正比并经过 AIPROPI 调节的模拟电流

$$I_{PROPI} (\mu A) = (I_{LS1} + I_{LS2}) (A) \times A_{IPROPI} (\mu A/A)$$

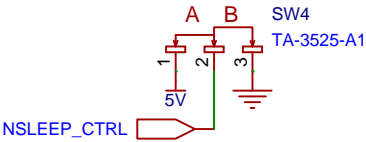
电流斩波阈值->Itrip = 1.5A

$$I_{TRIP} (A) \times A_{IPROPI} (\mu A/A) = V_{VREF} (V) / R_{IPROPI} (\Omega)$$

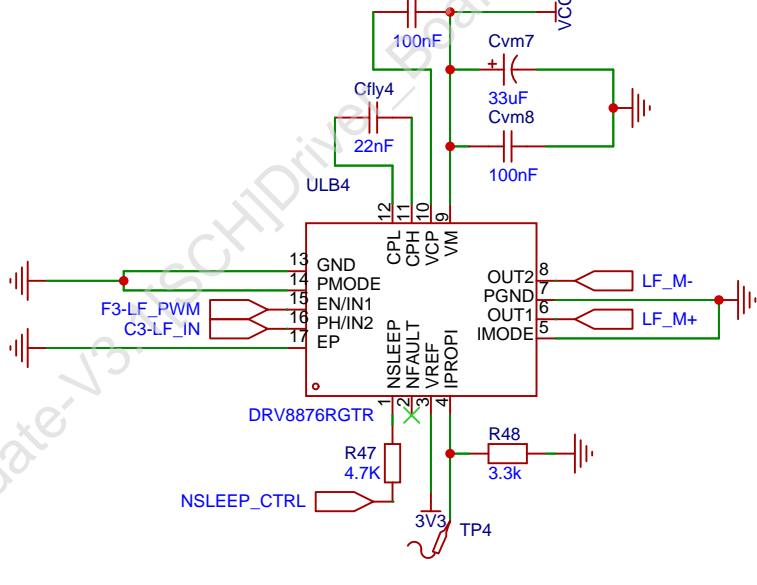
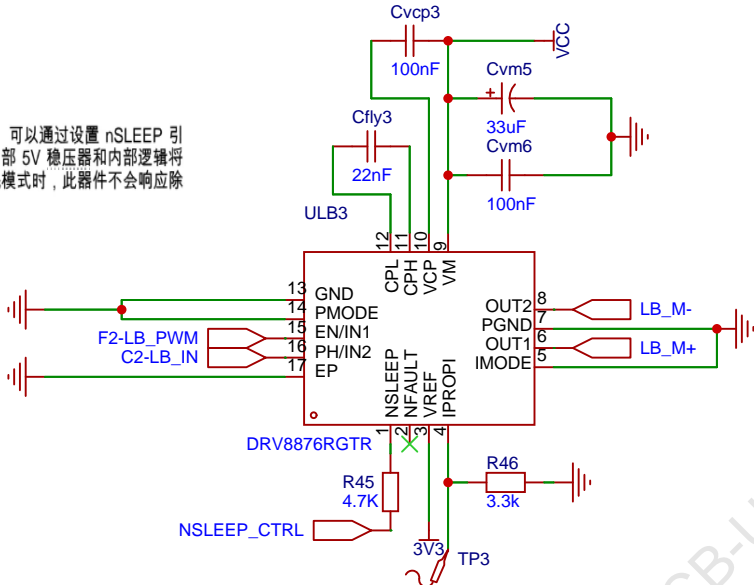
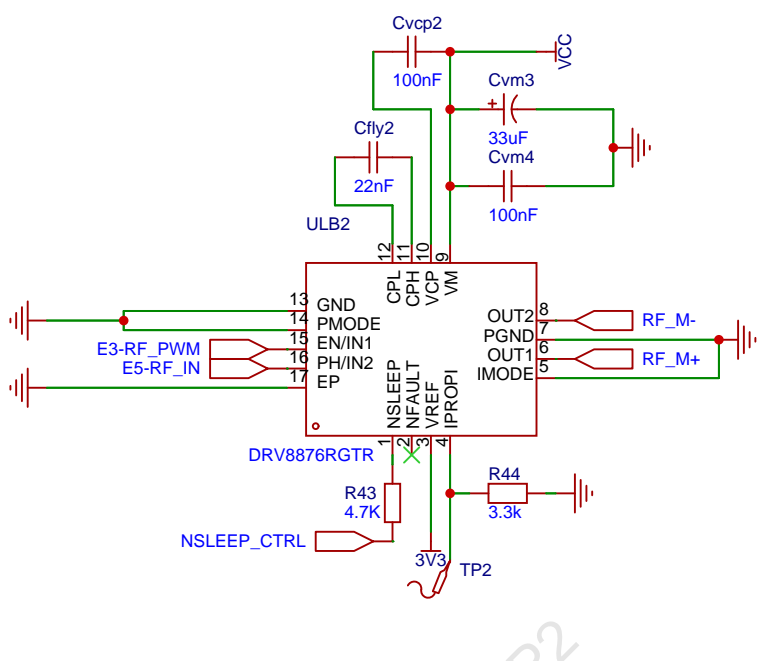
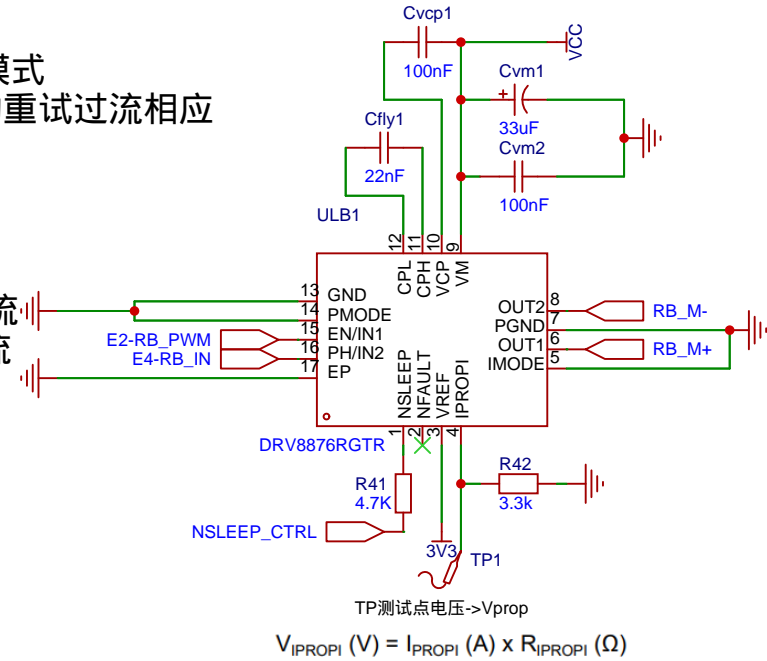
7.4.2 低功耗睡眠模式

DRV887x 系列器件支持低功耗模式，以便在驱动器未激活时减少 VM 引脚的电流消耗。可以通过设置 nSLEEP 引脚逻辑低电平并等待 tSLEEP 状态消失来进入此模式。在睡眠模式下，H 桥、电荷泵、内部 5V 稳压器和内部逻辑将禁用。此器件依靠弱下拉来保持禁用所有内部 MOSFET。当处于低功耗睡眠模式时，此器件不会响应除 nSLEEP 以外的任何输入。

nSLEEP->5V ACTIVE



DRV8876
电机驱动器

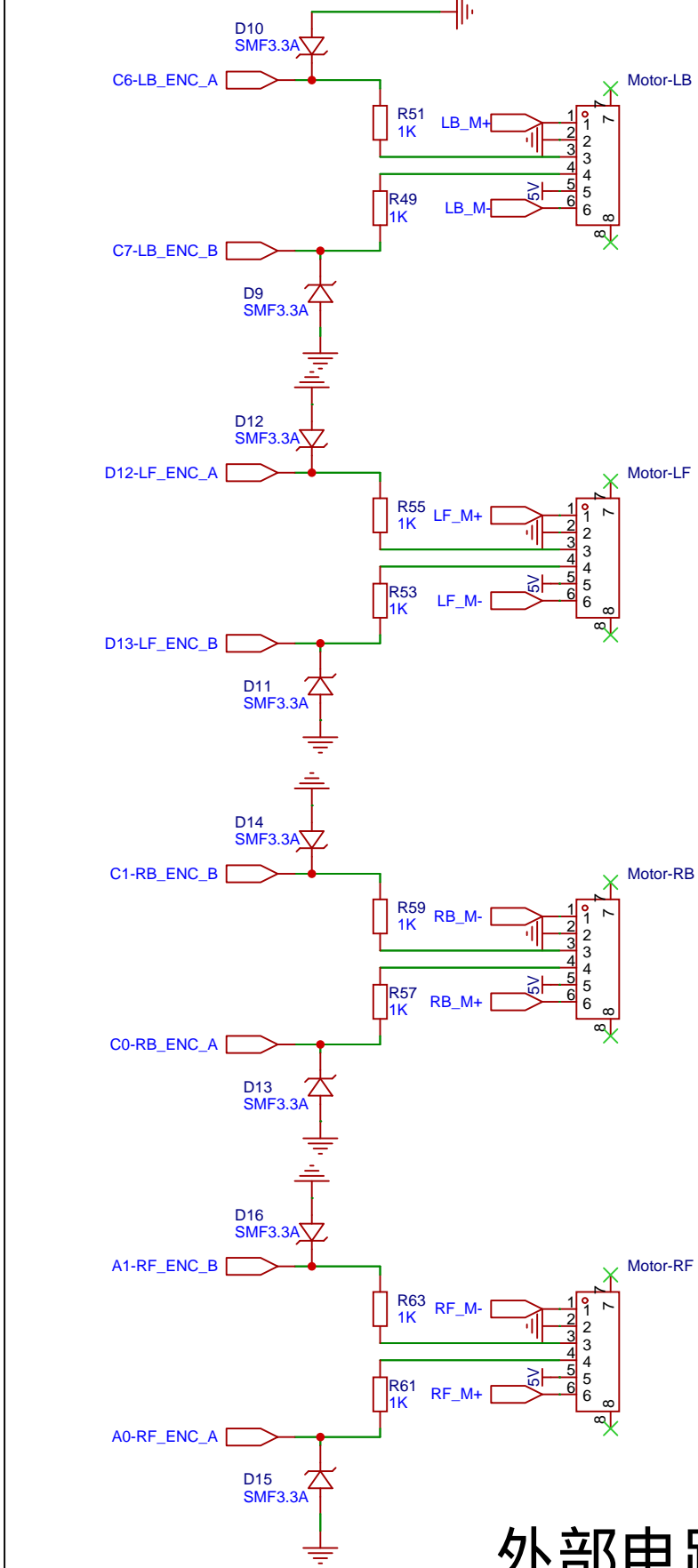


7.3.2.1 PH/EN 控制模式 (PMODE = 逻辑低电平)

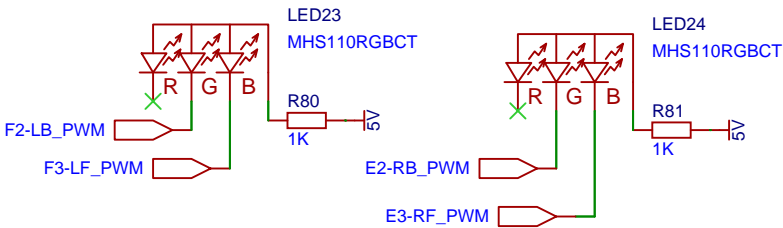
如果 PMODE 引脚在加电时处于逻辑低电平状态，器件将锁存至 PH/EN 模式。PH/EN 模式允许使用接口的速度和方向类型来控制 H 桥。表 3 显示了 PH/EN 模式的真值表。

表 3. PH/EN 控制模式

nSLEEP	EN	PH	OUT1	OUT2	说明
0	X	X	Hi-Z	Hi-Z	睡眠 (H 桥高阻抗)
1	0	X	L	L	制动 (低侧慢速衰减)
1	1	0	L	H	后退 (OUT2 → OUT1)
1	1	1	H	L	前进 (OUT1 → OUT2)

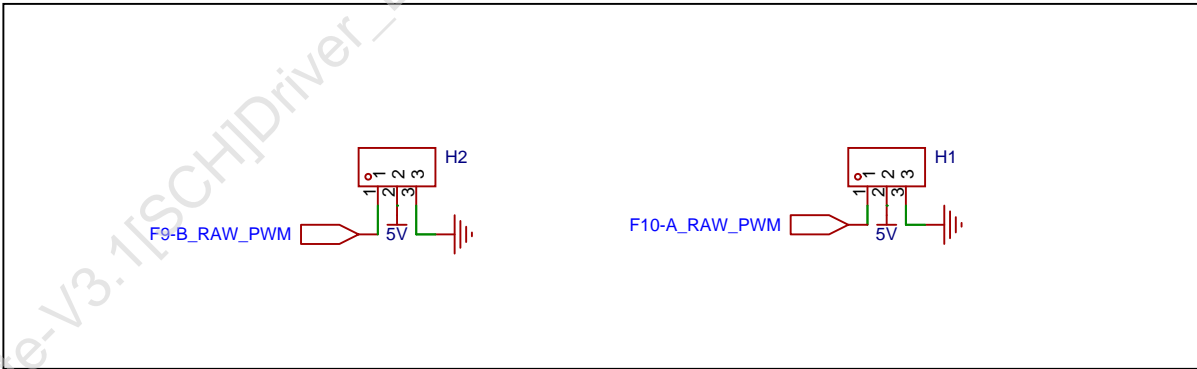
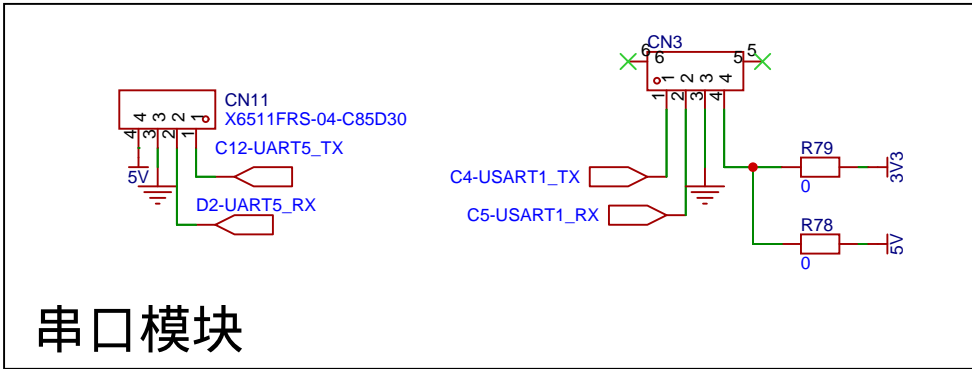
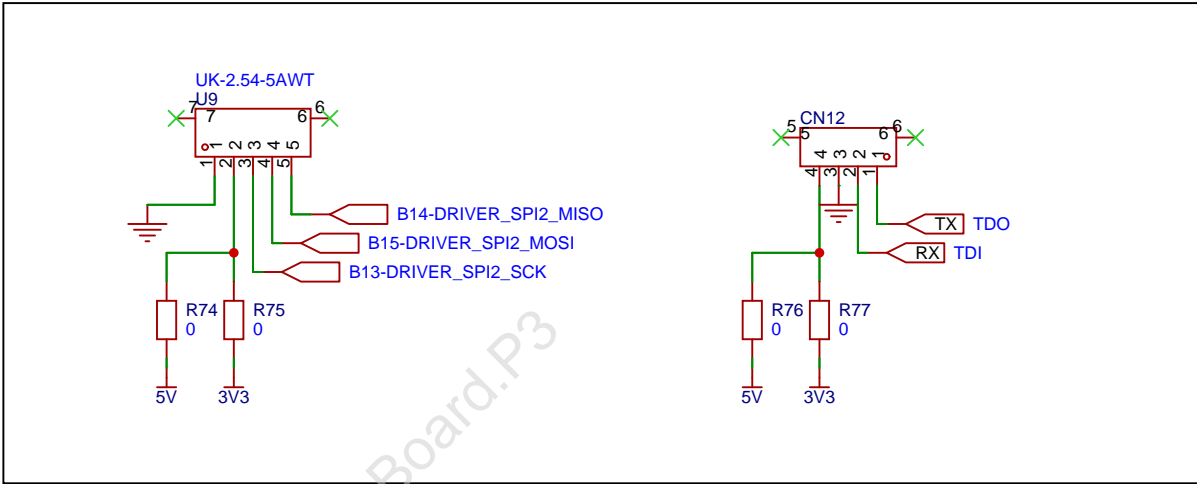
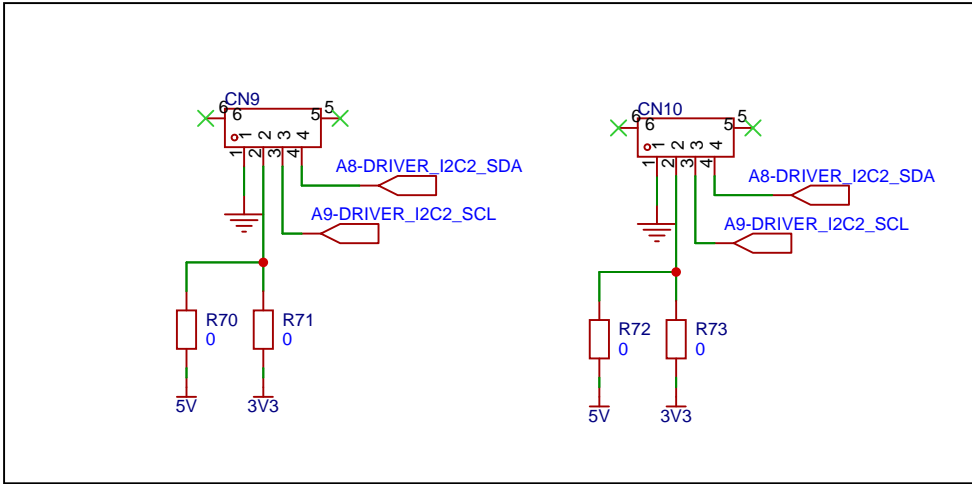


外部电路

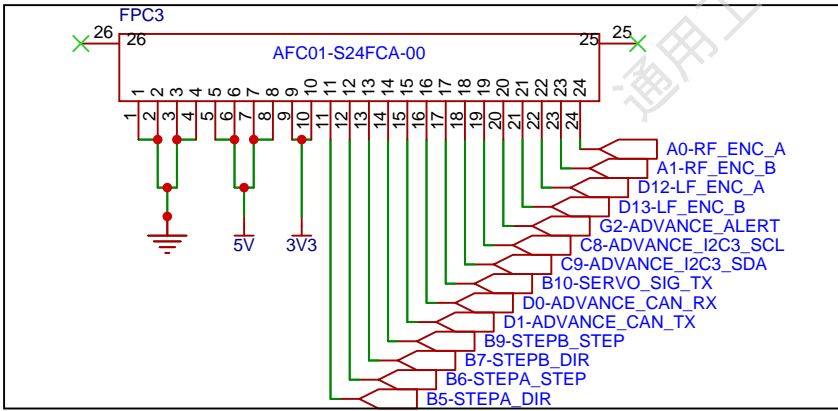
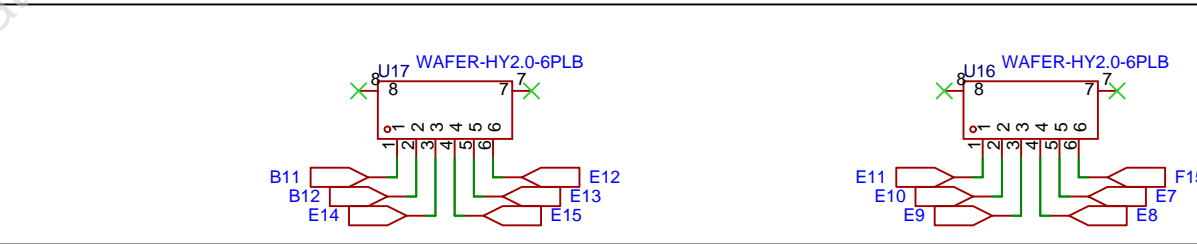
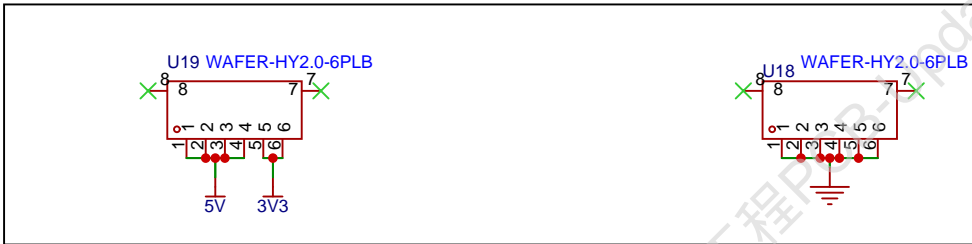



根据电机频率
RGB灯颜色将在
纯绿色和纯蓝色之间变动

原理图	[SCH]Driver_Board		创建日期	2025-07-09
板子	Driver_Board		更新日期	2025-07-14
绘制			图页	P2
审阅			通用工程PCB-Update-V3.1	
		版本	尺寸	页 2 共 3
嘉立创EDA		V1.0	A3	嘉立创EDA



串口模块



原理图	[SCH]Driver_Board			创建日期	2025-07-09
				更新日期	2025-07-14
板子	Driver_Board			图页	P3
绘制		通用工程PCB-Update-V3.1			
审阅					
		版本	尺寸	页 3 共 3	
		V1.0	A4	嘉立创EDA	