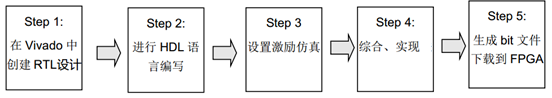
4位加法器设计

加法器是组合逻辑设计中常用的一种电路。在本次实验中，将会学习如何基于Xilinx Vivado软件，用verilog语言设计一个4位的加法器电路（要求必须用门级描述），并进行行为仿真、综合和实现。  
目标：

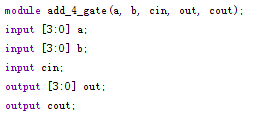
* 掌握4位加法器设计方法
* 学会用verilog编写4位加法器和testbench
* 掌握vivado的综合和实现流程

Vivado设计流程



实验步骤如下:

1. 新建工程
2. 输入设计文件  
   设计的4位加法器需满足以下要求：
3. 加法器的module声明必须为



1. 必须用位操作运算符来实现加法器的功能

提示：位操作运算符有&、 |、 ~、^、~^

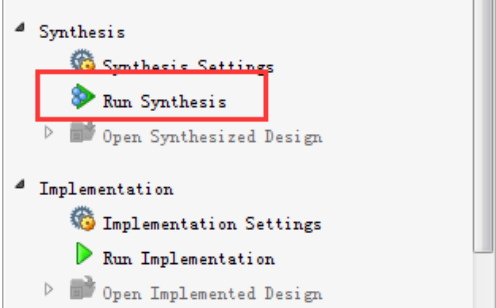
1. 进行行为仿真  
   1、创建空白激励测试文件

2、编写testbench

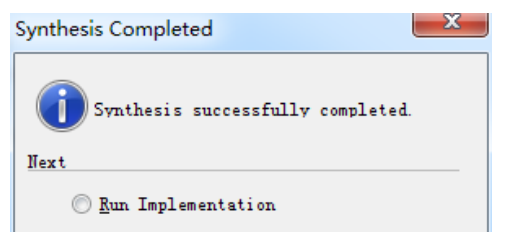
提示：可以参照第一次实验的testbench

3、运行行为仿真，观察波形，核对波形与预设的逻辑功能是否一致。

1. 运行综合（Run Synthesis）& 运行实现（Run Implementation）



综合完成之后，选择Run Implementation。



查看综合后的电路图

