数字电路第五次实验：



如图，是一个同步的FIFO（First In First Out）模块，在这其中，

* 1. Data\_In为数据输入端口，位宽为4位。
  2. Data\_Out为数据输出端口，位宽为8位。
  3. 同步FIFO的缓冲区大小为64位。FIFO的一项数据宽度是8bits,每次写入4bit。
  4. 每次写入的数据，先写入低4位，后写入高4位。
  5. input\_valid和input\_enable控制着数据的传入。
  6. output\_valid和output\_enable控制着数据的输出。
  7. 对于同一组valid和enable信号而言，只有2者同时有效时才会工作，即input\_valid和input\_enable同时有效时才读入Data\_In的数据。同理如output。

请设计一个同步FIFO模块，要求如下：

1. 同步的FIFO只存在一种工作状态，即要么只接收数据不输出数据，要么只输出数据，不接收数据。
2. FIFO只有在填满数据之后才向外输出数据。
3. 外部的控制型号input\_valid和output\_enable是随机控制的。

FIFO：先进先出，先进入队列的数据先输出。