Laboratorio 3: Taller de Diseño Digital Tecnológico de Costa Rica

Bryan Esquivel Flores 2020035806 zayus@estudiantec.cr Alajuela, Costa Rica Freddy Mora Bolaños 2021040443 freddy.mora@estudiantec.cr Alajuela, Costa Rica

Andrés Vargas Arce 2018151379 anbo80@estudiantec.cr Alajuela, Costa Rica

November 29, 2024

Introducción

Este proyecto de laboratorio tiene como objetivo el diseño y desarrollo de un sistema embebido que permita la comunicación de datos entre una FPGA (Nexys4) y un dispositivo secundario para el despliegue de imágenes en un panel LCD. La arquitectura principal está basada en un microcontrolador de 32 bits, implementado con el subconjunto RV32I de RISC-V. El sistema incluye componentes esenciales como memoria ROM y RAM, y se comunica con periféricos como LEDs, interruptores, botones, y dos módulos UART para la transmisión y recepción de datos.

El proyecto se organiza en tres modos de operación: Reposo, donde el sistema espera y realiza sondeo de los periféricos; Almacenamiento, en el que el sistema recibe y almacena imágenes desde una PC; y Desplegar, donde se envían las imágenes almacenadas al dispositivo secundario para su visualización. Además, el desarrollo incluye la implementación de un programa en lenguaje ensamblador, que debe correr indefinidamente y gestionar la comunicación, almacenamiento y despliegue de las imágenes a través de comandos y paquetes de datos.

1 Conversor PNG a binario

En esta primera parte, se toma una imagen, cuyo objetivo, es que sea pasada al código RGB, siempre tomando en cuenta el tamaño de la imagen de 135x240 pixeles ya que esta imagen va a tener como fin ser llevada a cabo a la FPGA,dicho

esto, cada pixel va a estar a 16 bits. Además, genera un archivo.txt con los datos recolectados de la imagen, ya que se genera un texto muy extenso. A continuación, se muestra el programa realizado mediante el programa Python:

```
from fill Japont Joseph Japont Joseph Japont Joseph Joseph
```

Figura 1: Código de conversión de imagenes

2 FPGA principal

En esta sección, se va a tomar los números que están convertidos anteriormente, los cúales van a hacer leidos por una NEXYS4DDR. Teniendo en cuenta que se va a desarrollar un sistema computacional, el cúal va a tener un procesador en RISC-V, estos van a una interfaz de la UART, tomando en cuenta los switches y LEDS correspondientes. A continuación se explicará el código de RISC-V:

- 1. Se revisa los registros que contienen los valores para enviar o recibir una image.
- 2. Una vez revisado el dato o código se comenzará el proceso de recibir o enviar. El ciclo encargado de esto es el RECEIVE-IMAGE y SEND-IMAGE respectivamente.
- 3. En cada caso se envian en la respectiva UART, 64800 bytes que es el total por cada imagen.

La Uart utilizada para la FPGA principal es muy similar a la UART utilizada en la segunda, lo unico que cambia es la implementación con el procesador y las instrucciones RISCV. En este caso se tienen las entradas reg_data, estas controlan el flujo de datos según las entradas del procesador.

```
module UART custom(
    input clk,
    output ser_tx,
    input ser_rx,
    output [31:0] uart_c,
    output
                  uart r ready,
    input
                  reg_dat_we,
    input
                  reg dat re,
    input [31:0] reg_dat_di,
    output [31:0] reg dat do,
    output
                  reg_dat_wait
);
```

Figura 2: Entradas y salidas UART principal.

3 FPGA secundaria

Esta sección va a tomar dos FPGAS, las cúales van a hacer unidos mediante la UART, una FPGA, va a estar conectada a una computadora recibiendo los números binarios, mientras que la otra FPGA va estar conectada a una LCD y esta va a representar el producto final de la imagen dada anteriormente, además de ello se va a tener un panel en la segunda FPGA. A continuación se muestra el código de la UART secundaria:

```
module Uart (
input logic clk,
input logic KeyP,

input uart_rx,
output uart_tx,
output logic [7:0] data_out

);
```

Figura 3: Entradas y salidas de la UART secundaria

Figura 4: Código 1 de la UART secundaria

```
as and as a send as a send
```

Figura 5: Código 2 de la UART secundaria

Figura 6: Código 3 de la UART secundaria

Figura 7: Código 4 de la UART secundaria

Figura 8: Código 5 de la UART secundaria

Figura 9: Código 6 de la UART secundaria