

**Tecnológico de Costa Rica**  
**Escuela de Electrónica**

**Taller de diseño digital**

Estudiantes:

*Esquivel Flores Bryan (2020035806)*

*Mora Bolaños Freddy (2021040443)*

*Vargas Arce Andrés (2018151379)*

**Cuestionario previo Lab.1**

# Preguntas

1. Investigue las características de las familias TTL bajo las series 74\*xx en particular las diferencias entre las variantes  $* \in \{L, LS \text{ y } HC\}$ .
2. Investigue las características de la familia CMOS 4000.
3. Investigue qué cuidados deben tenerse al manipular las tecnologías CMOS.
4. Investigue el significado de los parámetros  $V_{IL}$ ,  $V_{IH}$ ,  $V_{OL}$ ,  $V_{OH}$ ,  $I_{IK}$ ,  $I_{OK}$
5. Investigue qué son los tiempos de propagación  $t_{PD}$ ,  $t_{PLH}$  y  $t_{PHL}$  y los tiempos de transición  $t_r$ ,  $t_f$  y  $t_{tr}$ .
6. Investigue qué significa el término fan-out y cuáles valores típicos se encuentran en las familias TTL y CMOS.
7. Para cada una de las variantes TTL y CMOS especifique en una tabla:
  - Rango de tensión eléctrica de alimentación VCC o VDD, VSS.
  - Rango de tensiones de entrada y salida.
  - Tiempos de propagación y transición.
8. Revise la hoja de datos de los circuitos integrados 74\*00, 74\*02, 74\*04, 74\*14, 4001, 4011, 4069 y 40106. Resuma para qué sirve cada uno.
9. Revise la estructura básica, a nivel de transistores, de una compuerta NAND en circuitos integrados CMOS.
10. Investigue sobre el concepto y el uso de los de circuitos pull-up y pull-down en electrónica digital.
11. Investigue qué es un circuito disparador Schmitt (Schmitt trigger). Revise las características técnicas del circuito 74\*14.
12. Investigue en que consiste la modulación de ancho de pulso (PWM).
13. Investigue qué es el efecto de rebote y típicos circuitos anti-rebote (debouncing circuits)
14. Explique qué es el modelado de comportamiento y de estructura en diseño digital. Brinde un ejemplo de cada uno.
15. Explique el proceso de síntesis lógica en el diseño de circuitos digitales, tanto para el desarrollo de un ASIC como para una FPGA.
16. Investigue sobre la tecnología de FPGAs. Describa el funcionamiento de la lógica programable en general, así como los componentes básicos de una.

17. Investigue sobre los proyectos de YOSYS y nextpnr ¿Cuáles son sus funciones como herramientas?

## Respuestas:

### 1. Características de la familia TTL

#### **Serie 74 (TTL estándar) [1]:**

Tecnología: TTL estándar.

Velocidad: Moderada, con tiempos de propagación típicos de alrededor de 10 ns a 20 ns.

Consumo de energía: Relativamente alto, especialmente en comparación con las variantes más modernas.

Tensión de operación: Normalmente 5 V.

Uso: Aplicaciones generales donde el consumo de energía no es crítico.

#### **Serie 74L (Bajo consumo) [1]:**

Tecnología: TTL de bajo consumo.

Velocidad: Más lenta que la serie estándar debido a las mejoras de eficiencia energética.

Consumo de energía: Reducción significativa en el consumo de energía, pero a expensas de la velocidad.

Tensión de operación: También 5 V, con corrientes de salida menores.

Uso: Aplicaciones donde el ahorro de energía es más importante que la velocidad.

#### **Serie 74LS (Bajo consumo y Schottky) [1]:**

Tecnología: TTL con diodos Schottky para mejorar la velocidad y eficiencia energética.

Velocidad: Más rápida que la serie estándar, con tiempos de propagación típicos de 10 ns.

Consumo de energía: Considerablemente menor que la serie estándar debido al uso de la tecnología Schottky.

Tensión de operación: 5 V.

Uso: Ampliamente utilizado en la industria debido a su buena combinación de velocidad y bajo consumo.

### **Serie 74HC (Alta velocidad CMOS) [1]:**

Tecnología: CMOS de alta velocidad.

Velocidad: Similar o incluso más rápida que la serie LS, con tiempos de propagación de 7 ns a 15 ns.

Consumo de energía: Muy bajo en comparación con todas las series TTL, especialmente en estados estáticos.

Tensión de operación: Más amplia, normalmente de 2 V a 6 V, proporcionando más flexibilidad en el diseño.

Uso: Preferida en aplicaciones modernas debido a su velocidad, bajo consumo, y compatibilidad con niveles lógicos TTL.

### **Comparación General**

Velocidad:  $HC \approx LS > \text{Estándar} > L$ .

Consumo de Energía:  $L < LS < \text{Estándar} \approx HC$  (en reposo).

Compatibilidad: La serie 74HC compatible con TTL en niveles lógicos, facilitando su integración en diseños mixtos.

Cada serie tiene sus propias ventajas y desventajas dependiendo del contexto de uso, por lo que la elección entre ellas dependerá de las especificaciones requeridas para la aplicación en cuestión.

## **2. Características de la familia CMOS 4000.**

Las familias de ICs son circuitos que se fabrican con las mismas propiedades electricas para que su uso a gran escala sea más sencillo de controlar [1].

Como se encontró en [2] la familia CMOS 4000 es una serie de circuitos integrados que funcionan como compuertas lógicas que van desde AND, OR o NAND, en esta familia se pueden encontrar contadores y multiplexores. Algunas de las características de esta familia es que está diseñada para trabajar con bajo consumo de potencia.

A partir de la información de [3] esta familia cuenta con al menos 150 circuitos lógicos que trabajan en un rango de voltajes de entre los 3V y los 15V.

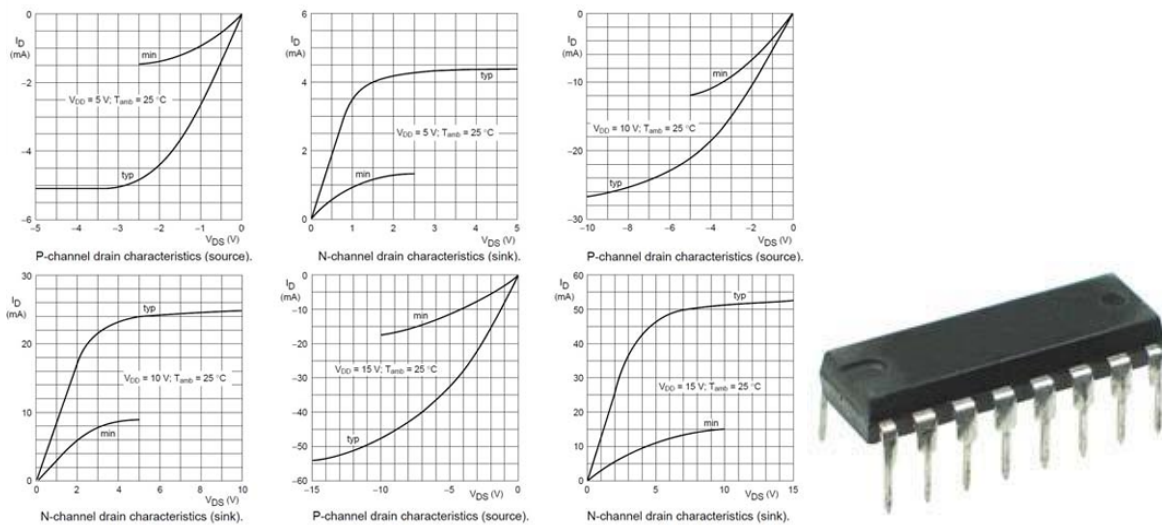


Fig.1 Curvas características series 4000.

### 3. Cuidados deben tenerse al manipular las tecnologías CMOS.

Estos dispositivos, tienen un alto grado de sensibilidad, así que se deben tener los siguientes cuidados según [15]:

- Son muy sensibles a las descargas electrostáticas y puede ser que durante su manipulación se dañen y ya no funcionen, por lo que se recomienda no tocar ningún terminal de circuito integrado con los dedos, procurando sujetarlos por los extremos y a ser posible con pinzas o guantes de látex.
- Son vulnerables a latch-up: Consiste en la existencia de un tiristor parásito en la estructura CMOS que entra en conducción cuando la salida supera la alimentación, produciendo a su vez, un camino de baja resistencia a la corriente de alimentación que lleva a la destrucción del dispositivo.
- Puede generar mucho ruido debido a las diversas fuentes tales como: Rayos cósmicos, campos magnéticos que proviene de la maquinaria cercana, perturbación de la fuente de alimentación y la acción de conmutación de los propios circuitos lógicos.
- Es sumamente sensible a la existencia de cargas atrapadas en el óxido que atraviesan un chip CMOS puede dejar cargas a su paso, cambiando la tensión umbral de los transistores y deteriorando el dispositivo.

### 4. Significado de los parámetros de $V_{IL}$ , $V_{IH}$ , $V_{OL}$ , $V_{OH}$ , $I_{IK}$ , $I_{OK}$

Las siguientes definiciones fueron basadas en [19]:

VIL (Voltage Input Low) :

- **Definición:** Es el nivel de voltaje máximo en la entrada que un circuito integrado interpretará como un nivel lógico bajo (0). Y garantiza que cualquier voltaje por debajo de este nivel se considere un 0 lógico, asegurando una interpretación correcta de las señales de entrada.

VIH (Voltage Input High) :

- **Definición:** Es el nivel de voltaje mínimo en la entrada que un circuito integrado interpretará como un nivel lógico alto (1). Y asegura que cualquier voltaje por encima de este nivel se considere un 1 lógico, evitando errores en la interpretación de señales de entrada.

VOL (Voltage Output Low)

- **Definición:** Es el nivel de voltaje máximo en la salida cuando el circuito está emitiendo un nivel lógico bajo (0). E indica la eficacia con la que el circuito puede representar un 0 lógico en su salida.

VOH (Voltage Output High):

- **Definición:** Es el nivel de voltaje mínimo en la salida cuando el circuito está emitiendo un nivel lógico alto (1). Y asegura que la salida represente correctamente un 1 lógico, lo que es crucial para que los dispositivos conectados interpreten correctamente las señales de salida.

IIK (Input Clamp Current):

- **Definición:** Es la corriente máxima que puede fluir a través de la terminal de entrada cuando el voltaje de entrada es inferior al mínimo especificado.

IOK (Output Clamp Current):

- **Definición:** Es la corriente máxima que puede fluir a través de la terminal de salida cuando el voltaje de salida es mayor que el máximo especificado o menor que el mínimo especificado.

## 5. Tiempos de propagación y tiempos de transmisión

### ○ Tiempos de propagación

- $t_{PHL}$ : Tiempo de propagación del output para cambiar de High a Low.
- $t_{PLH}$ : Tiempo de propagación Low to High, es lo contrario al  $t_{PHL}$ .

- $t_{PD}$ : Retraso de propagación. Según [4] el retraso de propagación es la diferencia de tiempo por la que la entrada y la salida pasan por el 50% de su amplitud.

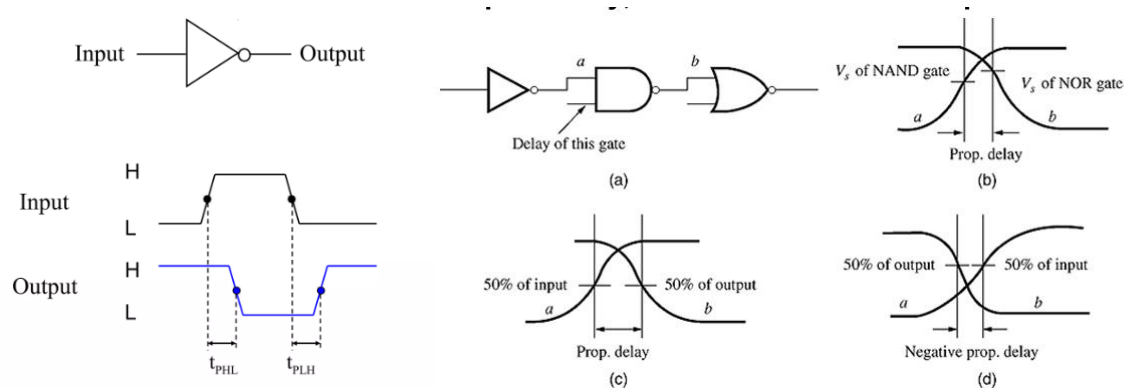


Fig.2 Tiempos de propagación.

### • Tiempos de transición

- $t_r$ : Tiempo que le toma a la salida pasar de Low a High.[4]
- $t_f$ : Tiempo que le toma a la salida pasar de High a Low.[4]

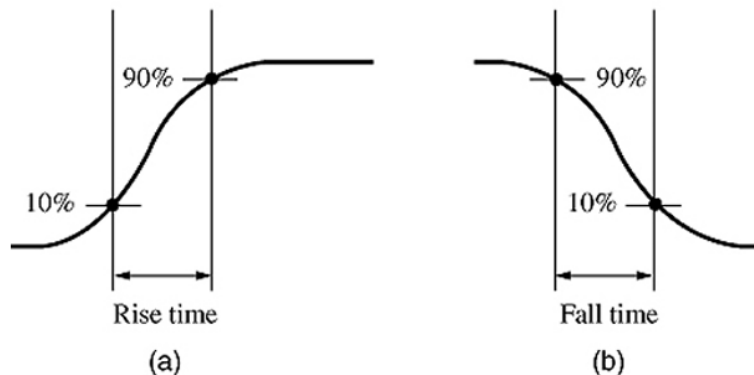


Fig.3 Tiempos de transición.

### 6. Significado del término fan-out y cuáles valores típicos se encuentran en las familias TTL y CMOS.

De acuerdo con [16] el abanico de salida o carga máxima de salida de una compuerta especifica el número de cargas estándar que es posible conectar a la salida de la compuerta sin degradar su funcionamiento normal. Por lo regular, una carga estándar se define como la cantidad de corriente que requiere una entrada de otra compuerta de la misma familia de lógica. Este término proviene del hecho de que la salida de una compuerta es capaz de suministrar una cantidad limitada de corriente, más allá de la cual deja de operar correctamente y se dice que está “sobrecargada”.

Se calcula a partir de la siguiente ecuación:

$$\frac{I_{OH}}{I_{IH}} = \frac{I_{OL}}{I_{IL}}$$

Para la compuerta TTL estándar no se puede conectar a más de 10 entradas de otras compuertas de la misma familia de lógica, sino podría ser incapaz de alimentar o drenar la cantidad de corriente que necesitan las entradas conectadas a ella. Para el caso del CMOS es de alrededor de 30 cuando se operan con una frecuencia de 1 MHz y disminuye al aumentar la frecuencia de operación.

## 7. Variables TTL y CMOS

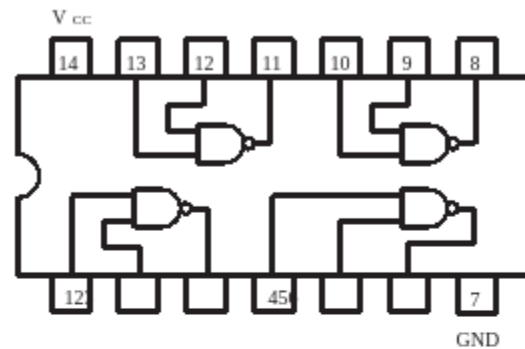
Tabla 1. Rango de tensión eléctrica de alimentación VCC o VDD, rango de tensiones de entrada y salida, tiempos de propagación y transición para las variantes TTL y CMOS. [20] y [21]

Variante	Rango de tensión eléctrica	Rango de tensiones		Tiempos de	
		De entrada	De salida	Propagación	Transición
<b>TTL</b>	4.75V a 5.25V	0V a 2V2V2V (para lógica baja), 2V2V2V a 5V5V5V (para lógica alta)	0V (bajo) a 3.4V3.4V3.4V (alto) en 5V TTL	5 ns a 100 ns (varía con la velocidad de la familia)	1 ns a 30 ns (varía con la velocidad de la familia)
<b>CMOS</b>	3V a 15V	0V a V <sub>DD</sub> (lógica baja es cerca de 0V y lógica alta es cerca de V <sub>DD</sub> )	0V (bajo) a V <sub>DD</sub> (alto)	1 ns a varios microsegundos (varía con la velocidad de la familia y la carga)	2 ns a varios microsegundos (varía con la velocidad de la familia y la carga)



## 8. Circuitos integrados 74\*00,74\*02,74\*04,74\*14, 4001, 4011, 4069 y 40106

**Circuito 74\*00:** Quad 2-Input Nand. Tiene una característica de Low power Schottky esta basándonos en [5] nos dice que nos garantiza disipación y tiempo de propagación pequeño, por lo que es muy eficiente.



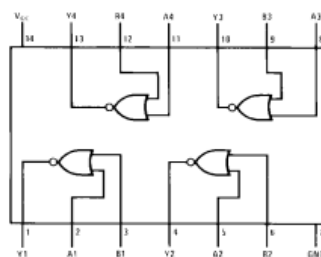
### GUARANTEED OPERATING RANGES

Symbol	Parameter	Min	T y p	Max	Unit
$V_{CC}$	Supply Voltage	4.75	5.0	5.25	V
$T_A$	Operating Ambient Temperature Range	0	25	70	$^{\circ}\text{C}$
$I_{OH}$	Output Current – High			- 0.4	mA
$I_{OL}$	Output Current – Low			8.0	mA

Fig 4. Entradas y características del ICs 74ls00.

**Circuito 74\*02:** Quad 2-Input NOR Gate [6], al ser parte de la familia 74 comparte características con el 74\*00.

### Connection Diagram



### Function Table

$$Y = \overline{A + B}$$

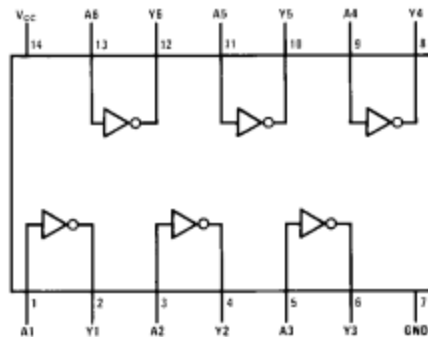
Inputs		Output
A	B	Y
L	L	H
L	H	L
H	L	L
H	H	L

H = HIGH Logic Level  
L = LOW Logic Level

Fig 4. Entradas 74ls02.

**Circuito 74\*04:** Hex Inverting Gates[7], posee 6 pins independientes, cada uno funciona como un inversor.

**Connection Diagram**



**Function Table**

$$Y = \bar{A}$$

Input	Output
A	Y
L	H
H	L

H = HIGH Logic Level  
L = LOW Logic Level

Fig 5. Entradas 74ls04.

**Circuito 74\*14:** Schmitt Trigger Dual Gate Hex inverter[8], transforma señales de entrada con cambios lentos en señales de salida nítidas y sin vibraciones.

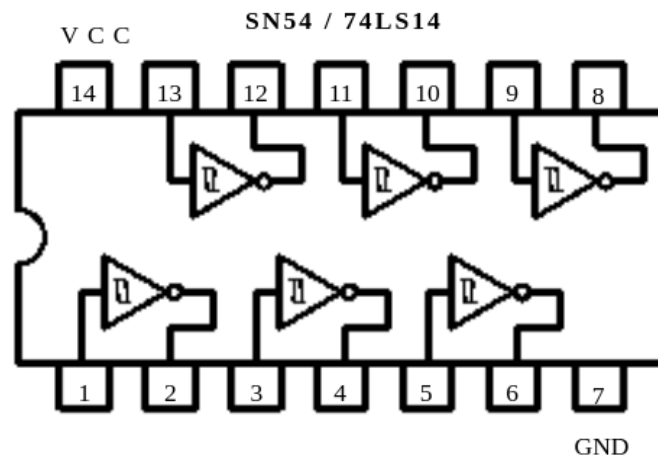


Fig 6. Entradas 74ls14.

**Circuito 4001:** Este circuito según [8] es una NOR Buffered B series Gate, con característica Low Power TTL, salidas simétricas, entre otras.

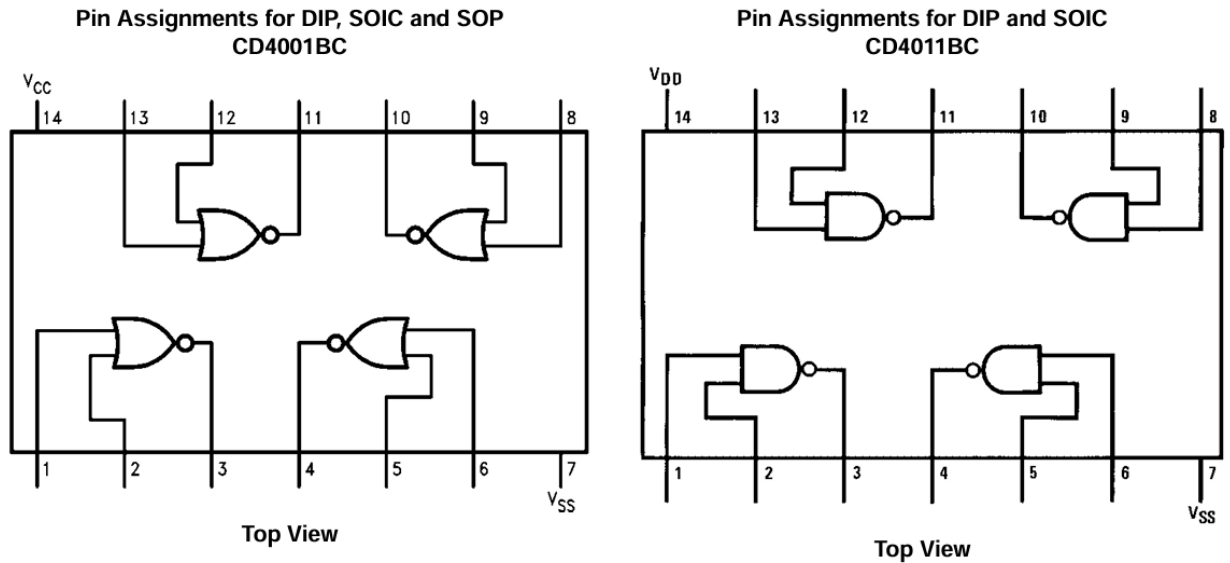
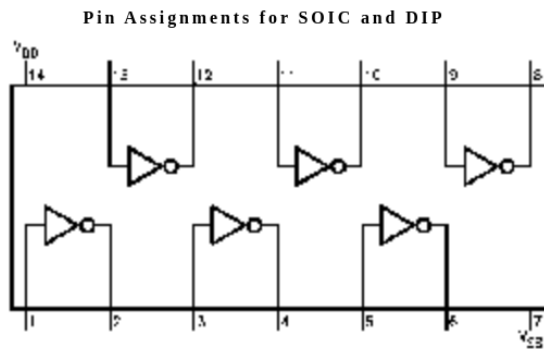


Fig 7. Entradas circuito 4001BC y 4011BC.

**Circuito 4011:** El 4011 es una NAND Buffered B series Gate que posee las mismas características que el 4011.

**Circuito 4069:** Circuito inversor [10], contiene 6 circuitos inversores en su interior.

#### Connection Diagram



#### Schematic Diagram

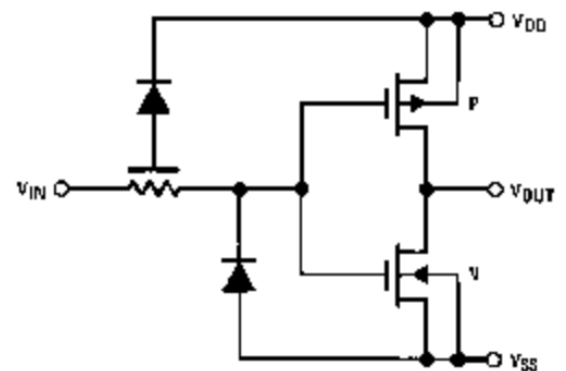


Fig 8. Entradas 4069.

**Circuito 40106:** Hex Schmitt trigger [11], Consta de seis circuitos de disparo Schmitt. Cada circuito funciona como un inversor con acción de disparo Schmitt en la entrada.

## 9. Revise la estructura básica, a nivel de transistores, de una compuerta NAND en circuitos integrados CMOS.

Se compone de cuatro transistores: dos transistores PMOS en paralelo conectados al voltaje de alimentación  $V_{DD}$  y dos transistores NMOS en serie conectados a tierra, donde las puertas de los transistores se conectan a las entradas A y B. El funcionamiento de la compuerta depende de los valores de sus entradas A y B: Si ambas tienen una entrada alta (1), su salida es baja (0), mientras que si se realiza cualquier otra combinación de sus entradas ( $A=0/B=0$ ,  $A=0/B=1$ ,  $A=1/B=0$ ), la salida es alta (1). [16]

*Nota:* El PMOS en bajo (0) conduce y en alto (1) no conduce, por su parte, el NMOS en bajo (0) no conduce y en alto (1) conduce.

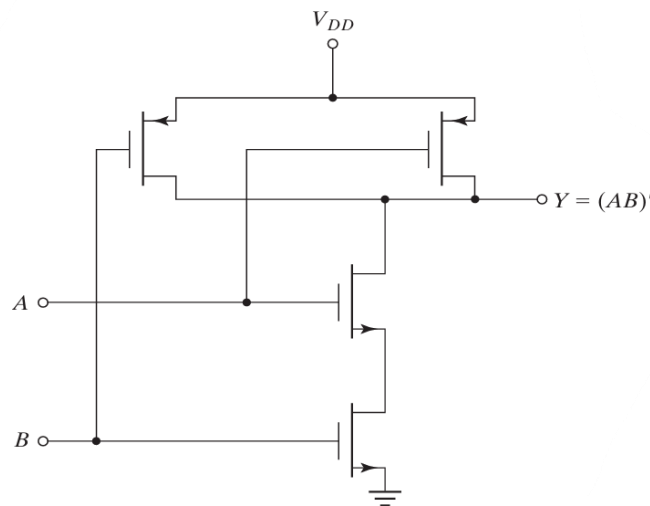


Figura 1. Compuerta NAND. [16]

## 10. Concepto y el uso de los de circuitos pull-up y pull-down en electrónica

### Circuito Pull-Up [22]:

Concepto: Una resistencia conectada entre la línea de entrada o salida y la fuente de alimentación ( $V_{cc}$ ) que mantiene el nivel lógico alto (1) cuando no hay otra señal presente.

Uso:

Evita entradas flotantes.

Mantiene líneas de bus en alto cuando no son activamente conducidas.

Asegura un estado alto cuando los botones no están presionados.

### Circuito Pull Down [22]:

Concepto: Una resistencia conectada entre la línea de entrada o salida y la tierra (GND) que mantiene el nivel lógico bajo (0) cuando no hay otra señal presente.

Uso:

Evita entradas flotantes.

Mantiene un estado bajo predeterminado en ausencia de señales.

Asegura un estado bajo cuando los botones no están presionados.

Estos circuitos sirven para garantizar niveles lógicos estables y definidos en circuitos digitales, previniendo estados indeterminados y mejorando la confiabilidad.

## 11. Circuito Schmitt Trigger

En [12] encontramos la siguiente definición *"" Un disparador Schmitt es una forma de circuito comparador que tiene histéresis o diferentes niveles de conmutación de entrada para cambiar la salida entre los dos estados.""*, su funcionamiento para cancelar el ruido consta de dos voltajes de umbral uno superior VUT y el otro inferior VUL, esto hace que la señal de salida se encuentre en baja hasta que la entrada llega al VUT y que esté en alta hasta que la entrada pase por el VUL.

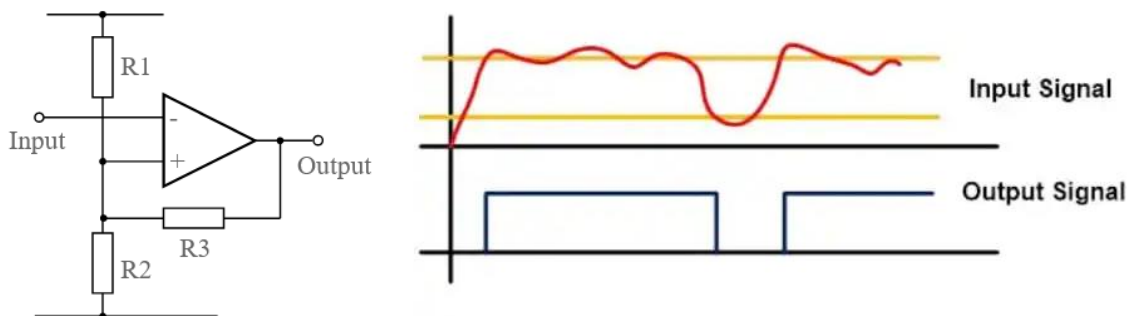


Fig.9 Circuito Schmitt Trigger y ejemplo de su funcionamiento.

## 12. Investigue en que consiste la modulación de ancho de pulso (PWM).

La modulación de ancho de pulso (PWM) es un método para generar una señal analógica utilizando una fuente digital y consta de dos componentes principales que definen su comportamiento: un ciclo de trabajo y una frecuencia. El ciclo de trabajo (duty cycle) describe la cantidad de tiempo que la señal está en un estado alto (encendido) como un porcentaje del tiempo total que se tarda en completar un ciclo, la variación de ancho de pulso consiste en variar los tiempos de

encendido ( $T_{on}$ ) y apagado ( $T_{off}$ ). La frecuencia de la señal PWM es la inversa del período total del ciclo y su elección depende de la aplicación específica. [17]

### **13. Efecto de rebote y típicos circuitos anti-rebote (debouncing circuits)**

Este fenómeno ocurre cuando se presiona o se suelta un botón o interruptor, el contacto interno no cambia de estado de una sola vez. En lugar de eso, puede haber varias transiciones rápidas entre encendido y apagado antes de que se quede en una posición fija. Esto significa que el botón puede enviar señales erráticas durante unos pocos milisegundos, lo que puede confundir a los circuitos electrónicos que esperan una señal clara y estable. [13]

El rebote ocurre debido a la fricción y los movimientos mecánicos dentro del interruptor. Cuando se presiona un botón, el contacto puede vibrar o "rebotar" antes de establecerse en una posición estable. Este comportamiento es muy común en interruptores mecánicos y botones. [13]

### **14. Modelado de comportamiento y de estructura en diseño digital**

En este caso se basa la definición en [13], el modelado de comportamiento se trata de describir circuitos complejos por medio de un lenguaje de programación por ejemplo VHDL. El modelado de estructura consiste en conectar componentes instanciados en el lenguaje para funcionar como un circuito.

### **15. Explique el proceso de síntesis lógica en el diseño de circuitos digitales, tanto para el desarrollo de un ASIC como para una FPGA.**

La síntesis lógica es el proceso de generar una representación de nivel lógico de un circuito a partir de una descripción de nivel superior, como un HDL, optimizando el diseño para cumplir con criterios específicos. En ASICs, la síntesis se enfoca en celdas estándar y en la optimización para una aplicación específica, mientras que en FPGAs, se utiliza la configurabilidad de los bloques lógicos y se optimiza para flexibilidad y reutilización. Con base en [18] el proceso de diseño con dispositivos lógicos programables (PLD), utilizando como lenguaje de descripción de hardware el VHDL, se puede dividir en cinco etapas bien definidas:

#### **1) Definición de los requerimientos del diseño**

Primeramente, se debe tener una idea clara de los objetivos y requerimientos o especificaciones del diseño, lo cual se logra respondiendo preguntas como las siguientes: ¿qué funcionalidad debe tener el diseño?, ¿para qué sirve?, ¿cuáles son los tiempos requeridos para la inicialización o la relación reloj-

salida?, ¿cuál es la frecuencia máxima de operación?, ¿cuáles son los caminos críticos?, etc; lo que permite elegir una metodología de diseño y una arquitectura de dispositivo adecuada.

## **2) Descripción del diseño en VHDL**

### **Formulación del diseño**

A partir de las especificaciones se debe decidir una metodología para describir el diseño más eficientemente. Existen tres tipos de metodología de diseño: top-down, bottom-up y flat. Las dos primeras implican el crear estructuras jerárquicas, mientras que la última ve el diseño como un todo.

### **Codificación del diseño**

Se describen diagramas de flujo o de bloque, con el lenguaje de descripción elegido, cuidando la sintaxis y la semántica utilizadas.

## **3) Simulación del código fuente**

La simulación del código fuente permite depurar errores funcionales antes de la implementación o síntesis final del diseño.

## **4) Síntesis, optimización y ajuste del diseño**

### **Síntesis**

Se define como la traducción de la descripción de un diseño a una representación de circuito de bajo nivel, como un netlist, es decir, es el proceso por el cual se crean netlist o ecuaciones a partir de descripciones de diseño, en principio abstractas. El proceso de síntesis depende de la tecnología empleada, lo que significa que el paso de una descripción en VHDL hacia un conjunto de netlist es diferente de un dispositivo a otro. El proceso de síntesis convierte el diseño a unas estructuras de datos internas, traduciendo el comportamiento descrito en alto nivel a una descripción de nivel de transferencia de registros (register-transfer level: RTL).

### **Optimización**

El proceso de optimización depende de tres variables: la forma de las expresiones booleanas, el tipo de recursos disponibles y las directivas de síntesis utilizadas, tanto automáticas como propias del usuario. La optimización de estructuras PLD implica la simplificación de las expresiones lógicas a una suma mínima de términos producto, además también se optimiza el número de literales.

### **Ajuste del diseño**

Es el proceso por el que se toma la lógica producida por la síntesis y la optimización y se coloca en un dispositivo lógico, transformando la lógica, de ser necesario, para obtener el mejor ajuste. Ajuste es un término utilizado

habitualmente para describir el proceso de colocar los recursos en arquitecturas del tipo CPLD.

### **5) Programación del dispositivo**

Es la etapa final del proceso de diseño con dispositivos lógicos programables. A través de esta fase se programa el PLD con el diseño realizado en lenguaje de descripción de hardware, colocando en funcionamiento la aplicación deseada.

## **16. Tecnología de FPGAs. Describa el funcionamiento de la lógica programable**

Los FPGAs (Field-Programmable Gate Arrays) son dispositivos de hardware que se pueden programar para llevar a cabo una variedad de tareas lógicas. Estos circuitos integrados reconfigurables permiten a los usuarios definir cómo deben funcionar y qué operaciones realizar, adaptándose a diferentes proyectos y necesidades. [13]

### Estructura y Funcionamiento

Estructura de Matriz: Un FPGA está compuesto por una matriz de bloques lógicos programables (CLBs). Cada CLB se puede ajustar para ejecutar funciones específicas según los requerimientos del diseño. [13]

Bloques Lógicos: Dentro de los CLBs, se encuentran tablas de consulta (LUTs) y otros componentes, como registros y puertas lógicas. Las LUTs permiten implementar operaciones lógicas específicas mediante la configuración de sus entradas y salidas.[13]

## **17. Proyectos en YOSYS y nextpnr.**

Como lo dice la página oficial de YOSYS [14] :

- YOSYS: Yosys es un framework para la síntesis de RTL y más. Actualmente tiene un amplio soporte para Verilog-2005 y proporciona un conjunto básico de algoritmos de síntesis para varias aplicaciones.
- nextpnr: nextpnr tiene como objetivo ser una herramienta de colocación y enrutamiento de FPGA independiente del proveedor, orientada al tiempo y de software libre (FOSS).



# Referencias

- [1] Mano, M. Morris, and Michael D. Ciletti. *Digital Design*. Pearson Education.
- [2] "CMOS 4000 Series", Futurlec.com. [En línea]. Disponible en: <https://www.futurlec.com/IC4000Seriesb.shtml>. [Consultado: 29-jul-2024].
- [3] A. Garaipoom, "CMOS circuit 4000 Series and how to use", Eleccircuit.com, 20-may-2020. [En línea]. Disponible en: <https://www.eleccircuit.com/cmos-circuit>. [Consultado: 30-jul-2024].
- [4] [En línea]. Disponible en: [http://chrome-extension://efaidnbmnnnibpcajpcgltcllefindmkaj/https://wiki.analog.com/\\_media/university/courses/4000\\_series\\_article.pdf](http://chrome-extension://efaidnbmnnnibpcajpcgltcllefindmkaj/https://wiki.analog.com/_media/university/courses/4000_series_article.pdf). [Consultado: 30-jul-2024].
- [5] J. L. Marin, "Curso de electrónica digital (II)", Wwww.uv.es. [En línea]. Disponible en: <https://www.uv.es/~marinjl/electro/digital2.html>. [Consultado: 30-jul-2024].
- [6] "74LS02 Datasheet", Futurlec.com. [En línea]. Disponible en: <https://www.futurlec.com/74LS/74LS02.shtml>. [Consultado: 30-jul-2024].
- [7] "74LS04 Datasheet", Futurlec.com. [En línea]. Disponible en: <https://www.futurlec.com/74LS/74LS04.shtml>. [Consultado: 30-jul-2024].
- [8] "74LS14 datasheet(1/3 pages) MOTOROLA", Alldatasheet.com. [En línea]. Disponible en: <https://html.alldatasheet.com/html-pdf/5655/MOTOROLA/74LS14/257/1/74LS14.html>. [Consultado: 30-jul-2024].
- [9] Electroschematics.com. [En línea]. Disponible en: <https://www.electroschematics.com/wp-content/uploads/2013/08/CD4001-datasheet.pdf>. [Consultado: 31-jul-2024].
- [10] "CD4069 Datasheet(PDF)", Alldatasheet.es. [En línea]. Disponible en: <https://www.alldatasheet.es/datasheet-pdf/pdf/50860/FAIRCHILD/CD4069.html>. [Consultado: 01-ago-2024].
- [11] "HCF40106 datasheet, PDF", Alldatasheet.com. [En línea]. Disponible en: [https://www.alldatasheet.com/view.jsp?Searchword=Hcf40106%20datasheet&gclid=Cj0KCQjwwae1BhC\\_ARIsAK4Jfrys6\\_wOLKIJanR4E7-W5zKuiaffNLzn-MUYsCjfwvF6yBi49LgKNlaAgTTEALw\\_wcB](https://www.alldatasheet.com/view.jsp?Searchword=Hcf40106%20datasheet&gclid=Cj0KCQjwwae1BhC_ARIsAK4Jfrys6_wOLKIJanR4E7-W5zKuiaffNLzn-MUYsCjfwvF6yBi49LgKNlaAgTTEALw_wcB). [Consultado: 01-ago-2024].
- [12] "Schmitt Trigger: ¿Qué es y cómo funciona?", Descubrearduino.com, 05-abr-2021.
- [11] Amd.com. [En línea]. Disponible en: [https://www.amd.com/content/dam/amd/en/documents/university/vivado-teaching/hdl-design/2013x/Nexys4/VHDL/docs-pdf/VHDL-Lab1\\_Vivado.pdf](https://www.amd.com/content/dam/amd/en/documents/university/vivado-teaching/hdl-design/2013x/Nexys4/VHDL/docs-pdf/VHDL-Lab1_Vivado.pdf). [Consultado: 01-ago-2024].

[13] Professional Review. [En línea]. FPGA: Todo lo que necesitas saber. Professional Review. <https://www.profesionalreview.com/2022/07/26/fpga/> [Consultado: 02-ago-2024].

[14] "Open source", Yosyshq.com. [En línea]. Disponible en: <https://www.yosyshq.com/open-source>. [Consultado: 01-ago-2024].

[15] J. Wakerly, J. Pérez Bonilla, E. Alatorre Miguel and H. Stone, Diseño digital. México: Prentice Hall, 2001.

[16] M. Morris M, "Diseño Digital", ed. 3, 2003.

[17] V.H. Perdomo, "Simulación de modulación por ancho de pulso usando Tinkercard," *Computer and Electronic Sciences: Theory and Applications*, vol. 1, no. 1, Dec 9, pp. 31-35.

[18] L. Rojas, Z.E. Franco M and A.S. Pateti M, "Diseños de circuitos electrónicos digitales utilizando la tecnología FPGA," *Universidad, Ciencia y Tecnología*, vol. 13, no. 52, pp. 250-258.

[19] Floyd, Thomas L. *Digital Fundamentals*. Pearson Education.

[20] Components101. (2020, December 25). *TTL vs CMOS ICs and how to choose between them*. Components101. <https://components101.com/articles/ttl-vs-cmos-ics-and-how-to-choose-between-them>

[21] Electronics Tutorials. (n.d.). *CMOS and TTL interfaces*. Electronics Tutorials. <https://www.electronics-tutorial.net/digital-logic-families/cmos-and-ttl-interfaces/>

[22] All About Circuits. (n.d.). *Pull-up and pull-down resistors*. Retrieved August 2, 2024, from <https://www.allaboutcircuits.com/textbook/digital/chpt-2/pull-up-and-pull-down-resistors/>

[23] Maxfield, C. (2021, February 9). *Cómo implementar el rebote de hardware para interruptores y relés cuando el rebote de software no es apropiado*. Digi-Key. <https://www.digikey.com/es/articles/how-to-implement-hardware-debounce-for-switches-and-relays-when-software-debounce-is-not-appropriate>