

# 基于 FPGA 的图像卷积 IP 核的设计与实现

朱学亮, 柴志雷, 钟传杰, 张 平

(江南大学 物联网工程学院, 江苏 无锡 214122)

**摘 要:** 提出了一种基于 FPGA 的卷积运算 IP 核的设计方法. 充分利用 FPGA 的并行体系架构和丰富的块存储资源采用规则的模块化的设计方法并兼顾可扩展的原则完成了二维图像卷积 IP 核的设计, 实现了实时图像卷积运算中卷积窗口大小和卷积系数的灵活调整. 这种新的卷积 IP 核在充分节约硬件资源的前提下很好地满足了实际的应用, 使得卷积运算在图像处理应用中更加灵活方便.

**关键词:** FPGA; 卷积; 图像处理; IP 核

中图分类号: TP274

文献标识码: A

文章编号: 1000-7180(2011)06-0188-05

## Design and Implemenation of FPGA-based Convolution IP Core for Image Processing

ZHU Xue-liang, CHAI Zhi-lei, ZHONG Chuan-jie, ZHANG Ping

(College of Internet of Things, Jiangnan University, Wuxi 214122, China)

**Abstract:** We present a new 2-D convolution IP core for real-time image processing taking advantage of the feature of convolution. Thanks to FPGA's parallel structure and rich memory resource this design does well in modularity and expandability and the convolution's window size and coefficients can be changed flexibly. Beside satisfying practical applications the new IP tries it's best to save hardware. It makes convolution more flexible and convenient.

**Key words:** FPGA; convolution; image processing; IP core

### 1 引言

实时图像和视频处理系统正越来越多的被应用在各种领域, 处理的要求也在不断地提高. 在各种图像处理运算中卷积运算可以说是最常用到的一种. 因此, 图像处理中的卷积运算得到了越来越多的关注和研究<sup>[1-6]</sup>. 例如, 文献[4]对卷积运算中的运算部分进行了研究分析, 通过改进底层运算模块减少了运算时间和系统功耗. 文献[5]对图像卷积运算中像素数据的缓存和数据输入接口带宽方面进行了优化, 提出了多窗口部分缓存的方法, 虽然增加了控制的复杂性但在内部缓存资源和外部接口带宽之间进行了很好的平衡. 但是, 目前这些对图像卷积运算的研究主要还是局限在固定卷积窗口和系数的前提

下, 可复用性差. 不同的图像处理系统中经常需要不同的卷积运算, 甚至同一图像处理系统也需要不同的卷积运算. 例如在一图像处理中, 前面的预处理用到一个  $3 \times 3$  的卷积运算来进行滤波, 然后用到一个  $5 \times 5$  的卷积运算来进行特征提取. 这样每次的卷积可能用到的卷积系数和卷积窗口大小都是不一样的. 文献[6]中曾提出用  $3 \times 3$  的卷积单元来进行组合扩展的方法实现窗口的可调, 这种方法的优点是简单, 但是不够灵活, 而且最大的缺点是太浪费资源, 尤其是数据缓存资源浪费最为严重. 针对这些问题, 本文提出了一种基于 FPGA 的卷积运算 IP 核的设计方法, 通过对 IP 参数的设置来对内部资源的使用进行配置, 可根据实际需要灵活生成不同大小窗口和系数的卷积, 在节省了硬件资源的同时很好

收稿日期: 2010-09-07; 修回日期: 2010-12-03

基金项目: 四川省科技支撑计划项目(2008GZ0145)

©1994-2014 China Academic Journal Electronic Publishing House. All rights reserved. <http://www.cnki.net>

地解决了上述问题.

## 2 图像卷积运算 IP 核的设计

### 2.1 图像处理中的卷积运算

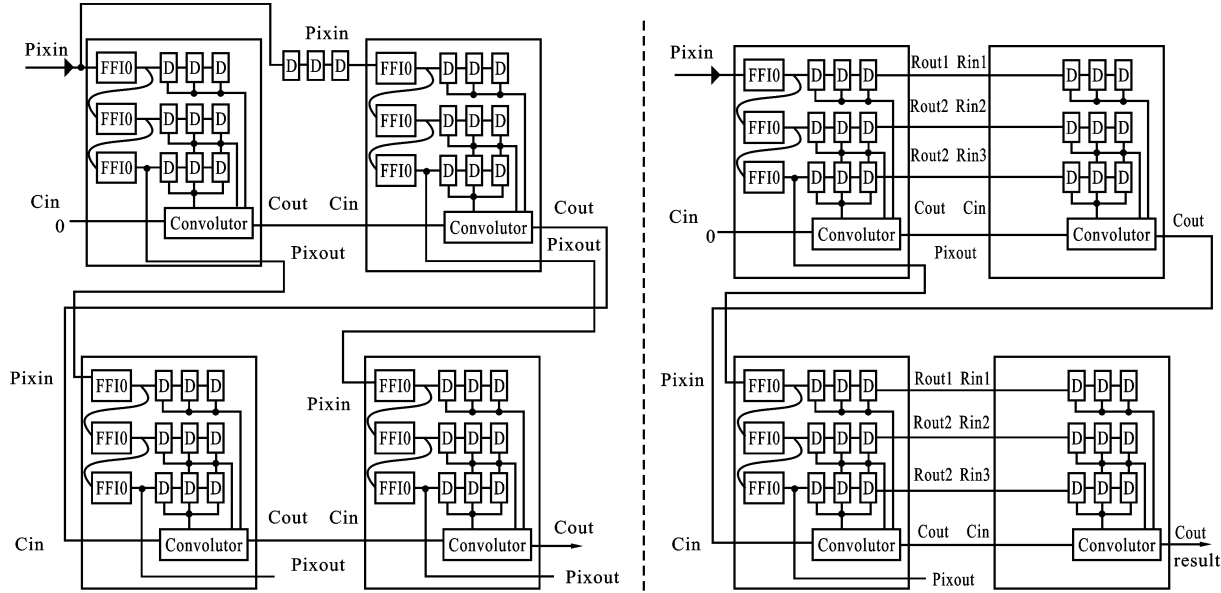
图像处理中的卷积运算, 首先是根据卷积窗口大小进行图像的行像素缓存, 然后对缓存的像素再进行缓存形成卷积所需的矩阵窗口, 最后与卷积模板中的系数进行卷积运算. 在实施时为了减少处理器和外部的存储器之间的接口带宽及内部缓存资源, 输入的图像数据是以单像素宽度进入处理器并且缓存的像素行数为卷积矩阵的行数. 对于每一次不同的卷积运算都要重新设计卷积运算模块, 根据不同的窗口来确定不同的像素缓存结构, 并根据不同的系数进行乘加运算.

FPGA 作为一种可编程逻辑器件, 内部具有大量的可编程硬件逻辑资源和块存储器, 可通过编程将各种功能模块或系统直接映射到硬件逻辑资源上. 对图像处理来说, 可以将各种算法直接映射到底层硬件逻辑上来, 不需要像传统串行结构处理器那样要先取指令再做运算, 而是数据进来以后直接进

行运算, 是典型的单指令多数据 (SIMD) 结构, 实时性更好, 非常适合数据运算量庞大、运算操作相对简单的运算. 因此, 利用 FPGA 进行设计非常适合卷积这种底层大运算量的运算, 并可以保证图像处理的实时性, 而且, 由于 FPGA 的编程非常灵活, 可以对设计进行优化.

### 2.2 卷积运算 IP 核的设计

图 1(a)为用固定的  $3 \times 3$  卷积单元组合扩展形成的  $6 \times 6$  卷积. 可以看出只需要调用四个  $3 \times 3$  的卷积单元就可以方便的生成更大的窗口的卷积运算模块. 但是从图中可以看到每个单元都用到 3 个 FIFO 和 9 个乘法单元, 从节约资源的角度来看, 图 1(a)中右侧两个单元可以不用 FIFO 进行缓存, 完全可以将 D 触发器与前一个单元中的 D 触发器连接起来形成  $6 \times 6$  窗口, 如图 1(b)所示, 这样所用的行缓存 FIFO 节省了一半. 由于  $3 \times 3$  单元是固定的, 在扩展生成  $4 \times 4$ ,  $5 \times 5$  窗口时用到的结构完全和图 1(a)一样, 这样所用到的 FIFO 和乘法单元数目和  $6 \times 6$  结构时是一样的, 只不过有一部分乘法单元相乘的系数为零而已. 这样也造成了资源的浪费.



(a)  $3 \times 3$  卷积单元扩展成的  $6 \times 6$  卷积

(b) (a) 中去掉不需要的 FIFO 结构

图 1 结构

本设计在保证规则的模块化和可扩展性的情况下, 充分考虑到上述两点不足, 通过参数化、可重构的方法来灵活配置, 达到既满足应用要求, 又不占用多余的硬件资源. IP 核的整体结构如图 2 所示. 为了使 IP 核能灵活配置, 势必要增加参数控制信号.

Data select 用于决定 IP 核扩展时是否使用行缓存 FIFO, 当需要行缓存时, 如图 1(b)中左侧两个

模块, 像素从 Pixin 进入, 然后经过行缓存 FIFO, 再经过 D 触发器缓存形成卷积窗口. 当不需要行缓存时, 如图 1(b)右侧两个模块, 像素从前一个 IP 核的输出 Rout1, Rout2, Rout3 直接经 Rin1, Rin2, Rin3 输入, 不使用 FIFO 缓存, 直接经 D 触发器缓存形成卷积窗口, 这样节约了缓存资源. Column select 和 Row select 用来决定 IP 核形成的卷积窗口

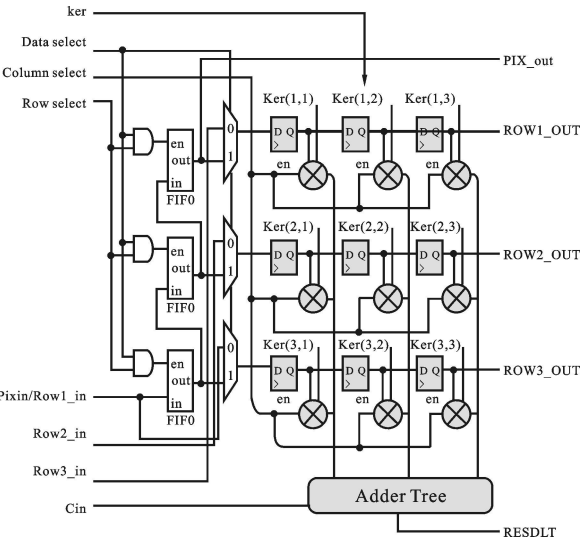


图 2 IP 核内部结构

需要多少行多少列, 通过这种控制, 减少不必要的行缓存资源和乘法资源的浪费. Ker 为卷积系数输入, 可根据需要进行改变.

图 3 所示为利用上述的 IP 核构成一个  $5 \times 5$  窗口卷积运算的例子. 因为一个单独的 IP 核设计可构成的最大窗口大小为  $3 \times 3$ , 所以要构成一个  $5 \times 5$  的窗口需要 4 个 IP 核, 如下所示:

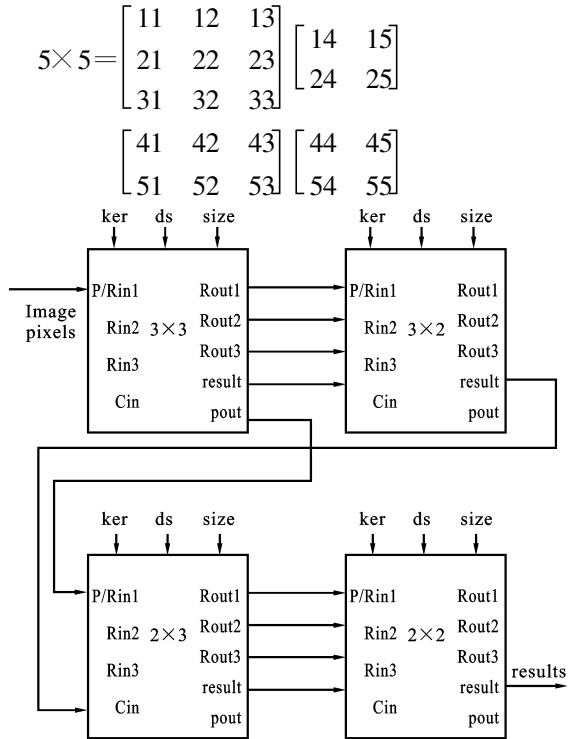


图 3 卷积运算 IP 核组合扩展成的  $5 \times 5$  卷积结构

因此, 在进行  $5 \times 5$  的卷积运算时只需调用 4 次 IP 核, 对四个 IP 核分别设置  $3 \times 3$ ,  $3 \times 2$ ,  $2 \times 3$ ,  $2 \times 2$  的窗口大小, 并将各自输出的卷积结果累加即可. 对

于更大的窗口的卷积运算, 可以以此类推, 即可实现.

2.3 内部运算模块

作为一个 IP 核不仅要满足灵活配置, 便于重复使用, 还要注意节省硬件资源和工作的性能. 在 IP 核的内部设计时考虑了运算的性能提高. 乘法运算模块如图 4 所示, 一般的并行阵列乘法器比较复杂, 不利于功耗的降低, 相对于阵列乘法来说本文采用的乘法器更适合 FPGA, 效率更高, 而且容易加入流水线级. 在乘法运算中, 每一步后面增加流水线寄存器, 形成四级流水线结构, 增加了运算数据的吞吐率, 提高了处理的实时性.

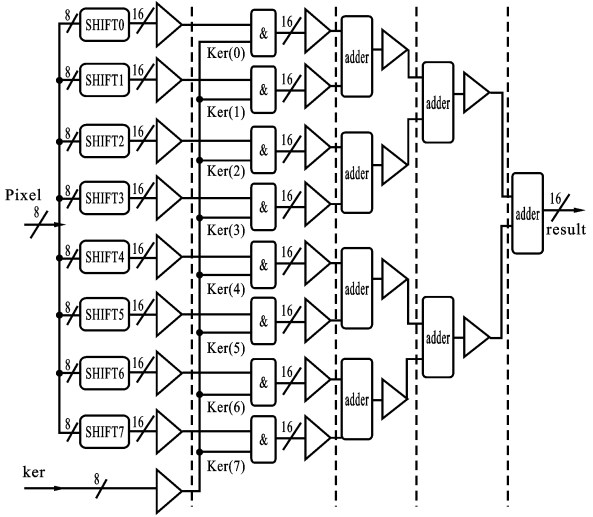


图 4 乘法模块

加法树模块如图 5(a)所示, 加法树的作用是将卷积运算中的乘法运算结果累加起来. 由于上面乘法运算采用的是无符号乘法, 所以在做加法运算时首先将无符号的乘法运算结果转化为有符号数, 这一步是根据卷积系数的符号位部分进行转化的, 如图 5(b)所示. 转化成有符号数以后便开始进行加法运算, 并行加法运算单元如图 5(c)所示, 通过多个全加器单元组合而成. 整个加法树模块同样每一步都加寄存器, 形成四级流水结构.

2.4 结果和仿真验证

本文以 XILINX 公司的 FPGA 设计软件 ISE 10.1 作为设计工具, 以硬件描述语言 VHDL 作为设计输入工具进行卷积运算 IP 核的设计. 最终在 FPGA 上完成了这一 IP 核的设计.

通过 ISE 10.1 和 Modsim SE 6.1F 的联合使用完成了对 IP 核的仿真, 并对 IP 核的扩展使用也进行了仿真, 仿真结果如图 6 所示. 图 6(a)(b)为对单独的 IP 核分别设定窗口大小为  $2 \times 2$  和  $3 \times 3$  时

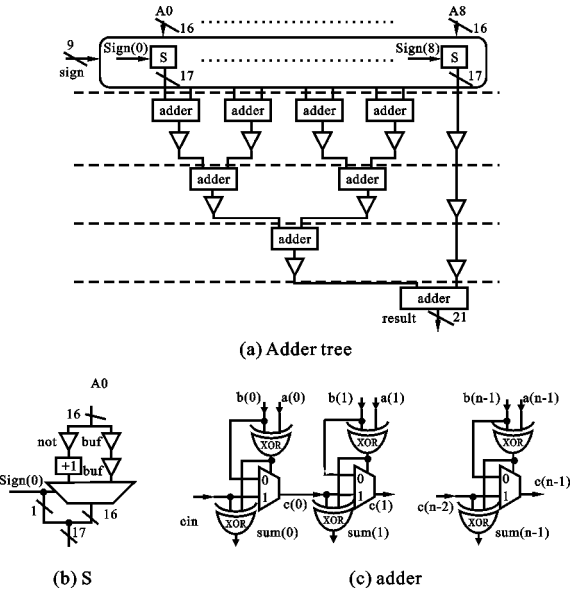


图 5 加法树整体结构、无符号数转化成有符号数与加法运算单元

的仿真结果.图 6(c)为四个 IP 核扩展得到的  $5\times 5$  窗口大小的卷积运算仿真结果.可以看出生成了四个矩阵,大小分别为  $3\times 3$ ,  $3\times 2$ ,  $2\times 3$  和  $2\times 2$ . (a), (b), (c)对应设定的卷积模板分别为

$$\begin{aligned} \text{Weight(a)} &= \begin{bmatrix} 0 & 1 \\ 1 & 0 \end{bmatrix} \\ \text{Weight(b)} &= \begin{bmatrix} 1 & 0 & 0 \\ 0 & -1 & 0 \\ 0 & 0 & 1 \end{bmatrix} \\ \text{Weight(c)} &= \begin{bmatrix} 1 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} 1 & 0 \\ 0 & 0 \\ 0 & 0 \end{bmatrix} \\ &\quad \begin{bmatrix} 1 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} 1 & 0 \\ 0 & 0 \end{bmatrix} \end{aligned}$$

通过仿真结果看出设计在满足了卷积功能的情况下达到了窗口大小和卷积系数可调的要求.

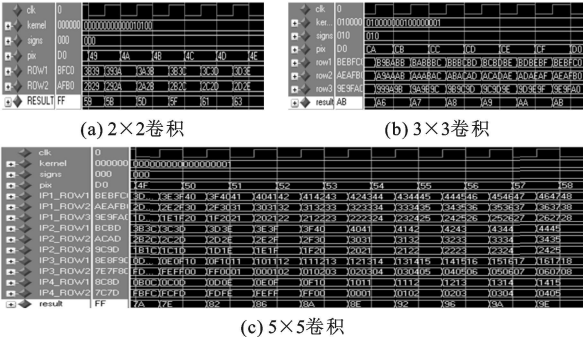


图 6 仿真结果

图 7 是本文所设计的卷积运算 IP 核在实际图像处理系统中的验证, 首先将软件生成的下载文件

下载到 XILINX 的 FPGA X3CS200 中, 在 FPGA 内通过已经设定好窗口大小和卷积系数的 IP 核来对存储在内部块存储器中的像素数据进行特定处理, 最终将结果送到 PC 上显示, 以确定结果是否正确.其中(a)为 rice 图, (b)、(d)为 rice 图分别在 FPGA 和 MATLAB 上经过 sobel 边缘提取得到的结果, (c)、(e)分别为 rice 图在 FPGA 和 MATLAB 上经过  $4\times 4$  均值滤波得到结果. sobel 边缘提取模板  $4\times 4$  均值滤波模板和分别如下:

$$\begin{aligned} \text{sobel 1} &= \begin{bmatrix} -1 & -2 & -1 \\ 0 & 0 & 0 \\ 1 & 2 & 1 \end{bmatrix} \\ \text{sobel 2} &= \begin{bmatrix} -1 & 0 & 1 \\ -2 & 0 & 2 \\ -1 & 0 & 1 \end{bmatrix} \\ 4 * 4 &= \frac{1}{16} \begin{bmatrix} 1 & 1 & 1 & 1 \\ 1 & 1 & 1 & 1 \\ 1 & 1 & 1 & 1 \\ 1 & 1 & 1 & 1 \end{bmatrix} \begin{bmatrix} 1 \\ 1 \\ 1 \\ 1 \end{bmatrix} \end{aligned}$$

虽然由于 FPGA 的硬件处理和 MATLAB 的软件处理两者本身具有一定的差异性, 得出的结果略有不同, 但可以看出本文设计满足实际应用的要求.

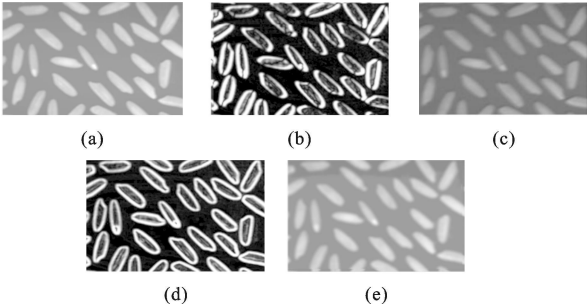


图 7 卷积 IP 核在图像处理中的应用以及与 MATLAB 处理结果对比

3 结束语

本文针对目前图像处理中卷积运算的特点, 完成了 FPGA 中图像处理卷积 IP 核的设计. 设计采用模块化的设计方法并兼顾可扩展的原则, 实现了卷积运算窗口大小和系数可通过参数改变, 增加了系统的鲁棒性, 且性能稳定, 速度快, 尤其是在节省硬件资源方面进行了很好的优化. 经过仿真验证, 该 IP 核完全满足可以实时图像中的各种卷积运算, 而且已经应用在实际的基于 FPGA 的机器视觉系统

当中,发挥了其方便,灵活和功能强大的特点.

## 参考文献:

- [1] Wiatr K, Jamro E. Implementation of image data convolutions operations in FPGA reconfigurable structures for real-time vision systems[J] // International IEEE Conference on Information Technology: Coding and Computing, Nevada: IEEE Computer Society, 2000: 152-157.
- [2] Benedetti A, Prati A, Scarabottolo N. Image convolution on FPGAs: the implementation of a multi-FPGA FIFO structure[J] // Proceedings of the 24th Euromicro Conference, Vesteras, Sweden: IEEE, 1998.
- [3] Cardells-Tormo F, Molinet P. Area-efficient 2-D shift-variant convolvers for FPGA-based digital image processing[J]. IEEE Trans Circuits Syst II: Exp Briefs, 2006, 53(2): 105-109.
- [4] Mohammad K, Agaian S. Efficient FPGA implementation of convolution[J]. IEEE International Conference on SMC 2009. San Antonio, Tx: IEEE, 2009: 3478

-3483.

- [5] Zhang Hui, Xia Mingxin, Hu Guangshu. A multiwindow partial buffering scheme for FPGA-Based 2-D Convolvers[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2007, 54(2): 200-204.
- [6] Bosi B, Bois G, Savaria Y. Reconfigurable pipelined 2-D convolvers for fast digital signal processing[J]. IEEE Trans Very Large Scale Integr (VLSI) Syst, 1999, 7(3): 229-308.

## 作者简介:

朱学亮 男, (1985-), 硕士研究生. 研究方向为专用集成电路与系统设计.

柴志雷 男, (1975-), 博士, 副教授. 研究方向为嵌入式及实时系统.

钟传杰 男, (1959-), 博士, 教授. 研究方向为半导体器件与专用集成电路设计.

张平 男, (1954-), 工程师. 研究方向为嵌入式系统产品设计与开发.

(上接第 187 页)

## 5 结束语

以上是光纤通道仲裁环 L 端口的设计思路, 并给出了 L 端口基本功能的仿真结果, 在 Xilinx 公司的 Virtex-4 FPGA 下实现了仲裁环 L 端口的硬件功能. 经测试, 该设计能够正常进行数据帧的传输和底层的错误恢复.

## 参考文献:

- [1] ANSI INCITS. Fibre Channel: Framing and Signaling [S]. ANSI, 2003.
- [2] ANSI INCITS. Fibre Channel: Arbitrated Loop [S]. ANSI, 1999.
- [3] ANSI INCITS. Fibre Channel: Avionics Environment [S]. ANSI, 2002.

- [4] 王春红, 王世奎. 基于 Vxworks 的 FC-IP 驱动程序的实现[J]. 微电子学与计算机, 2007, 24(6): 109-112.

- [5] 赵文波, 周煦林, 黄士坦. Fiber Channel 协议中 CRC 编码的硬件实现[J]. 微电子学与计算机, 2007(05): 90-92.

- [6] 余胜生, 赵玉峰, 周敬利. Fibre Channel 主机适配器的研究与设计[J]. 小型微型计算机系统, 2002, 23(6): 663-666.

- [7] 胡祺豪, 闫娟娟, 郑铮. 基于仲裁环的光纤通道性能分析[J]. 航空电子技术, 2008, 12, 39(4): 15-22.

## 作者简介:

朱治宇 男, (1986-), 硕士研究生. 研究方向为通信与信息系统.