

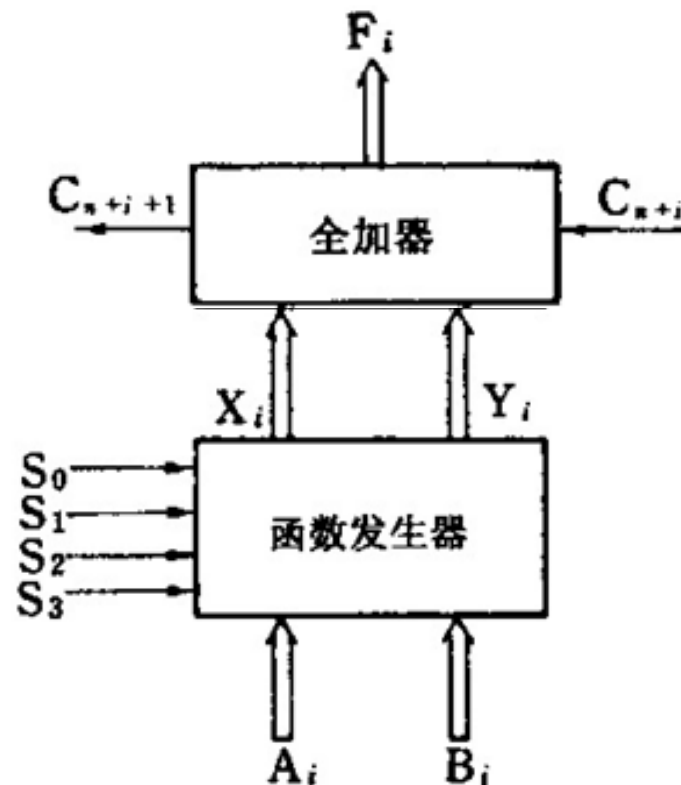
2.5 定点运算器的组成

2.5.1 运算器的功能

- 完成对二进制代码的**定点**算术和逻辑运算。
 - 算术运算：加、减、乘、除；
 - 逻辑运算：逻辑非、逻辑加、逻辑乘、逻辑异。
- 根据运算结果给出状态：有无溢出、有无进位、结果是否为零等。

2.5.2 算术逻辑运算单元 (ALU)

- 核心部件：1位全加器；
- n位全加器连同进位信号传送逻辑，可构成一个n位加法器。
- 以加法器为核心，利用函数发生器对输入信号进行逻辑选择，则扩展为具有多种算术和逻辑运算功能的ALU。



ALU的逻辑结构原理图

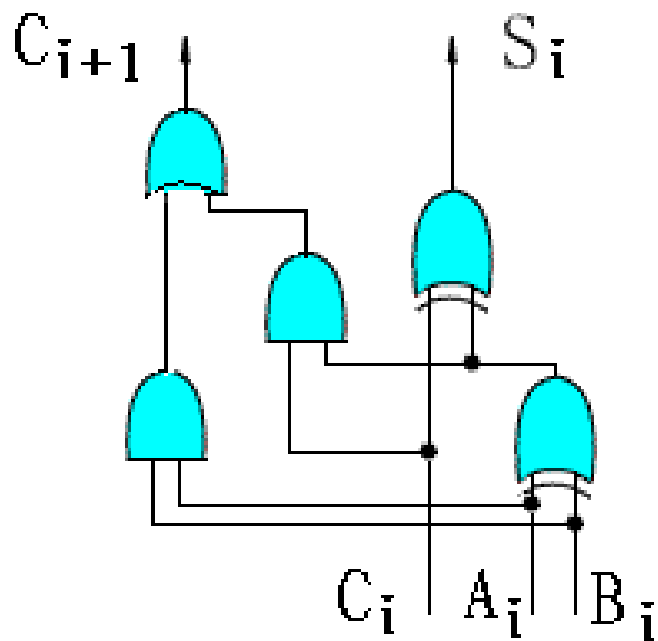
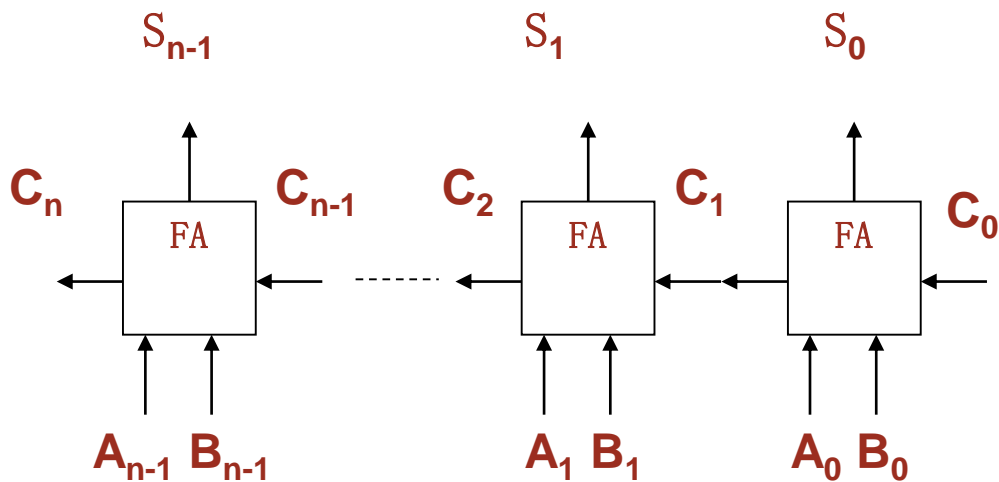
1、n位加法器的设计

□ 串行进位

优点是设计简单，成本低；

缺点是速度慢，瓶颈在进位的传递（进位链）。

思考：如何加快计算速度？



设相加的两个 n 位操作数为：

$$A = A_{n-1}A_{n-2}\Lambda A_i\Lambda A_0$$

$$B = B_{n-1}B_{n-2}\Lambda B_i\Lambda B_0$$

进位为： $C_{i+1} = A_iB_i + (A_i \oplus B_i)C_i$

设： $G_i = A_iB_i$ 进位发生输出信号

$P_i = A_i \oplus B_i$ 进位传送输出信号

则： $C_{i+1} = G_i + P_iC_i$

P_i 、 G_i 和 C_i 无关

提高运算的速度，关键在于如何加快进位的传递

$$\mathbf{C}_{i+1} = \mathbf{G}_i + \mathbf{P}_i \mathbf{C}_i$$

$$\mathbf{G}_i = \mathbf{A}_i \mathbf{B}_i$$

$$\mathbf{P}_i = \mathbf{A}_i \oplus \mathbf{B}_i$$

$$\mathbf{C}_1 = \mathbf{G}_0 + \mathbf{P}_0 \mathbf{C}_0$$

$$\mathbf{C}_2 = \mathbf{G}_1 + \mathbf{P}_1 \mathbf{C}_1$$

$$= \mathbf{G}_1 + \mathbf{P}_1 (\mathbf{G}_0 + \mathbf{P}_0 \mathbf{C}_0) = \mathbf{G}_1 + \mathbf{P}_1 \mathbf{G}_0 + \mathbf{P}_1 \mathbf{P}_0 \mathbf{C}_0$$

$$\mathbf{C}_3 = \mathbf{G}_2 + \mathbf{P}_2 \mathbf{C}_2 = \mathbf{G}_2 + \mathbf{P}_2 (\mathbf{G}_1 + \mathbf{P}_1 (\mathbf{G}_0 + \mathbf{P}_0 \mathbf{C}_0))$$

$$= \mathbf{G}_2 + \mathbf{P}_2 \mathbf{G}_1 + \mathbf{P}_2 \mathbf{P}_1 \mathbf{G}_0 + \mathbf{P}_2 \mathbf{P}_1 \mathbf{P}_0 \mathbf{C}_0$$

$$\mathbf{C}_4 = \mathbf{G}_3 + \mathbf{P}_3 \mathbf{C}_3 = \mathbf{G}_3 + \mathbf{P}_3 (\mathbf{G}_2 + \mathbf{P}_2 (\mathbf{G}_1 + \mathbf{P}_1 (\mathbf{G}_0 + \mathbf{P}_0 \mathbf{C}_0)))$$

$$= \mathbf{G}_3 + \mathbf{P}_3 \mathbf{G}_2 + \mathbf{P}_3 \mathbf{P}_2 \mathbf{G}_1 + \mathbf{P}_3 \mathbf{P}_2 \mathbf{P}_1 \mathbf{G}_0 + \mathbf{P}_3 \mathbf{P}_2 \mathbf{P}_1 \mathbf{P}_0 \mathbf{C}_0$$

P、G只和 $\mathbf{A}_i \mathbf{B}_i$ 有关， \mathbf{C}_0 初始已知

\mathbf{C}_{i+1} 的求解不再依赖于 \mathbf{C}_i

□ 并行进位（先行进位、同时进位）

$$C_1 = G_0 + P_0 C_0$$

$$\overline{\overline{C_1}} = \overline{\overline{G_0 + P_0 C_0}} = \overline{\overline{G_0} \overline{P_0} \overline{C_0}} = \overline{\overline{G_0} \overline{P_0}} + \overline{\overline{G_0} \overline{C_0}}$$

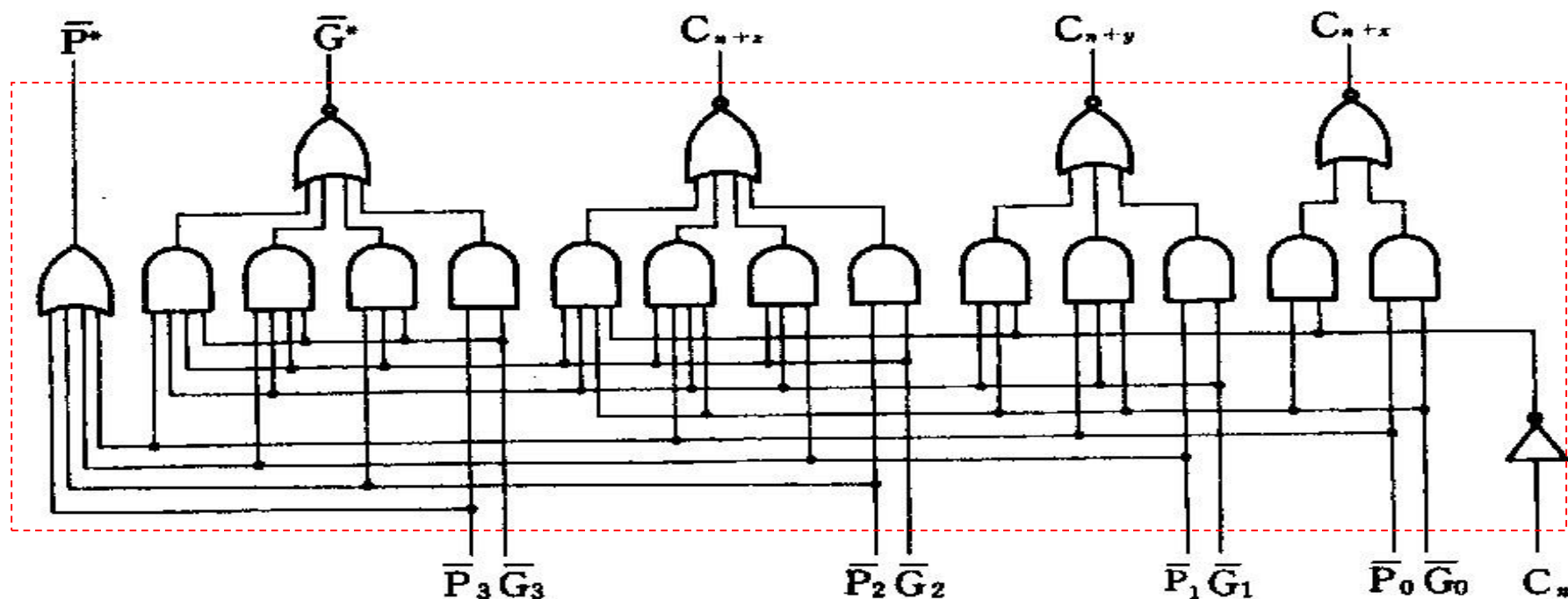
$$C_2 = G_1 + P_1 G_0 + P_1 P_0 C_0$$

$$C_3 = G_2 + P_2 G_1 + P_2 P_1 G_0 + P_2 P_1 P_0 C_0$$

$$C_4 = G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 G_0 + P_3 P_2 P_1 P_0 C_0$$

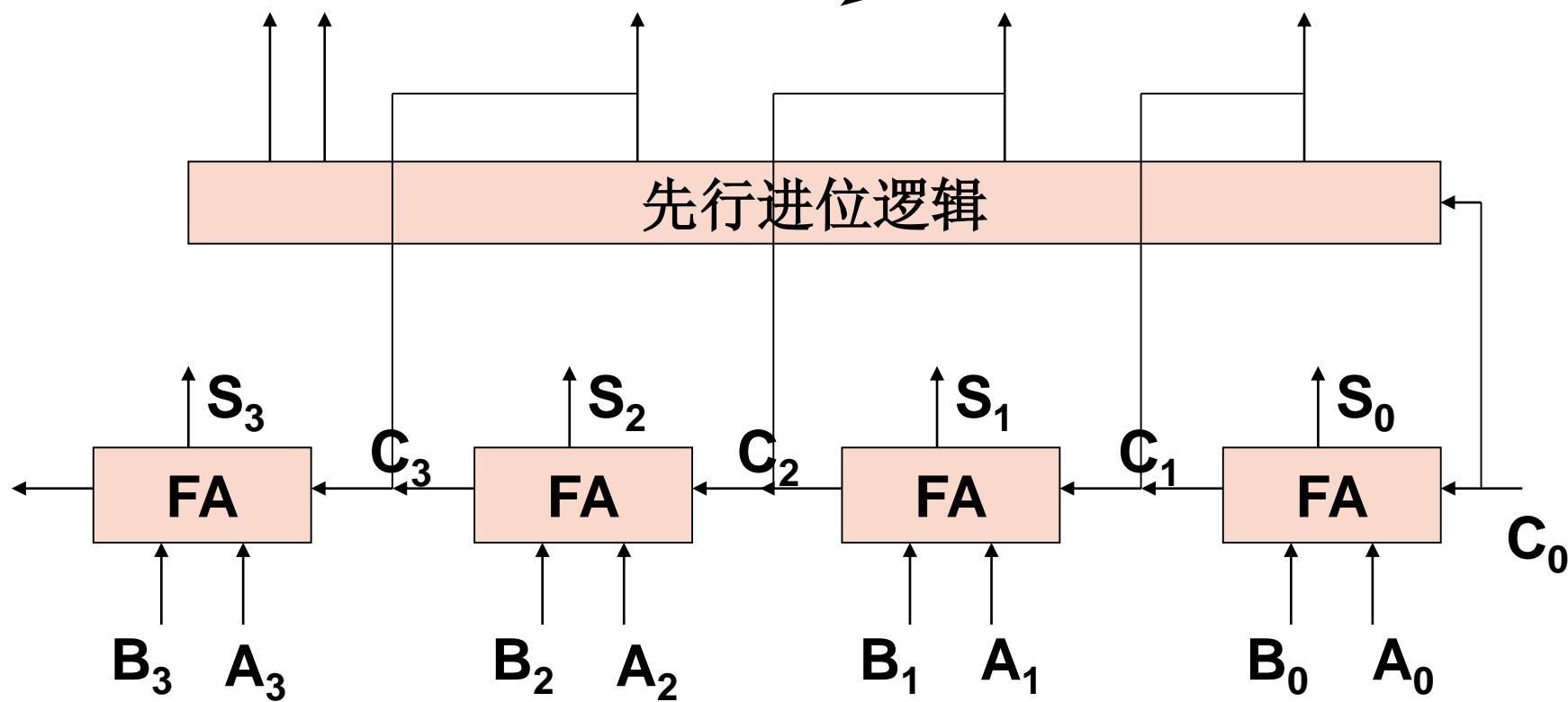
$$= G'_0 + P'_0 C_0$$

4位进位链线路图（先行进位芯片74182逻辑图）



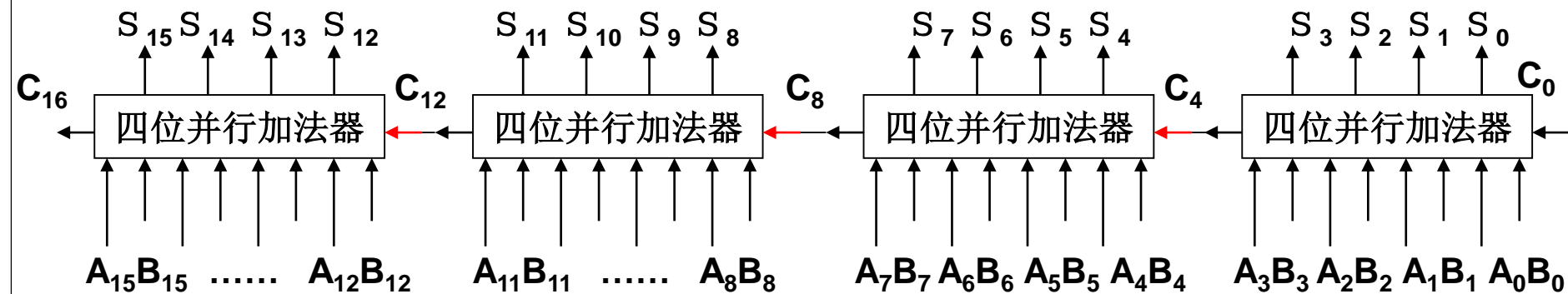
4位并行进位并行加法器设计

速度的加快是以增加硬件成本为代价的



16位并行进位并行加法器设计

- 组内并行、组间串行的进位链



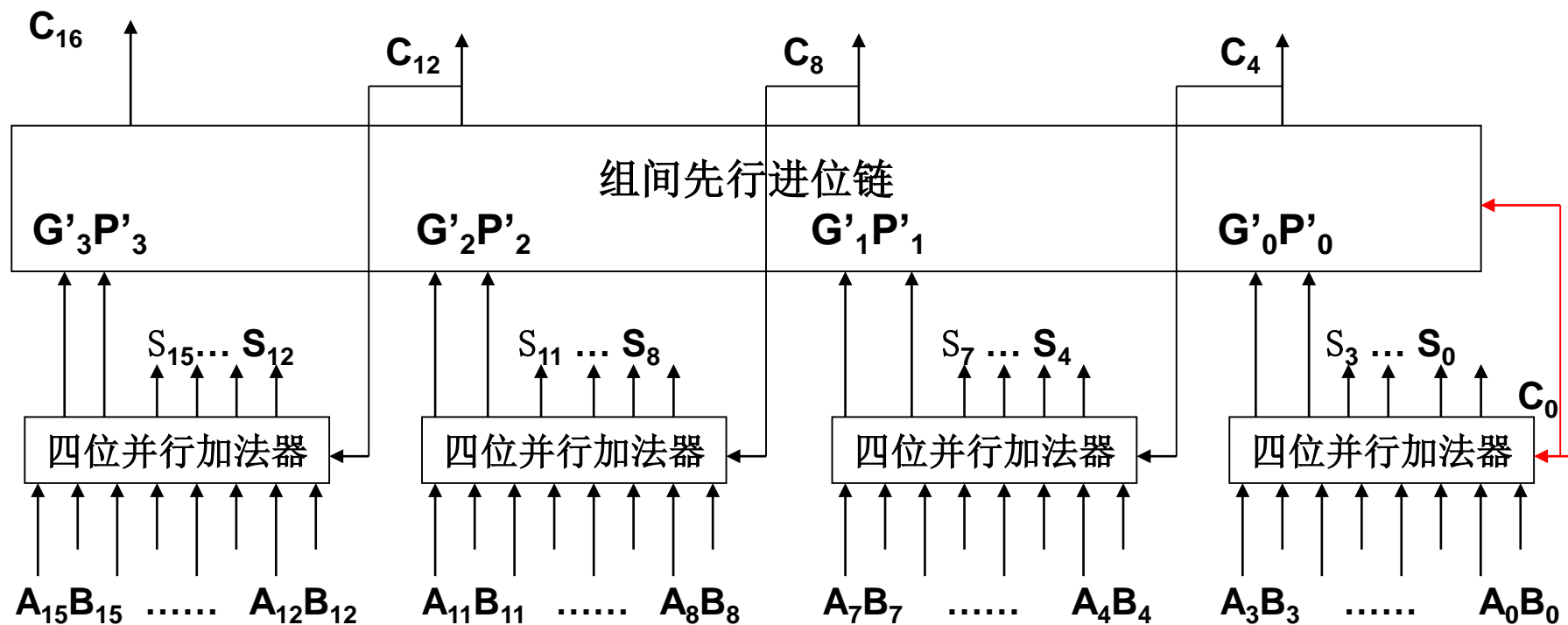
- 组内并行、组间并行的进位链

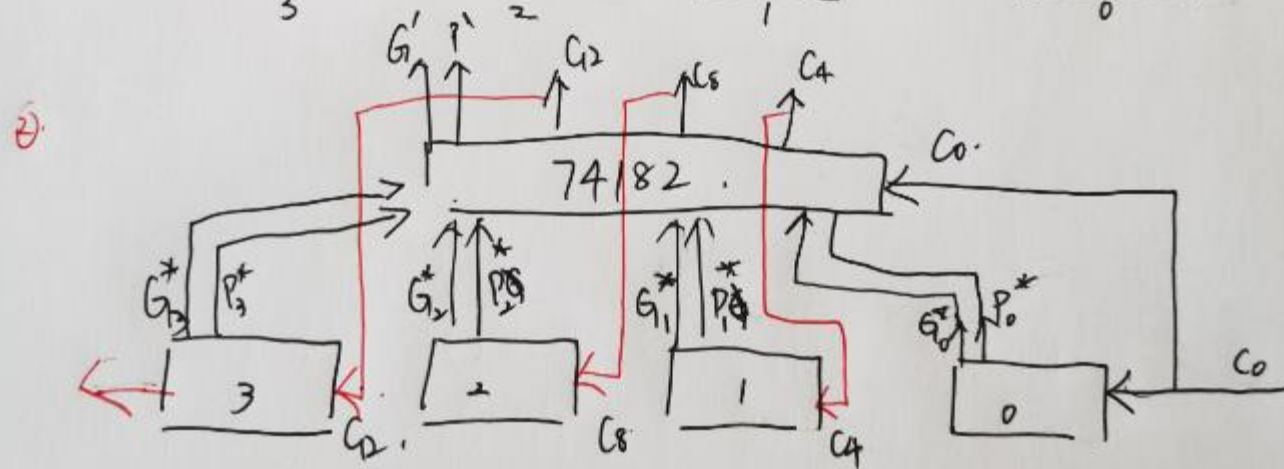
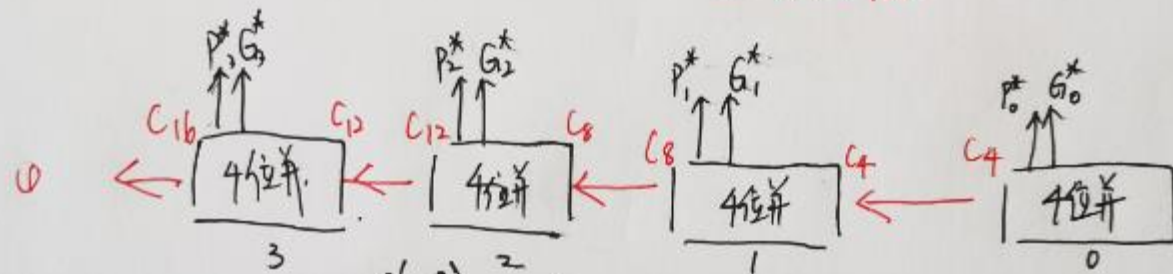
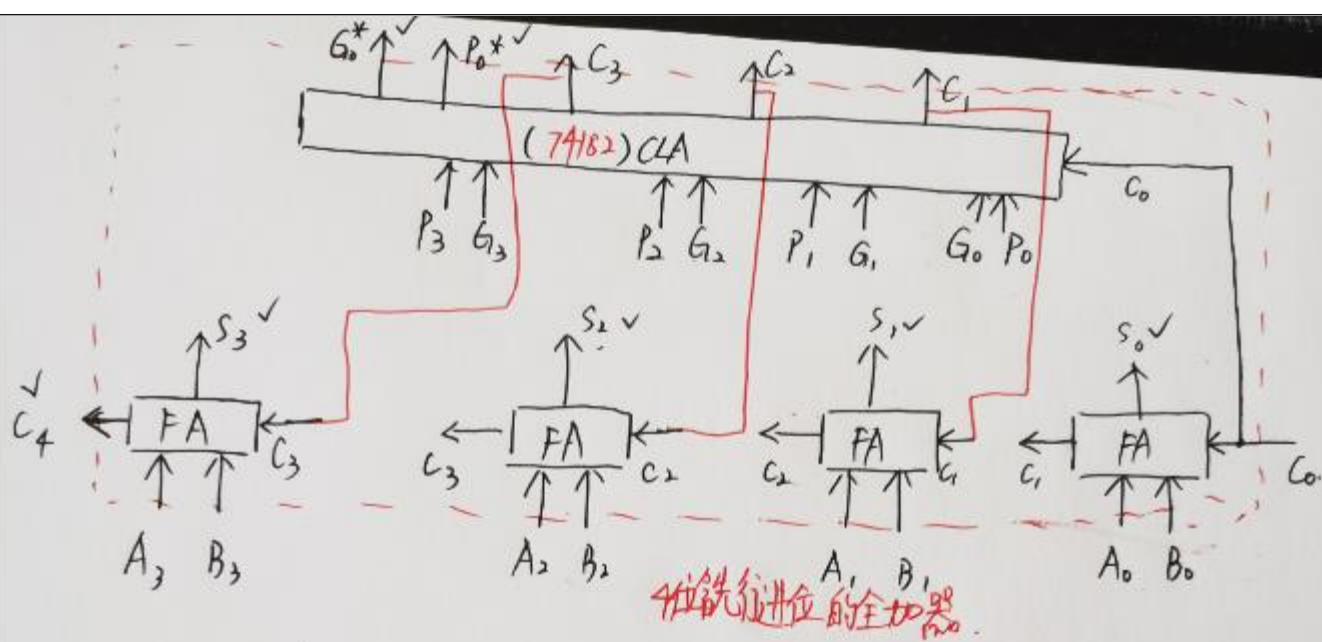
$$C_4 = G_3 + P_3 C_3 = G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 G_0 + P_3 P_2 P_1 P_0 C_0$$

$$= G'_0 + P'_0 C_0$$

G'_0 : 成组进位发生输出信号
送输出信号

P'_0 : 成组进位传





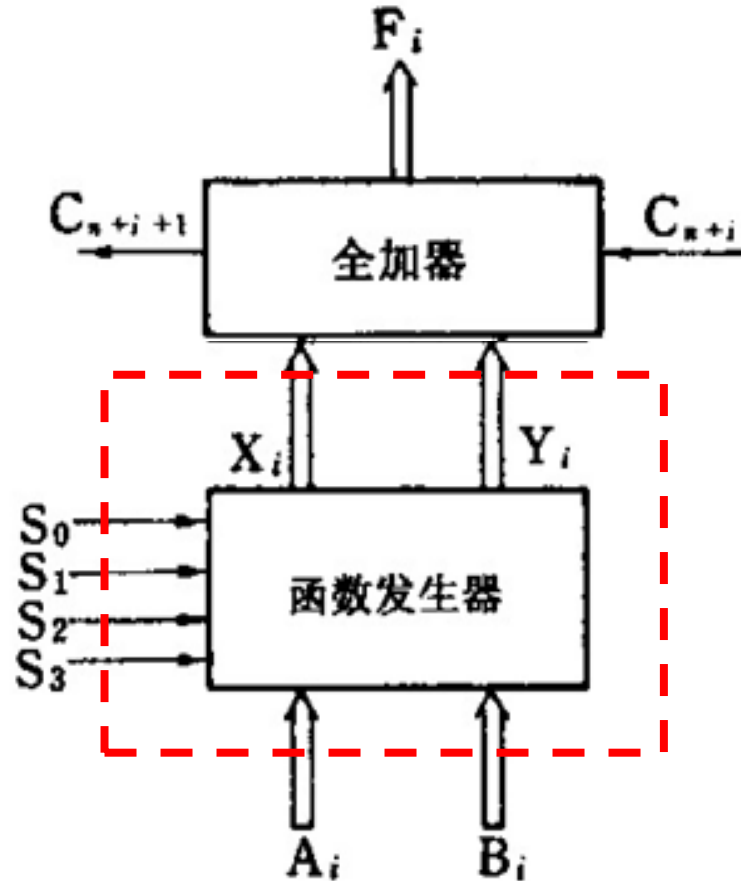
2、多种算术逻辑运算的实现

- 控制参数 S_0 、 S_1 、 S_2 、 S_3 控制输入 A_i 、 B_i 进行不同的逻辑组合，生成 X_i 、 Y_i 的函数

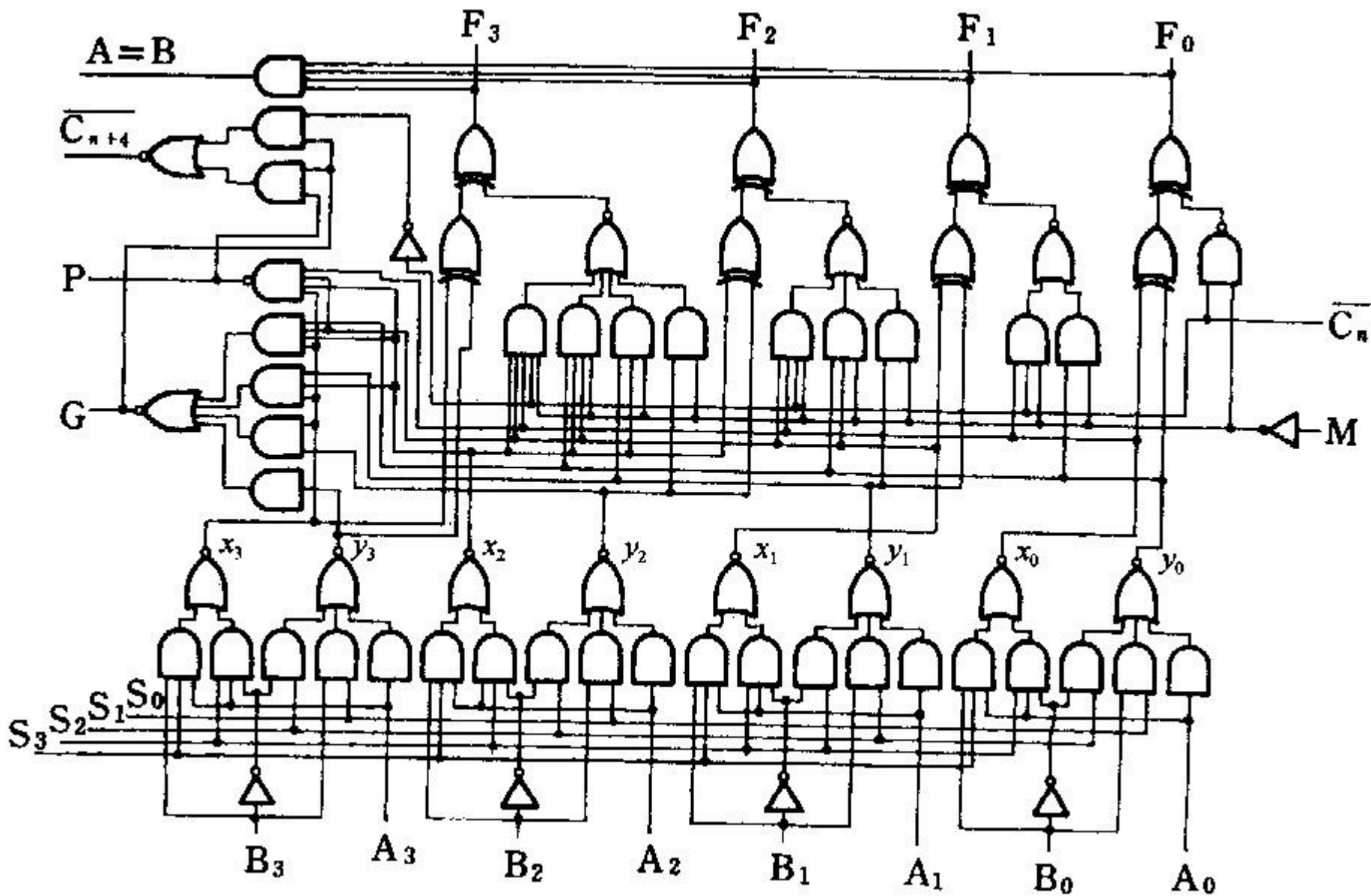
$$X_i = \overline{S_3 A_i B_i + S_2 A_i \overline{B_i}}$$

$$Y_i = \overline{A_i + S_0 B_i + S_1 \overline{B_i}}$$

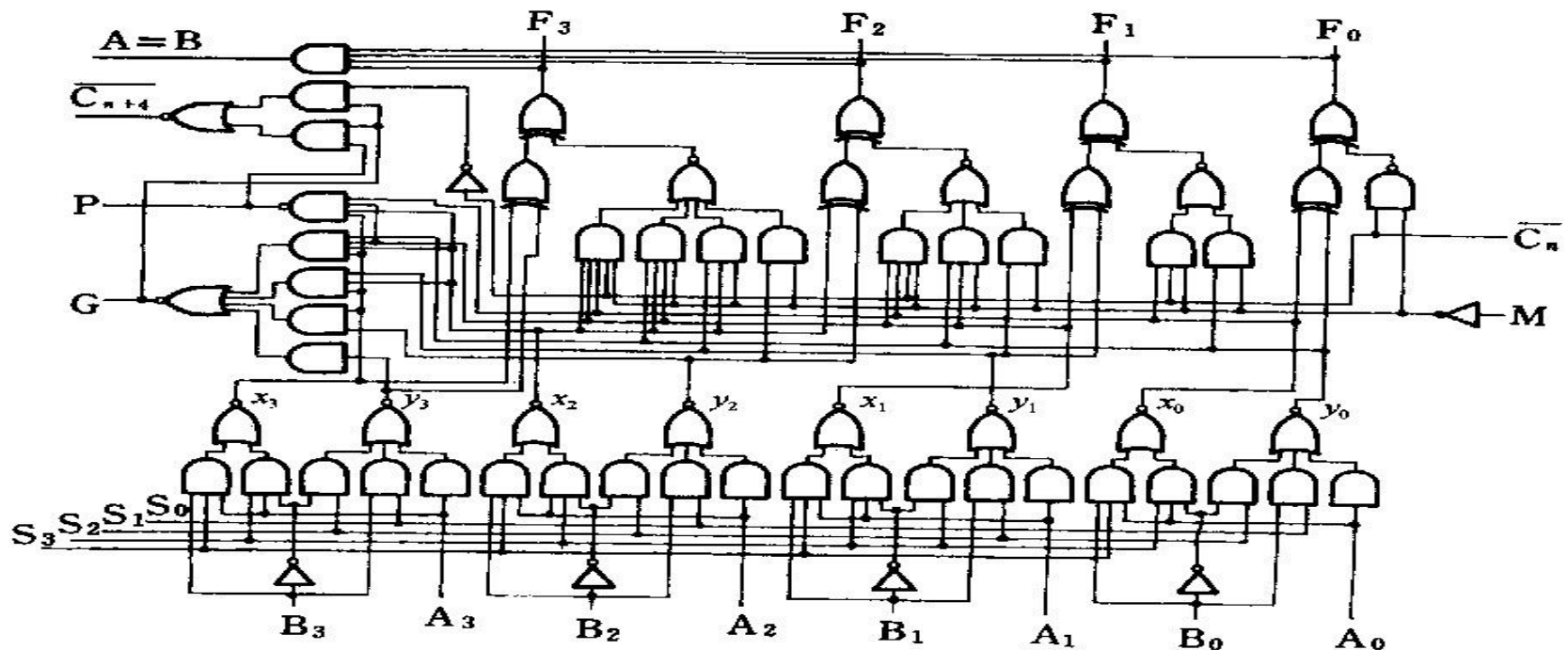
则： $F_i = X_i \oplus Y_i \oplus C_{n+i}$



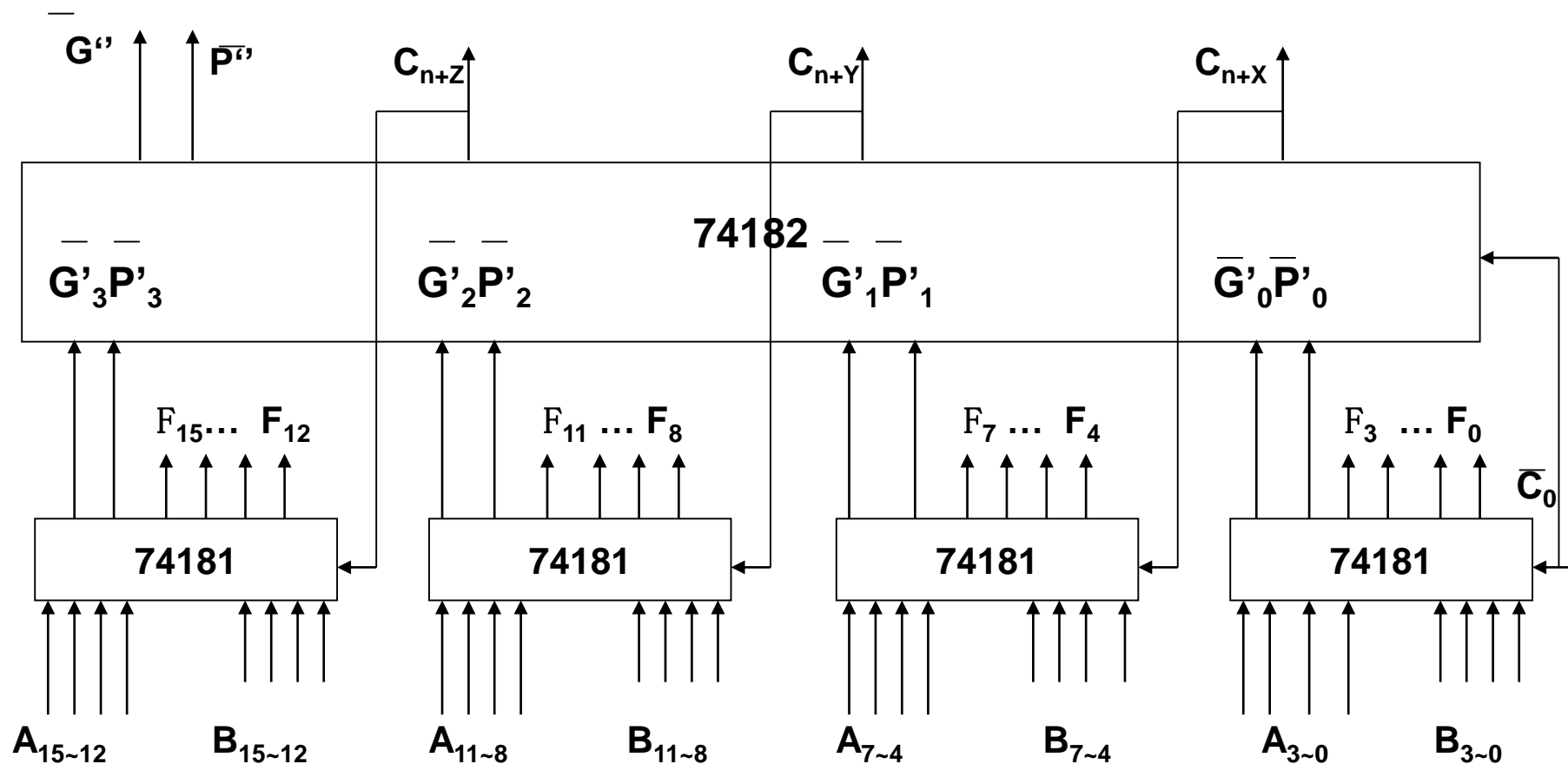
74181 ALU 逻辑电路图（4位，正逻辑）



- 控制端M：选择运算器的操作类型
 - 为0，算术运算
 - 为1，逻辑运算
- 两种工作方式：正逻辑操作、负逻辑操作
- 共能进行16种算术运算和16种逻辑运算



运用4片74181（4位）和一片74182构成16位组内、组间先行进位加法器设计



思考：如何扩展为32位ALU？

2.5.3 定点运算器的基本结构

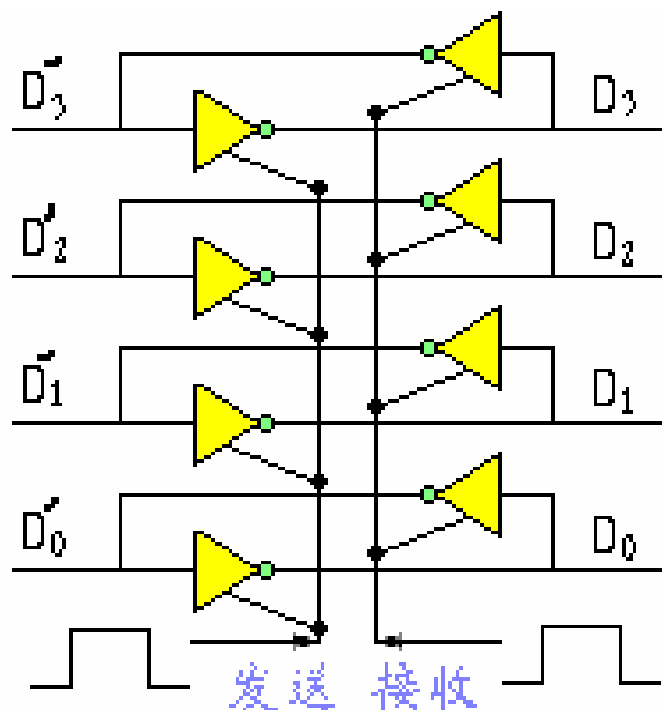
- 运算器包括：ALU、阵列乘除器、寄存器、数据总线等。
- 运算器的设计主要围绕ALU和寄存器同数据总线之间如何传送操作数和运算结果进行

1、内部总线

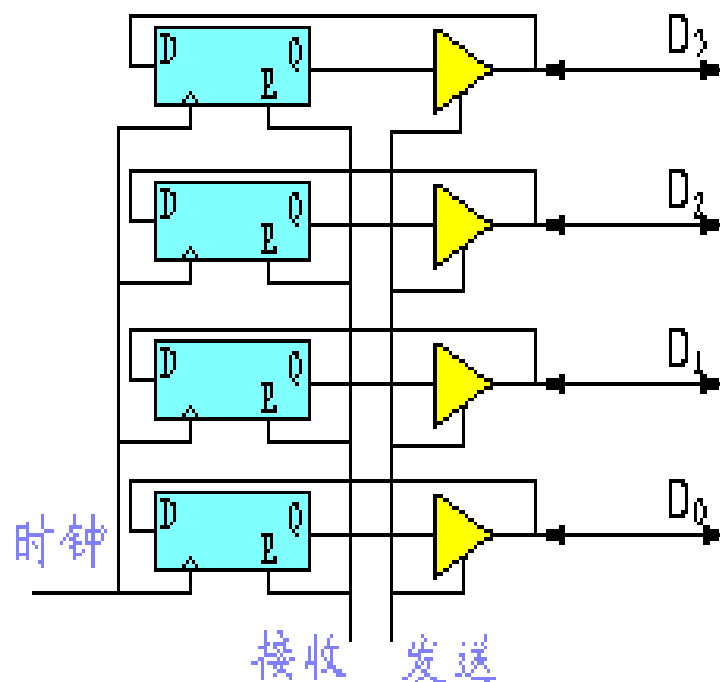
- 总线：是连接计算机系统各个部件和装置的线路，是多个信息源传送信息到多个目的地的数据通路。
- 总线的分类：
 - 根据总线所在位置分：
 - 内部总线：指CPU内各部件的连线
 - 外部总线：也称系统总线，是CPU与存储器、I/O系统之间的连线。

- 按总线的逻辑结构分：

- 单向传送总线：指信息只能向一个方向传送；
- 双向传送总线：指信息可以分两个方向传送。



带有缓冲器的双向数据总线

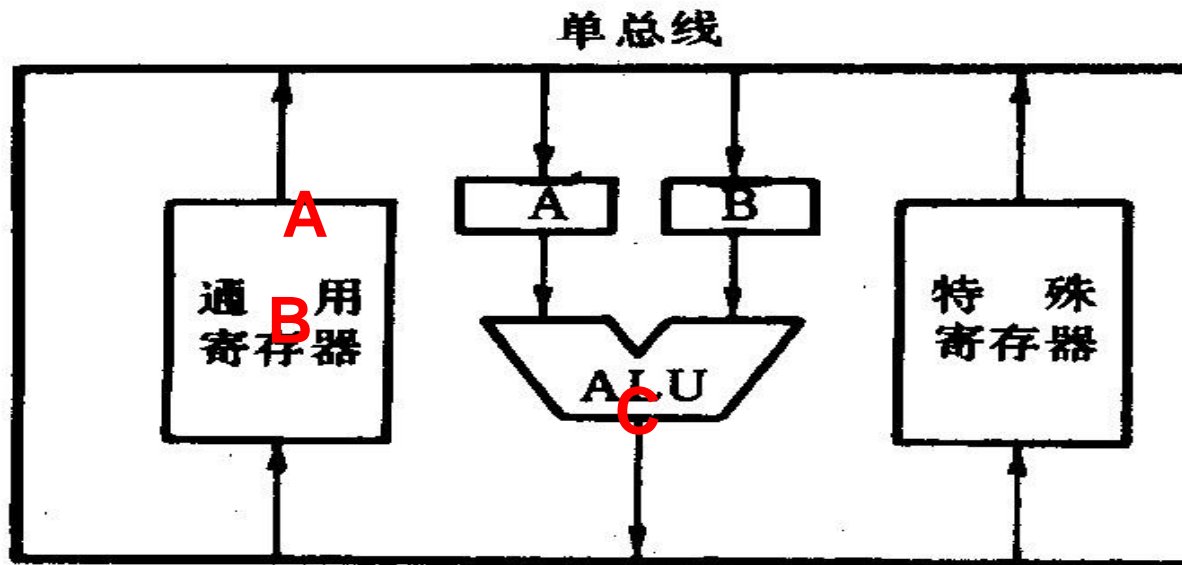


带有锁存器的4位双向数据总线

1、定点运算器的基本结构

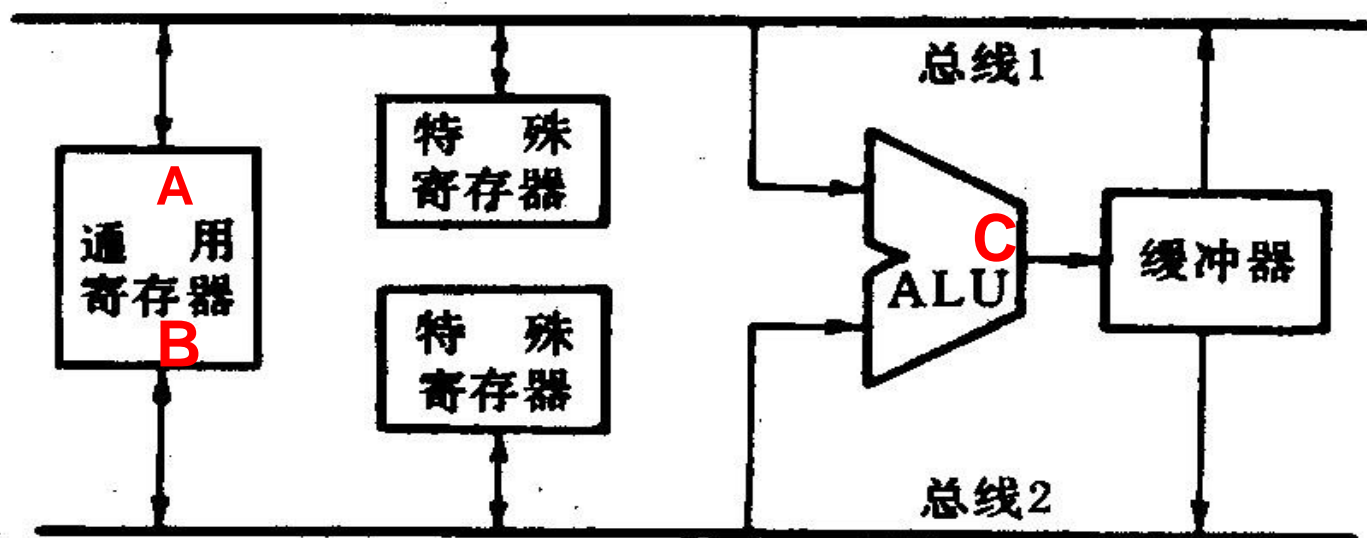
□单总线结构运算器：

- 优点：设计、控制简单；
- 缺点：速度慢。



❑ 双总线结构运算器：

- 缺点：设计、控制较复杂；
- 优点：速度快。



□ 三总线结构运算器：

- 缺点：设计、控制复杂；
- 优点：速度最快。

