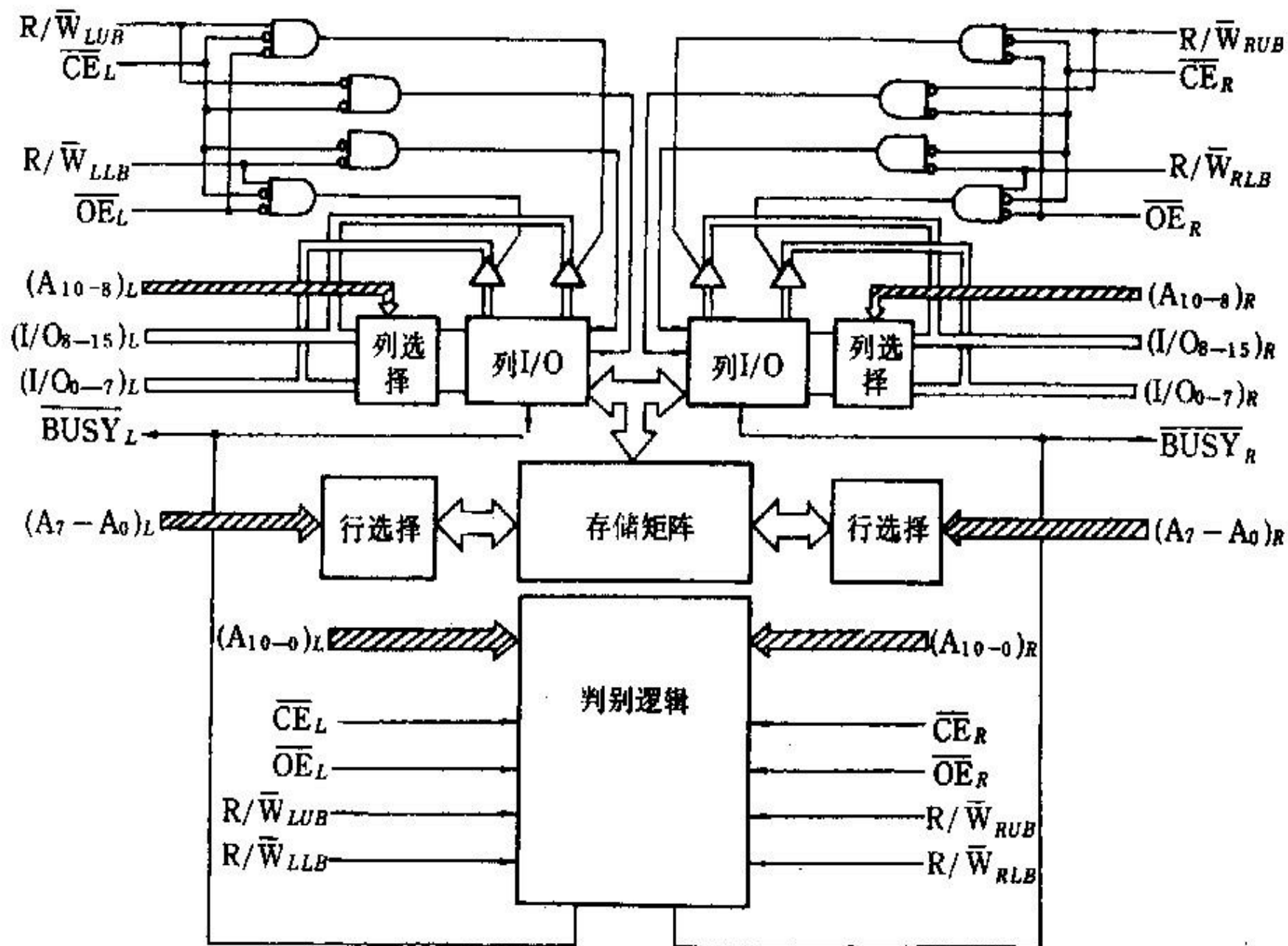


3.5 并行存储器

3.5.1 双端口存储器

- 特点：一个存储器具有两组相互独立的读写控制线路（地址线、数据线和控制线）。从而，两个端口可以进行并行的独立操作。

- 逻辑结构: IDT7133 : 2KX16 SRAM



- 无冲突读写控制

- 当两个端口的地址不相同时，在两个端口上可分开进行读写操作，且不会发生冲突。
 - R / \overline{W} ：读写控制信号，高时为读，低时为写，且高8位和低8位分开控制。
 - \overline{CE} ：端口片选信号，低有效。
 - \overline{OE} ：输出控制信号（读控制），低有效。

- 有冲突读写控制

- 当两个端口同时存取存储器同一存储单元时，发生读写冲突，由判断逻辑电路作选择。
 - \overline{BUSY} ：关闭端口信号，低电平有效，即读写操作对BUSY变为低电平的端口不起作用。

3.5.2 多模块交叉存储器

存储器由若干个模块组成，有两种不同的编址（组织）方式

□ 顺序编址

□ 交叉编址

假设，一个存储器包含2个存储体，共16个存储单元

体0	体1
0	8
1	9
2	10
...	...
7	15

同一个体内，相邻
单元物理地址连续

体0	体1
0	1
2	3
4	5
...	...
14	15

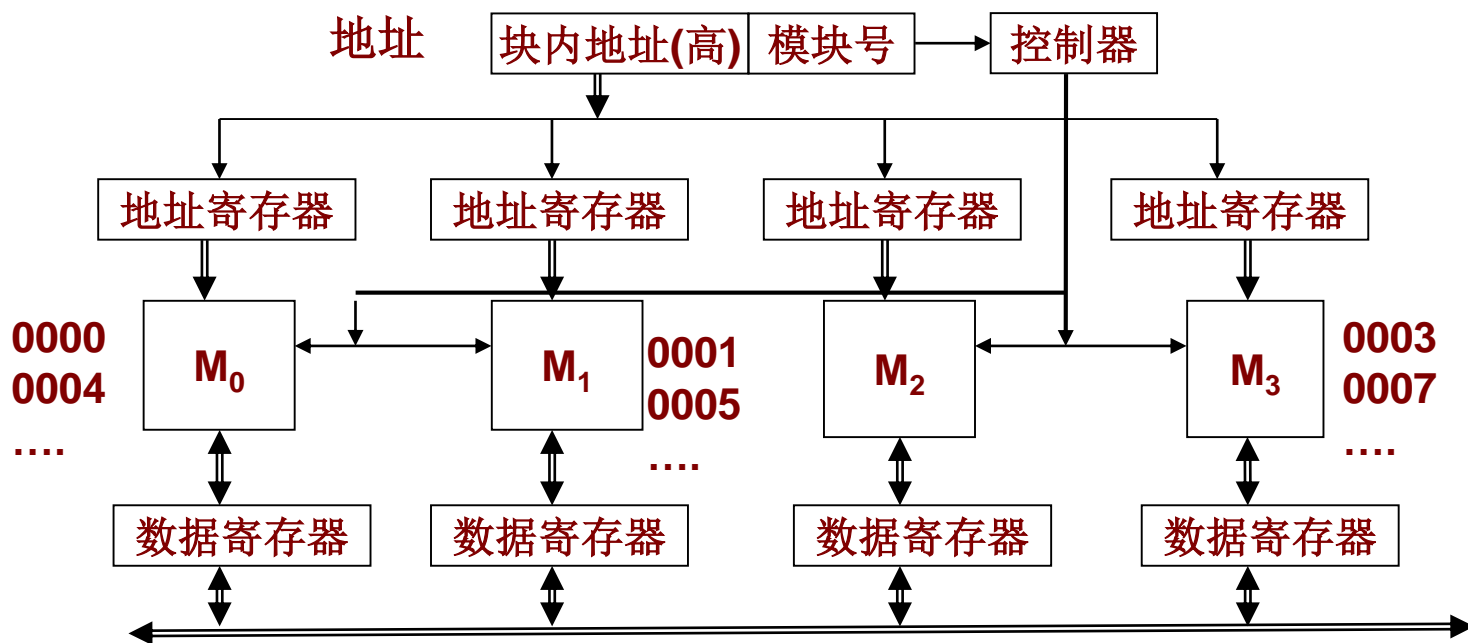
同一个体内，相邻单元物理地址
不连续，相距 m （ m 为体数）

多模块交叉存储器的特点

由若干个模块组成，对存储器的寻址采用**交叉方式**操作。

- 每个模块地址线、数据线和控制线独立，采用交叉编址方式，一段时间内同时访问 m 个存储器。
- 设存储周期为 T ，总线传送周期为 t ，（ $t < T$ ）模块数为 m ，则 $T \leq mt$
- 交叉存取度： T/t 。
- 连续读取 m 个字的时间： $t_1 = T + (m-1)t$

4体交叉
原理图



例 设存储器容量为32字，字长64位，模块数 $m=4$ ，分别用顺序方式和交叉方式进行组织。存储周期 $T=200\text{ns}$ ，数据总线宽度为64位，总线传送周期 $\tau=50\text{ns}$ 。问顺序存储器和交叉存储器的带宽各是多少？

● 【解】

读出 $m=4$ 个字的信息总量是： $q=64\text{位} \times 4=256\text{位}$

顺序存储器读出4个字所需的时间是：

$$t_2 = mT = 4 \times 200\text{ns} = 800\text{ns};$$

交叉存储器读出4个字所需的时间是

$$t_1 = T + (m-1)\tau = 200\text{ns} + 3 \times 50\text{ns} = 350\text{ns}$$

顺序存储器和交叉存储器的带宽分别是：

$$W_2 = q/t_2 = 256 \div (8 \times 10^{-7}) = 32 \times 10^7 \text{ [位/s]};$$

$$W_1 = q/t_1 = 256 \div (3.5 \times 10^{-7}) = 73 \times 10^7 \text{ [位/s]}$$