

计算机组成原理A

第3章 单元测试分析

第3单元测试

1、某计算机字长为16位，其存储容量为4KB，若按字编址，它的寻址范围是（ ）。

- A. 4K B. 0.5K C. 8K **D. 2K**

分析： 地址数量（寻址范围） = 4KB（存储容量）/16bit（字长） = 2K

2、下列说法正确的是（ ）。

- A. 多体交叉存储器主要是解决扩容容量问题；
B. cache与主存统一编址，cache的地址空间是主存地址空间的一部分；
C. 主存都是由易失的随机读写存储器构成的；
D. cache的功能主要由硬件实现。

分析： 多体交叉存储器的设计主要是为了提高读写的速度。

Cache与主存是独立编址的，Cache的功能一般都是由硬件实现。

主存的主要组成部分包括RAM和ROM。

3、下列因素中，与cache的命中率无关的是（ ）。

- A. 主存的存取时间 B. 块的大小 C. cache的组织方式 D. cache的容量

分析： Cache的命中率反应程序运行中，到Cache中获取数据占访存总次数的比例。Cache的容量越大、块的容量越大，Cache的命中率相应提高。Cache如何组织对其命中率直接产生影响。而主存的存取时间与命中率无关。

4、某DRAM芯片的内部的存储单元为 128×128 结构。该芯片每隔2ms至少刷新一遍，且刷新一次是通过对内部读操作和写操作实现的。设存储器读写周期是500ns，采用分散（异步）刷新时，则刷新信号周期可以采用（ ）。

- A. 15us B. 15.6us C. 2ms D. 0.5us

分析： 最大刷新闻隔时间 = $2\text{ms}/128\text{行} = 15.625\text{us}$

刷新信号周期需小于最大间隔，且为读写周期整数倍，因此15us可取

5、存储周期是指（）。

A. 存储器读出时间

B. 存储器进行连续读或写操作所允许的最短时间

C. 存储器写入时间

D. 存储器进行连续写操作所允许的最短时间

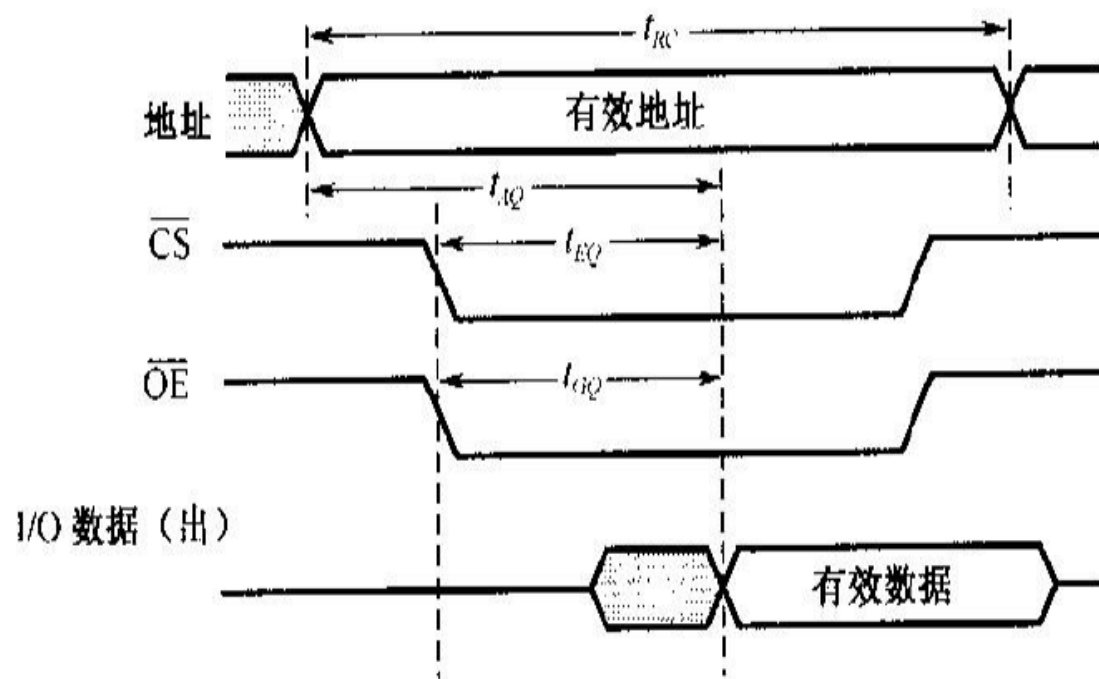
分析： 区分读出时间、写入时间和存储周期（读写周期时间）的区别。

6、设存储器容量为32字，字长64位，模块数 $m=4$ ，分别用顺序方式和交叉方式进行组织。存储周期 $T=200\text{ns}$ ，数据总线宽度为64位，总线传送周期 $\tau=50\text{ns}$ 。若连续读出4个字，则顺序存储器方式读出时间是___800___ns，交叉存储器的读出时间是___350___ns。

分析： 顺序读出时间： $4 * T = 800\text{ns}$

交叉读出时间： $T + (4-1) * \tau = 350\text{ns}$

简答题1：下图是存储器的读周期，请简要分析一个完整的读数据过程，并说明每一步的数据流向。



答题要点：

- ① CPU向存储器发出读的目标地址；
- ② CPU向存储器发出片选信号、读写控制信号；
- ③ 存储器将读出的数据送到数据线上，送往CPU；
- ④ CPU撤销片选、读写控制信号；
- ⑤ 存储器不再往数据总线上送数据CPU给出下一次读/写的目标地址

简答题2：有一个处理机，主存容量16K×32位，cache容量64×32，主存与cache之间以每块4×32位大小传送数据，若采用直接映射方式，请说明：

- (1) 主存、cache的地址格式；
- (2) 标记存储器容量；
- (3) 给出主存地址为36ABH所对应的块，映射到Cache的行地址及对应标记存储器内存储的值

(1) Cache地址格式

行号 (4位)	行内字 (2位)
---------	----------

(2) 标记存储器容量：

8位 * 16行 = 16B

主存地址格式

Tag (8位)	行号 (4位)	块内字 (2位)
----------	---------	----------

(3) 36ABH: 11011010 1010 11

映射到的行地址是： 1010； 对应标记存储器内的值： 11011010

综合题：某机器中，已知配有一个地址空间为0000H~3FFFH 的ROM 区域。现用一种RAM 芯片（16K×16）形成32K×16 位的RAM 区域，起始地址为6000H。假设RAM 芯片有CS#（低有效）和 WE#（低表示写）两个信号控制端。CPU 的地址总线为A15~A0，数据总线为D15~D0，控制信号为（读/写）R/W#，MREQ#（访存允许），请回答：

- (1) CPU 可访问的最大存储空间是多少？
- (1) 存储空间由地址线数量决定，
 $2^{16} = 64K$
- (2) 表列出地址译码方案。
- (3) 画出CPU 与RAM 芯片之间的连接图（要求用138 译码器实现地址译码）

(2)

A ₁₅	A ₁₄	A ₁₃	A ₁₂	A ₁₁	A ₀	
0	0	0	0	0	0	ROM (16K)
0	0	1	1	1	1	
0	1	1	0	0	0	空
1	0	0	1	1	1	RAM0 (16K)
1	0	1	0	0	0	
1	1	0	1	1	1	RAM1 (16K)

地址译码方案：

$$CS_{ROM} = A_{15} \# A_{14} \# A_{13} \# + A_{15} \# A_{14} \# A_{13}$$
$$= Y0 + Y1$$

$$CS_0 = A_{15} \# A_{14} A_{13} + A_{15} A_{14} \# A_{13} \#$$
$$= Y3 + Y4$$

$$CS1 = A_{15} A_{14} \# A_{13} + A_{15} A_{14} A_{13} \#$$
$$= Y5 + Y6$$

(3) 连接图

