

# 计算机组成原理实践

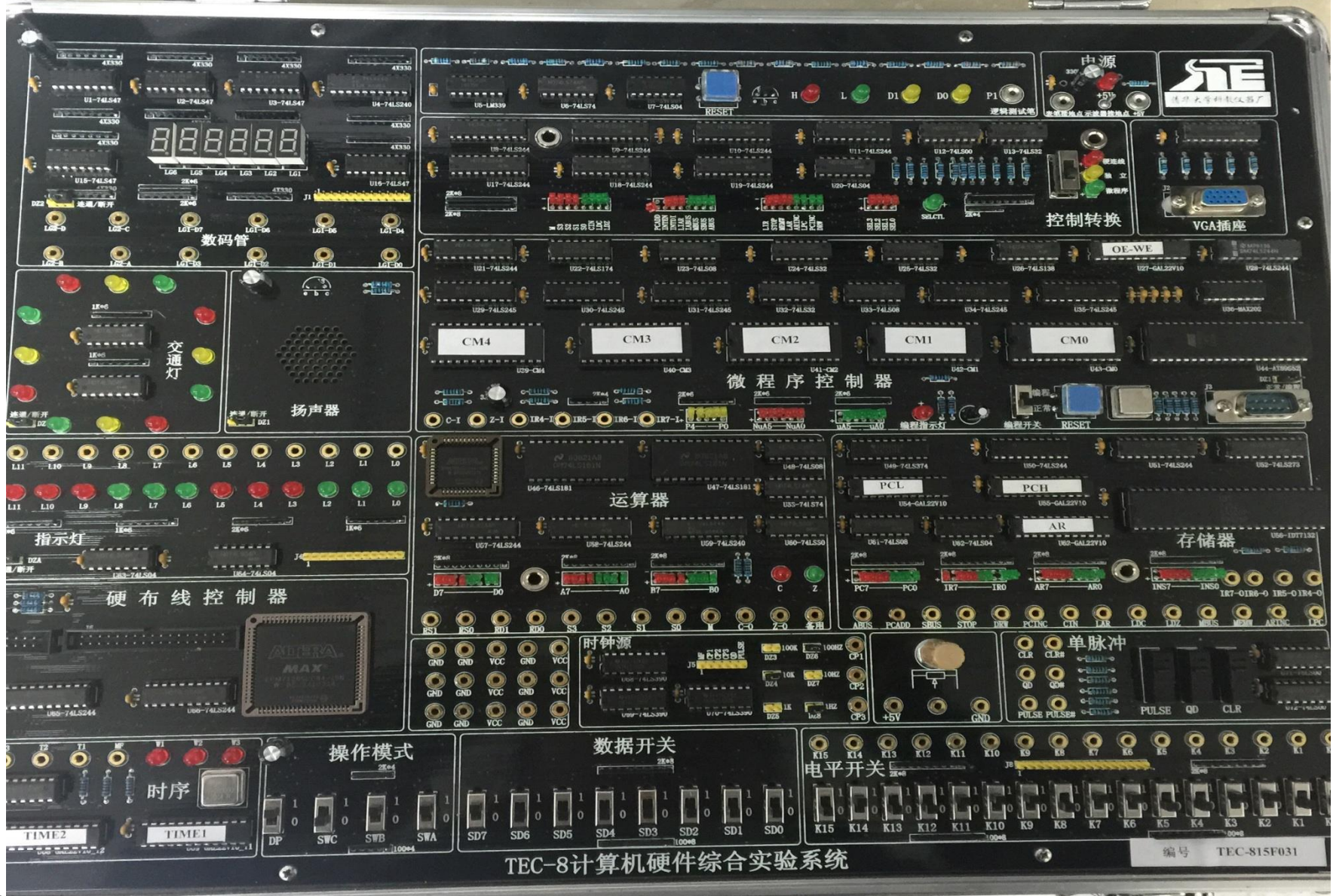
数学与计算机科学学院

林嘉雯

**ljw@fzu.edu.cn**

# TEC-8 概述

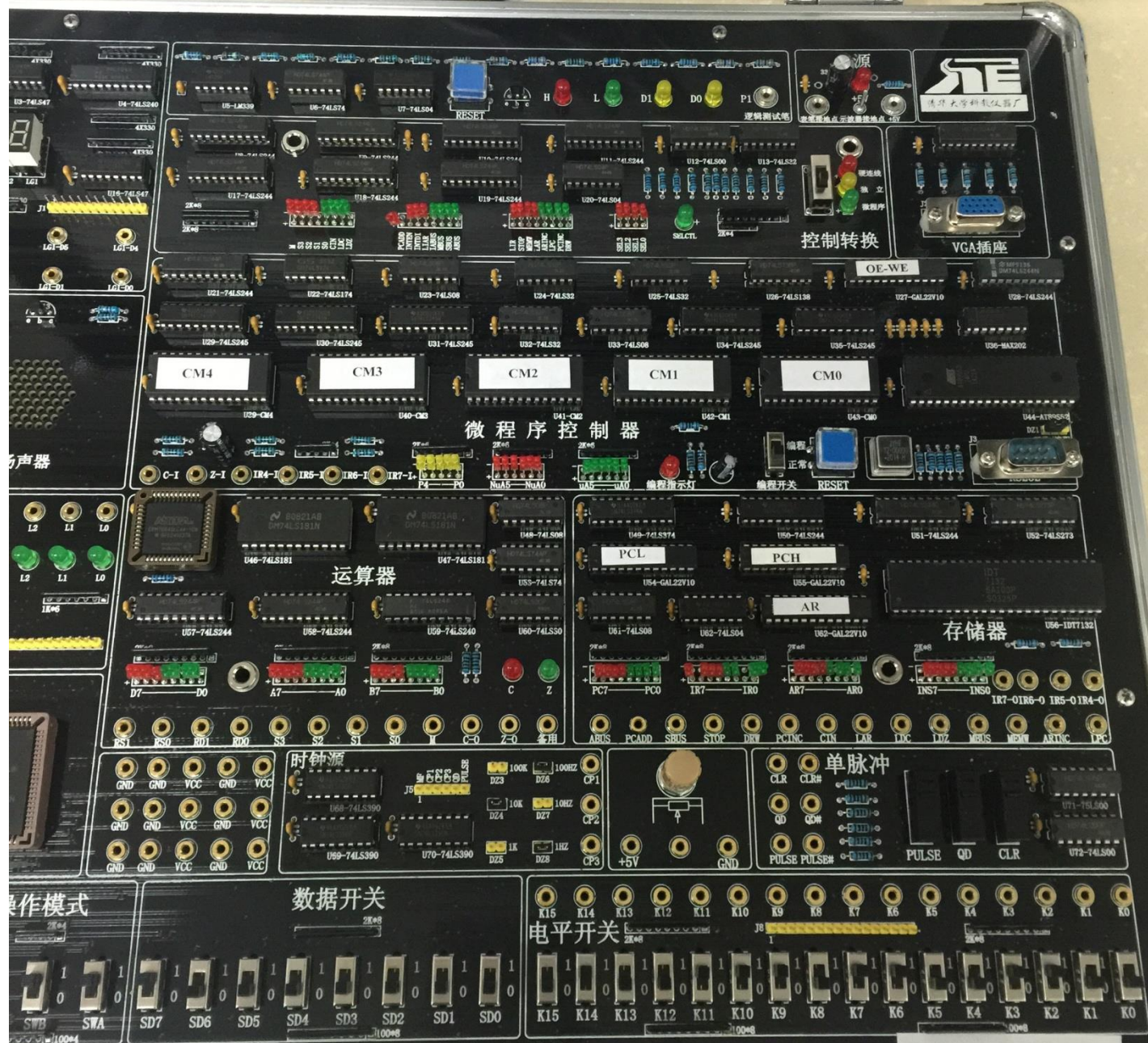
- 由电源模块、数字逻辑实验区、模型计算机三个部分组成。
- 实验系统机器模型的字长为8位。指令系统采用4位操作码。
- 使用双端口存储器，采用数据总线和指令总线双总线体制，并实现指令流水功能。
- 控制器采用微程序控制器、硬连线控制器和独立控制三类。
- 控制台功能丰富



TEC-8计算机硬件综合实验系统

编号 TEC-815F031





# TEC-8 概述

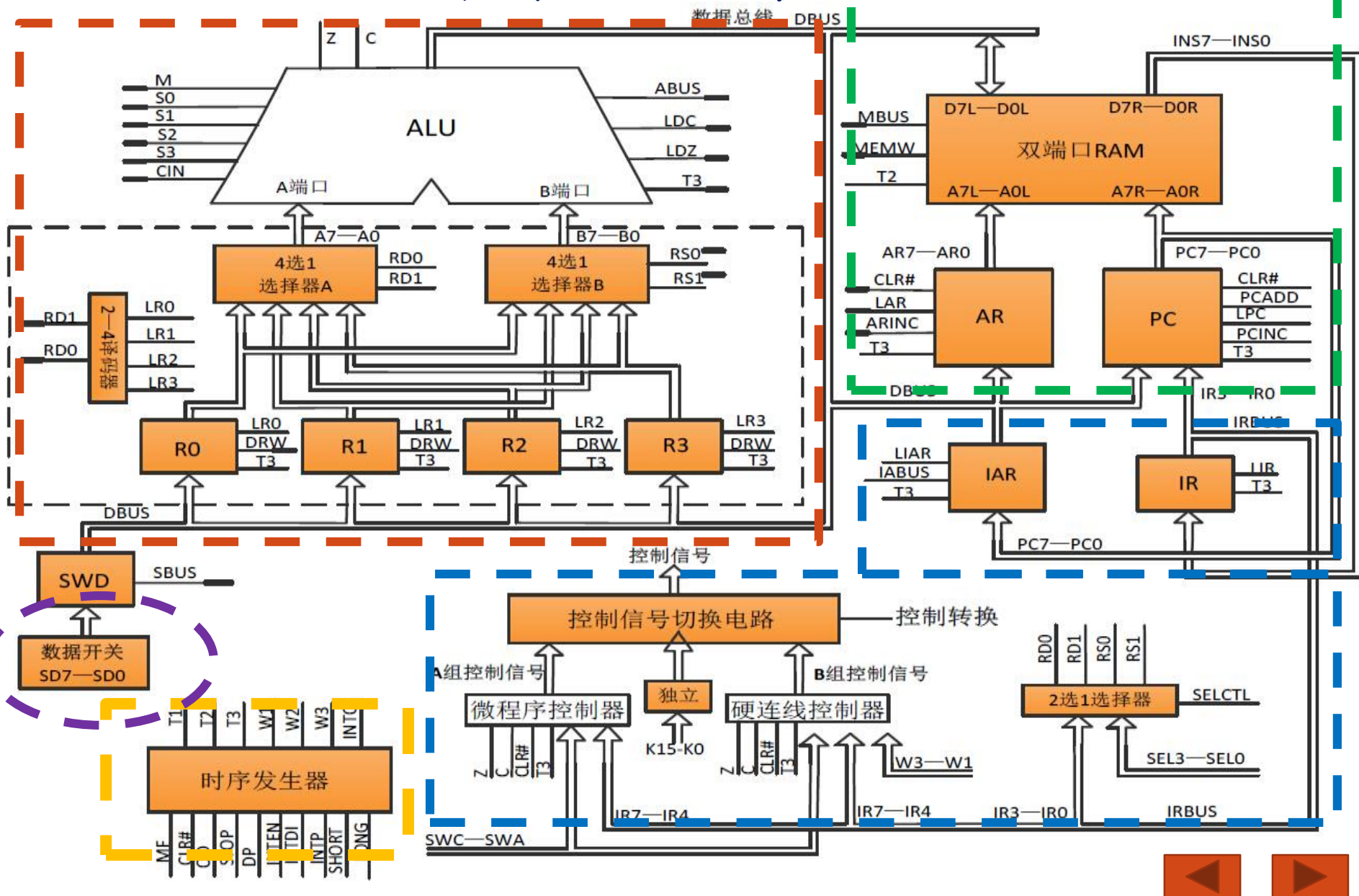
模型计算机主要由以下几个部分组成：

- 运算器
  - 存储器
  - 控制器
  - 时序电路
  - 数据输入开关
  - 结果显示灯
- } 操作控制台

此外，为了更好的实验，操作台还设有一些按钮与开关。



# TEC-8 模型计算机框图





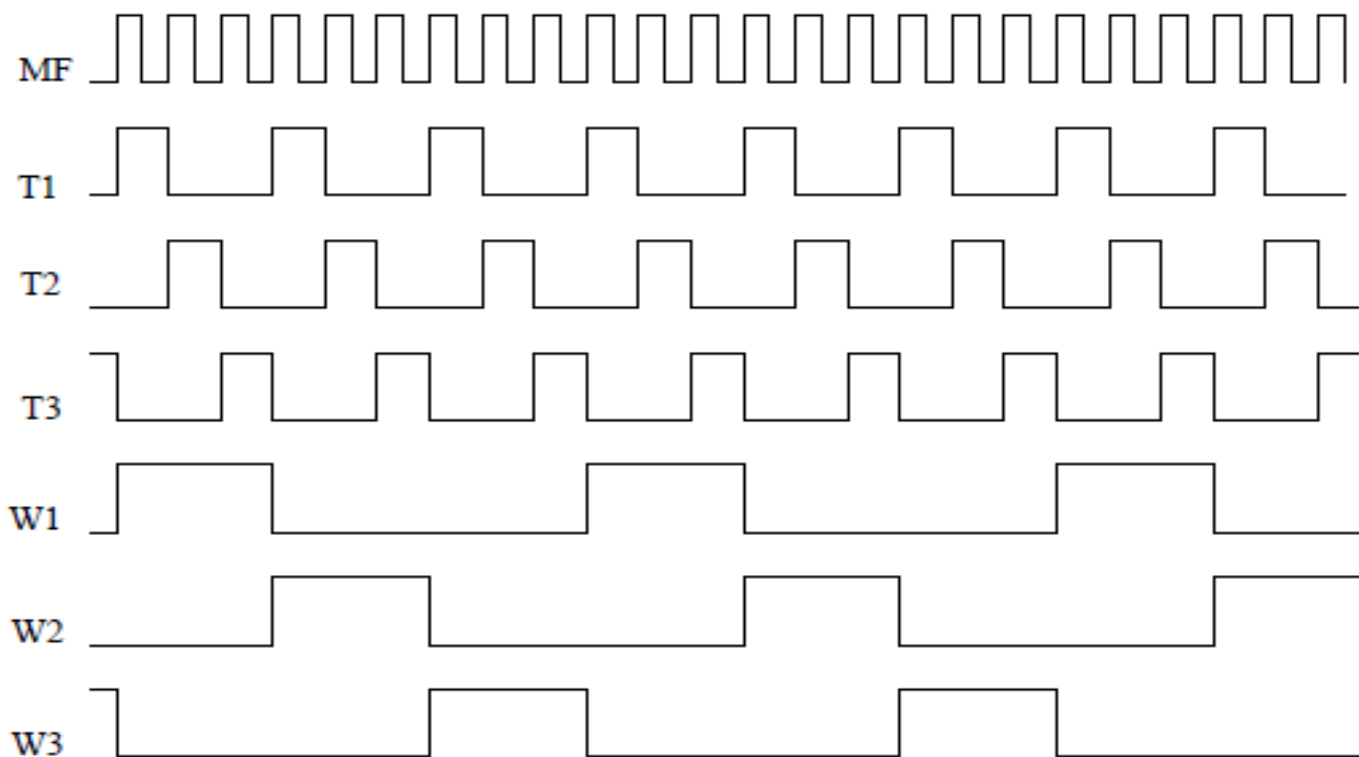
# □ 时序发生器模块



**TEC-8**模型机执行一条微指令（**一个机器周期**）需要**3个节拍脉冲T1、T2、T3**，采用**不定长机器周期**，绝大多数指令采用**2个周期W1、W2**，少数指令需要一个机器周期**W1**或者**3个机器周期W1、W2、W3**。

**MF**是晶振产生的  
**1MHz**基本  
时钟；

**T1、T2、T3**是数据  
通路和控  
制器中各  
寄存器的  
节拍脉冲  
信号



# □ 操作台控制台



控制台由若干拨动开关、按钮开关和指示灯组成  
指示灯

## 1. 与运算器相关的指示灯

信号名称	信号灯符号
数据总线指示灯	$D7 \sim D0$
运算器A端口数据指示灯	$A7 \sim A0$
运算器B端口数据指示灯	$B7 \sim B0$
进位信号指示灯	C
结果为0信号指示灯	Z

## 2. 与存储器相关的指示灯

信号名称	信号灯符号
程序计数器指示灯	$PC7 \sim PC0$
地址寄存器指示灯	$AR7 \sim AR0$
指令寄存器指示灯	$IR7 \sim IR0$
双端口存储器右端口指示灯	$INS7 \sim INS0$



# □ 操作台控制台



## 3. 与微程序控制器有关的信号指示灯

信号名称	信号灯符号
后继微地址指示灯	NuA5~NuA0
判别位指示灯	P4~P0
当前微地址	uA5~uA0

## 4. 其他指示灯

信号名称	信号灯作用
硬连线指示灯（红）	表明控制器为硬连线方式
独立指示灯（黄）	表明控制器为独立方式
微程序指示灯（绿）	表明控制器为微程序方式
SELCTL控制器2选1选择器指示灯	表明系统处于实验状态（1）或运行程序状态（0）
+5V指示灯	指示+5V电源正常

# □ 操作台控制台



## 按钮开关

### 1. 启动按钮**QD**

- 按一次**QD**，产生一正一负两个脉冲。其中正脉冲启动产生节拍脉冲信号**T1**、**T2**、**T3**。

### 2. 复位信号**CLR**

- 按一次**CLR**，产生一正一负两个脉冲。其中正脉冲使模型机复位，处于初始状态。

### 3. 中断按钮**PULSE**

- 按一次**PULSE**，产生一正一负两个脉冲。其中正脉冲向模型机发出中断请求。

# □ 操作台控制台

## 拨动开关：

### 1. 数据开关**SW7-SW0**

- 接到数据通路中的数据总线**DBUS**上，依次对应**DBUS**的最高位至最低位

### 2. 模拟数据通路控制信号开关**K15-K0**

- 模拟数据通路中所需的电平控制信号。

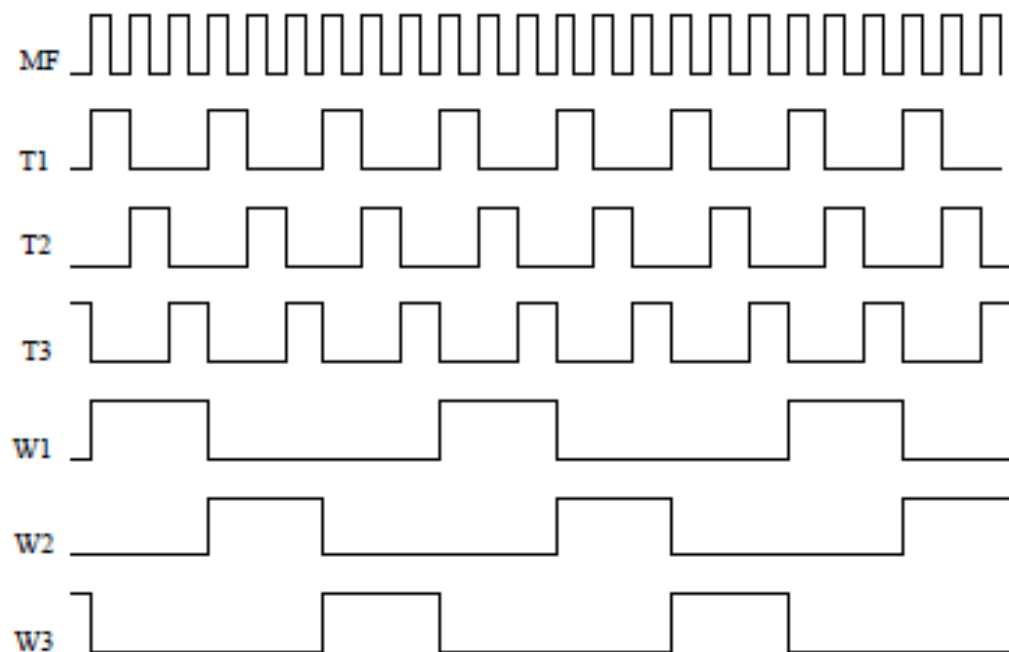
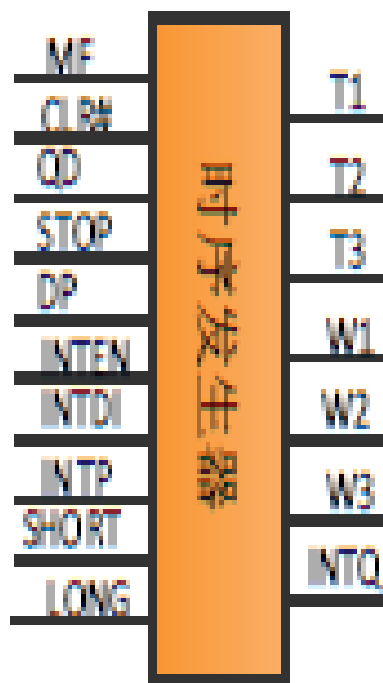
### 3. 单微指令开关**DP**

- **DP=1**表示单微指令运行方式（单拍），按1次**QD**，产生一组**T1~T3**；
- **DP=0**表示连续运行方式，按1次**QD**，连续产生**T1~T3**，直到按下**CLR**按钮；

### 4. 控制器转换开关

- 上拨：硬连线控制器，中间：独立状态，下拨：微程序控制器。

## 时序电路



时钟  
信号

节拍  
脉冲

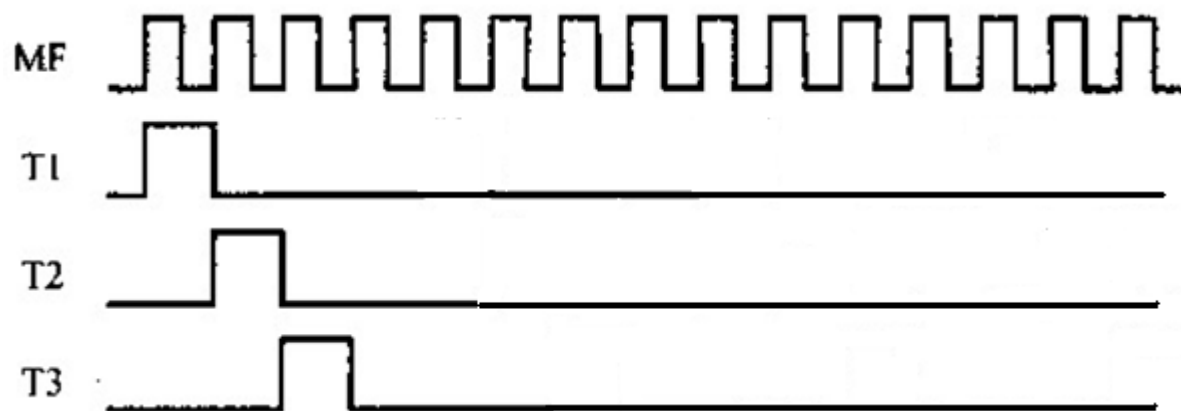
机器  
周期  
信号

- MF: 时钟信号
- CLR#: 复位信号
- QD: 时钟启动控制信号
- STOP: 时钟停止信号
- DP: 单拍控制信号, DP=1, 为单拍状态。

DP=0时, 按一次QD键, 产生连续节拍脉冲







**DP=1**时，按一次**QD**键，产生一组节拍脉冲

# □ 操作台控制台



## 5. 控制台操作开关SWC、SWB、SWA

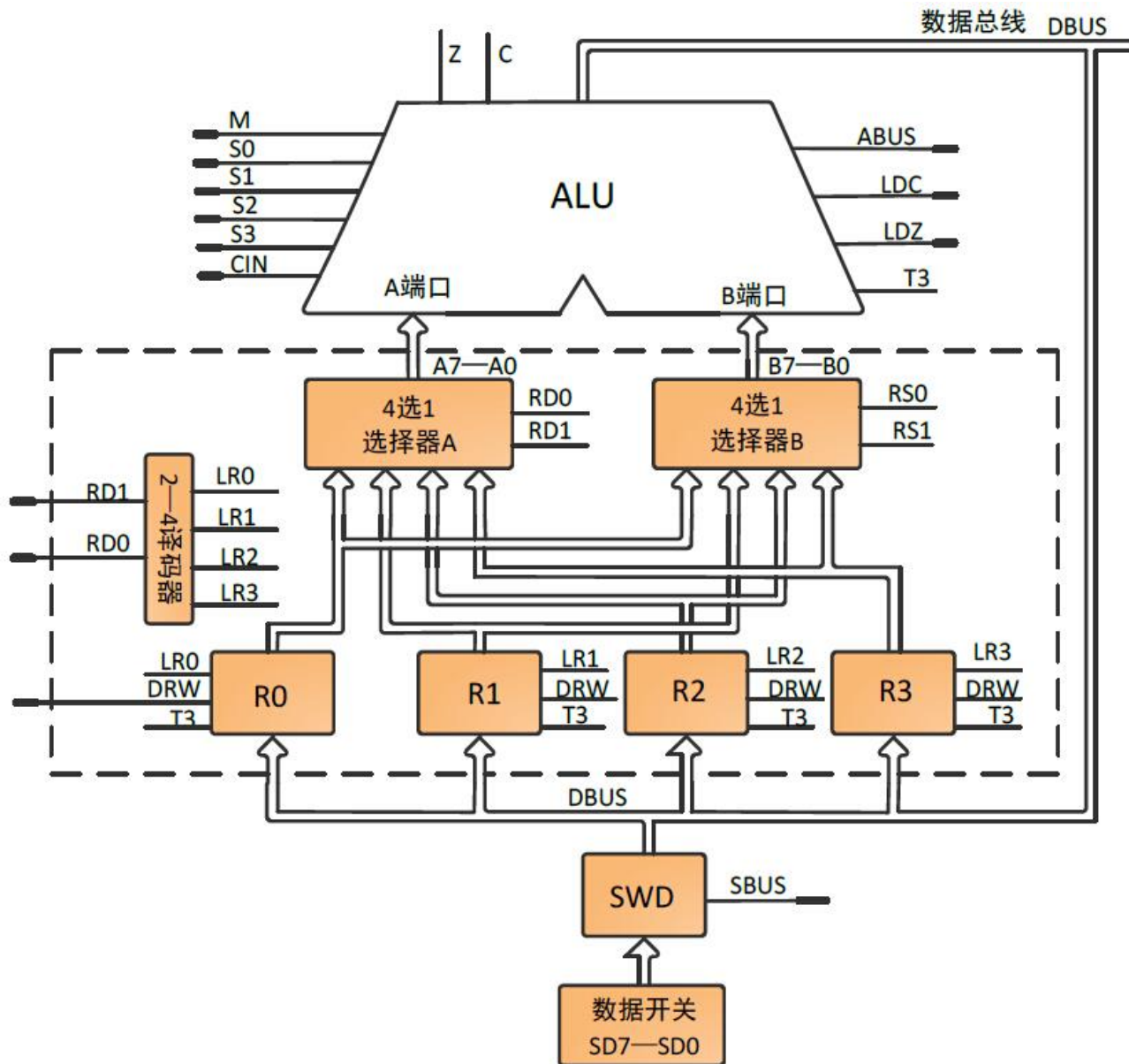
- 按下CLR#，TEC-8复位，根据SWC、SWB、SWA状态选择工作方式

SWC	SWB	SWA	操作
0	0	0	启动程序（PR）
0	0	1	写存储器（WRM）
0	1	0	读存储器（RRM）
0	1	1	写寄存器（WRF）
1	0	0	读寄存器（RRF）

## 6. 编程开关

- 下拨：正常工作状态，上拨：编程状态。

# 运算器模块



# □ 运算器模块

运算器模块包括**ALU**、**双端口通用寄存器**组2个部分。

## ● **ALU**

- 包含了2片74LS181构成，在**M**和**S0-S3**的控制下，可以对A端口、B端口送来的8位二进制数进行各种算术、逻辑运算，产生**8位数据结果**、进位标志**C**和结果为0的标志**Z**；
- 包含了一个三态门，**ABUS=1**时，将运算结果送到数据总线DBUS上；
- 包含了一个双D型触发器，当**LDC=1**，**LDZ=1**时，在**T3**的上升沿将**C**、**Z**的值打入触发器保存。

注意：进位输入**CIN**反映运算器最低位的进位输入信号。

**CIN=1**时，代表无进位；

**CIN=0**时，代表有进位；



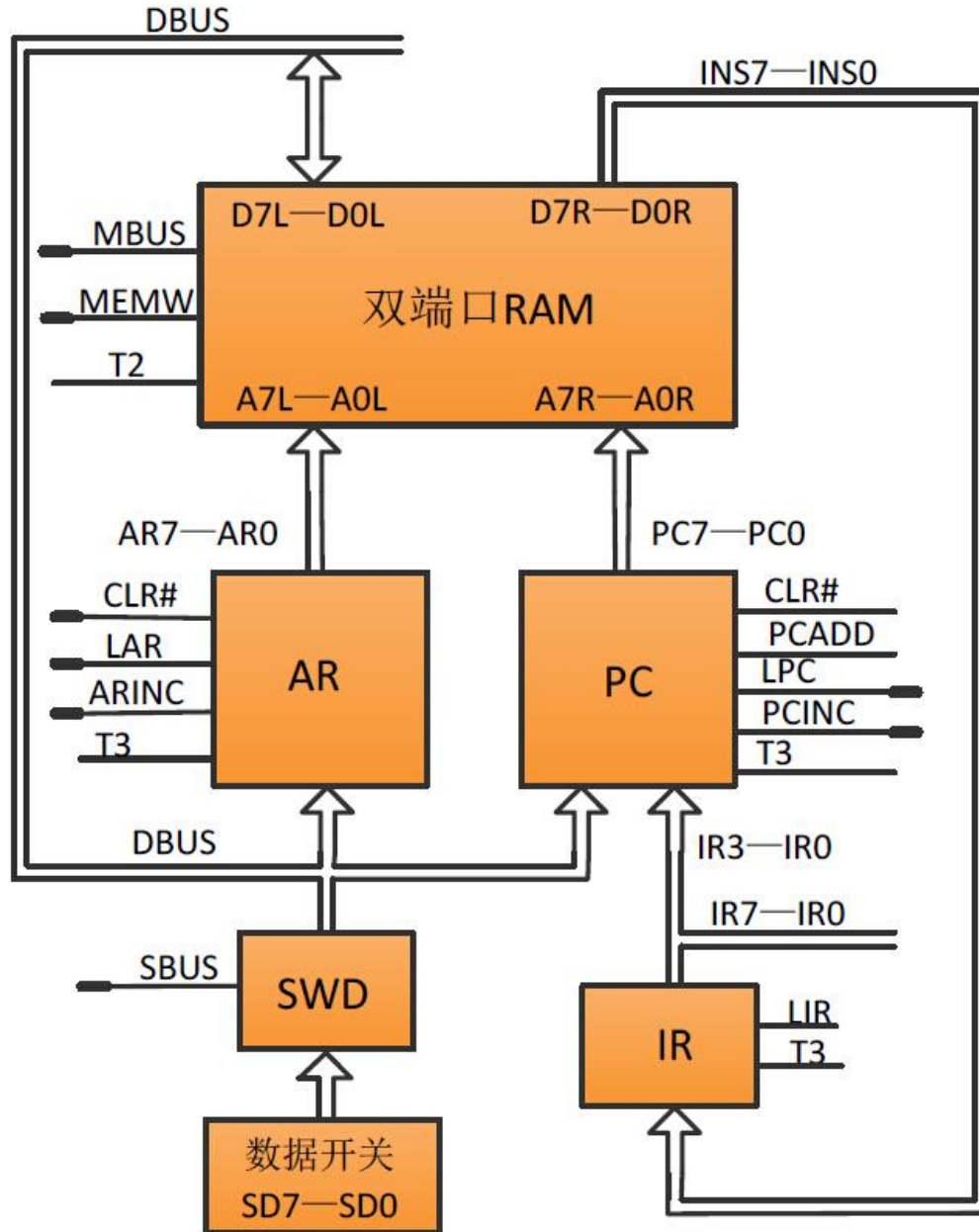
# □ 运算器模块

## ● 双端口通用寄存器组

- 共有**4个8位寄存器（R0-R3）**，**2个读端口（A、B）**，**1个写端口**
- 对于任意一个寄存器Ri，当寄存器使能信号**LRi=1**，写控制信号**DRW=1**时，在**T3的上升沿**，将数据总线上送来的数据**写入寄存器Ri**
- 包含一个**2-4译码器**，在**RD1，RD0**信号的控制下，产生寄存器使能信号**LR0-LR3**.
- 包含**4选1选择器A**，对应选择信号：**RD1、RD0**；
- 包含**4选1选择器B**，对应选择信号：**RS1、RS0**

注意：当要往寄存器存入（写入）数据时，注意选择公共数据总线上的数据来源

# □ 存储器模块



# □ 存储器模块

存储器模块包括双端口存储器RAM、地址寄存器AR和程序计数器PC。

## ● RAM

- 双端口SRAM（1片IDT7132），总容量2048B，本实验系统**实际使用256字节**。
- TEC-8中，SRAM的**右端口**接IBUS，**只读**；**左端口**接DBUS、**可读可写**，由MEMW和MBUS控制
  - **MEMW=1**，在**T2上升沿**，左端口将DBUS上的数据**写入**指定存储单元；
  - **MEMW=0**，**MBUS=1**时，左端口将指定存储单元的内容**读出**送到DBUS上。

注意：MBUS不可与SBUS和ABUS同时有效

# □ 存储器模块

## ● 地址寄存器AR和程序计数器PC

- AR提供左端口地址，PC提供右端口地址
  - 均具有地址锁存（LAR, LPC）和加1（ARING, PCING）功能。此外，还具有加偏移量（PCADD）功能。
- ① LAR (LPC)=1, ARING (PCING) =0时，在T3上升沿，AR(PC)将来自DUBS上送来的地址锁存起来；
  - ② LAR (LPC)=0, ARING (PCING) =1时，在T3上升沿，AR (PC) 地址加1

注意：LAR (LPC) 和ARING (PCING) 不能同时有效



# TEC-8指令系统

根据SWC、SWB、SWA状态选择工作方式

## 1、控制台指令

SWC	SWB	SWA	操作
0	0	0	启动程序（PR）
0	0	1	写存储器（WRM）
0	1	0	读存储器（RRM）
0	1	1	写寄存器（WRF）
1	0	0	读寄存器（RRF）

## 2、用户指令

名称	助记符	功能	指令格式							
			IR7	IR6	IR5	IR4	IR3	IR2	IR1	IR0
加法	ADD Rd, Rs	$Rd+Rs \rightarrow Rd$	0	0	0	1	Rd1	Rd0	Rs1	Rs0
减法	SUB Rd, Rs	$Rd-Rs \rightarrow Rd$	0	0	1	0	Rd1	Rd0	Rs1	Rs0
逻辑与	AND Rd, Rs	$Rd \& Rs \rightarrow Rd$	0	0	1	1	Rd1	Rd0	Rs1	Rs0
加 1	INC Rd	$Rd+1 \rightarrow Rd$	0	1	0	0	Rd1	Rd0	×	×
取数	LD Rd, [Rs]	$[Rs] \rightarrow Rd$	0	1	0	1	Rd1	Rd0	Rs1	Rs0
存数	ST Rs, [Rd]	$Rs \rightarrow [Rd]$	0	1	1	0	Rd1	Rd0	Rs1	Rs0
C条件转移	JC addr	若C=1 ,则 $@+offset \rightarrow PC$	0	1	1	1	offset			
Z条件转移	JZ addr	若Z=1 ,则 $@+offset \rightarrow PC$	1	0	0	0	offset			
无条件转移	JMP [Rd]	$Rd \rightarrow PC$	1	0	0	1	Rd1	Rd0	×	×
输出	OUT Rs	$Rs \rightarrow DBUS$	1	0	1	0	×	×	Rs1	Rs0
中断返回	IRET	返回断点	1	0	1	1	×	×	×	×
关中断	DI	禁止中断	1	1	0	0	×	×	×	×
开中断	EI	允许中断	1	1	0	1	×	×	×	×
停机	STOP	暂停执行	1	1	1	0	×	×	×	×