

# 计算机组成原理

## 第3章 课后习题讲评

1. 设有一个具有 20 位地址和 32 位字长的存储器，问：

(1) 该存储器能存储多少个字节的信息？

(2) 如果存储器由 512K×8 位 SRAM 芯片组成，需要多少片？

(3) 需要多少位地址作芯片选择？

(1)  $2^{20} * 32 \text{ bit} = 4\text{MB}$

(2)  $4\text{MB} / 512\text{KB} = 8\text{片}$  每4片为1组进行位扩充；共2组进行字扩充

(3) CPU给存储器送来20位地址，每片SRAM芯片需要19位地址（ $512\text{K} = 2^{19}$ ）。因此多出1位地址，用于芯片选择

2. 已知某 64 位机主存采用半导体存储器，其地址码为 26 位，若使用  $4\text{M} \times 8$  位的 DRAM 芯片组成该机所允许的最大主存空间，并选用内存条结构形式，问：

- (1) 若每个内存条为  $16\text{M} \times 64$  位，共需几个内存条？
- (2) 每个内存条内共有多少 DRAM 芯片？
- (3) 主存共需多少 DRAM 芯片？CPU 如何选择各内存条？

(1) 内存条数量 = 主存总容量 / 每个内存条容量 。  $2^{26} \times 64\text{bit} / 16\text{M} \times 64\text{bit} = 4$

(2) 芯片数量/条 = 每个内存条容量 / 每个芯片容量 。

$$16\text{M} \times 64\text{bit} / (4\text{M} \times 8\text{bit}) = 32$$

(3) 芯片数量 = 主存总容量 / 每个芯片容量 = 内存条数量 \* 芯片数量/条。

$$2^{26} \times 64\text{bit} / (4\text{M} \times 8\text{bit}) = 4 * 32 = 128$$

CPU利用高2位地址产生片选信号，选择内存条

5. 要求用  $256\text{K} \times 16$  位 SRAM 芯片设计  $1024\text{K} \times 32$  位的存储器。SRAM 芯片有两个控制端：当  $\overline{\text{CS}}$  有效时，该片选中。当  $\overline{\text{W}}/\text{R}=1$  时执行读操作，当  $\overline{\text{W}}/\text{R}=0$  时执行写操作。

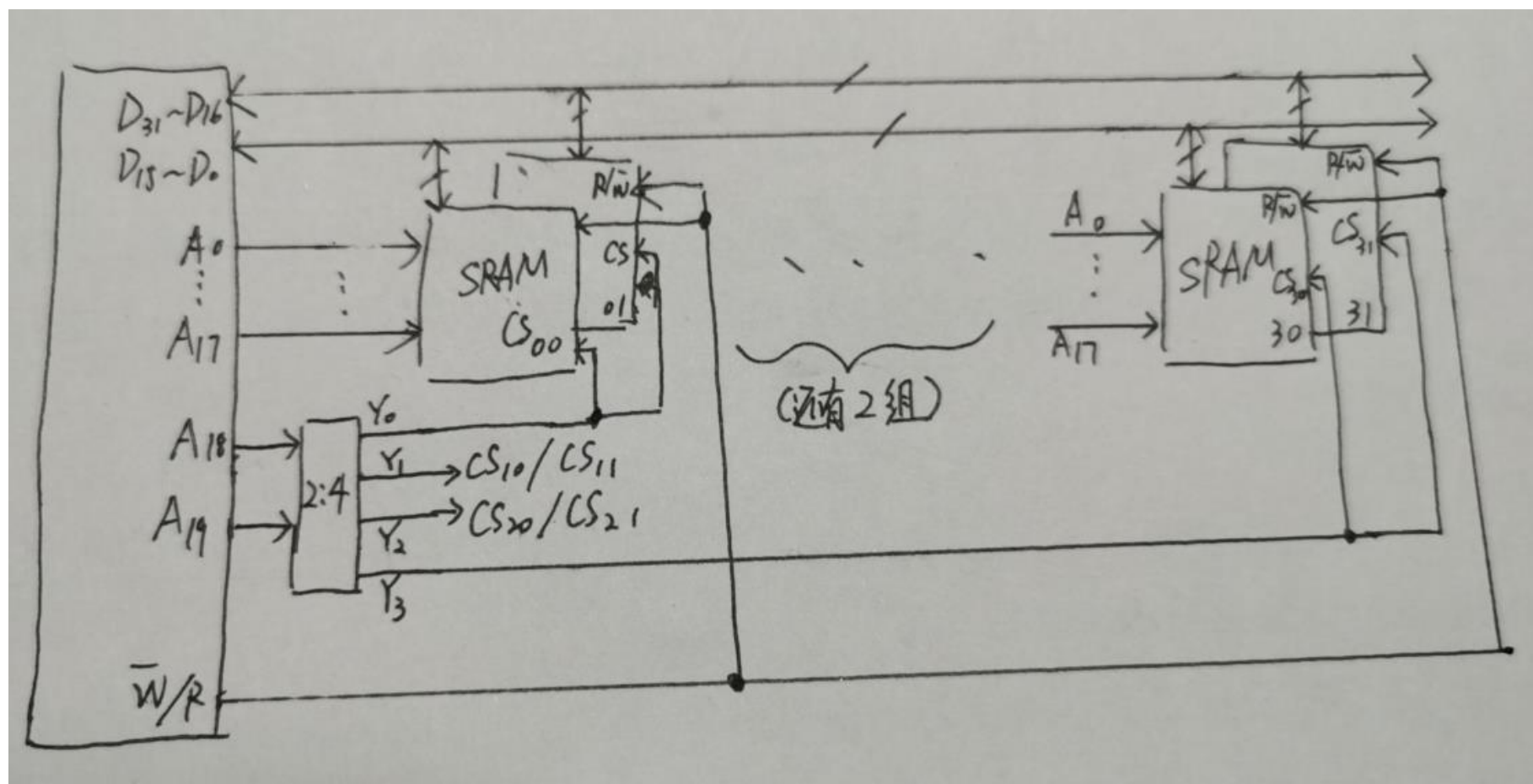
所需芯片数量 = 主存总容量/每个芯片容量 。  $1024\text{K} \times 32\text{bit} / (256\text{K} \times 16\text{bit}) = 8$ 片

连接图的要点：

每2片为1组，实

现位扩充；共4

组，实现字扩充



6. 用  $32\text{K} \times 8$  位的  $\text{E}^2\text{PROM}$  芯片组成  $128\text{K} \times 16$  位的只读存储器，试问：

- (1) 数据寄存器多少位？
- (2) 地址寄存器多少位？
- (3) 共需多少个  $\text{E}^2\text{PROM}$  芯片？
- (4) 画出此存储器组成框图。

分析：CPU读、写存储器时，数据寄存器用于暂存要交换的数据，地址寄存器用于保存所要访问的存储器目的地址。

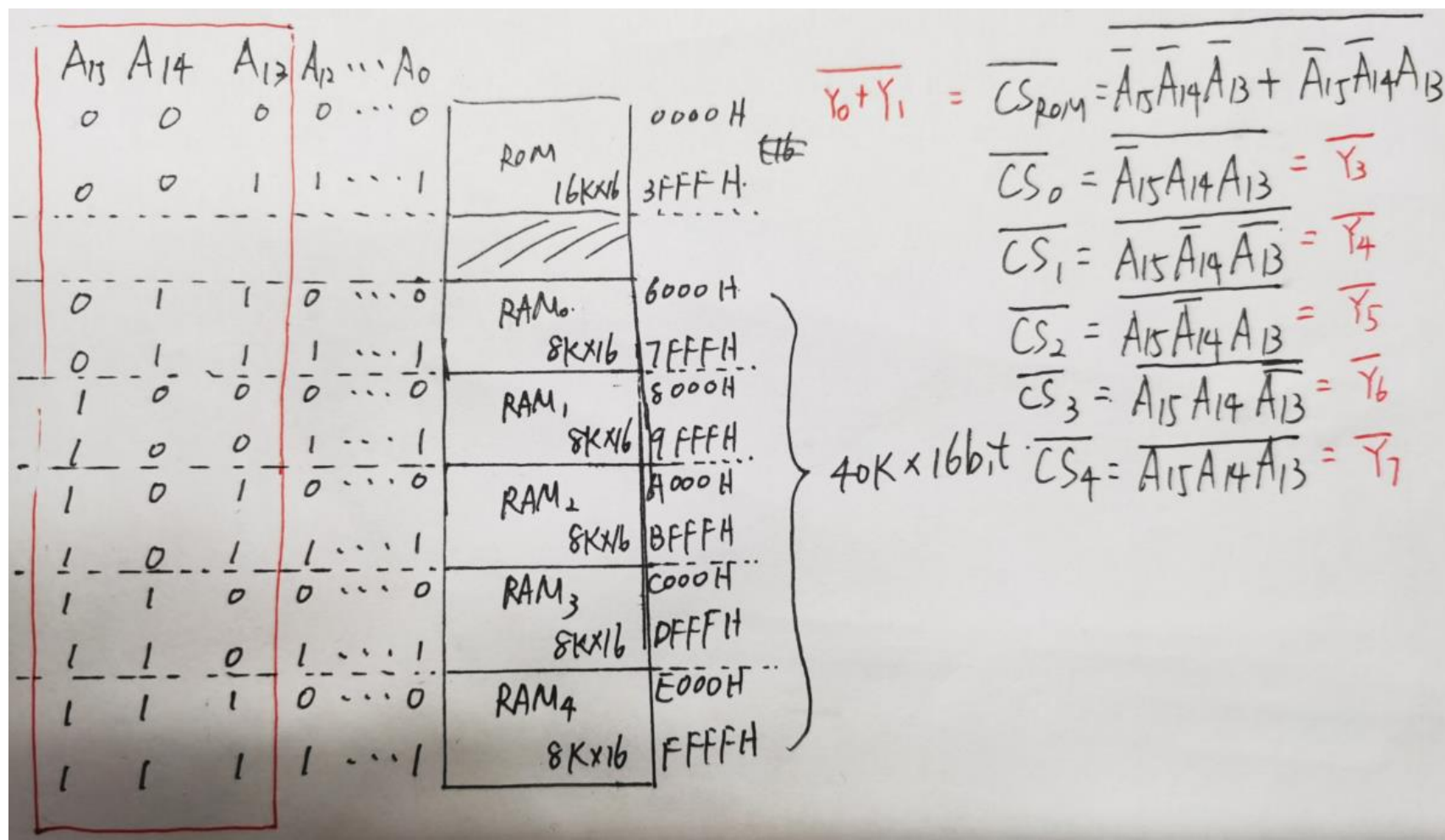
(1) 数据寄存器 16位    (2) 地址寄存器 17位    (3) 需要8片 ( $128\text{K} \times 16 / 32\text{K} \times 8$ )

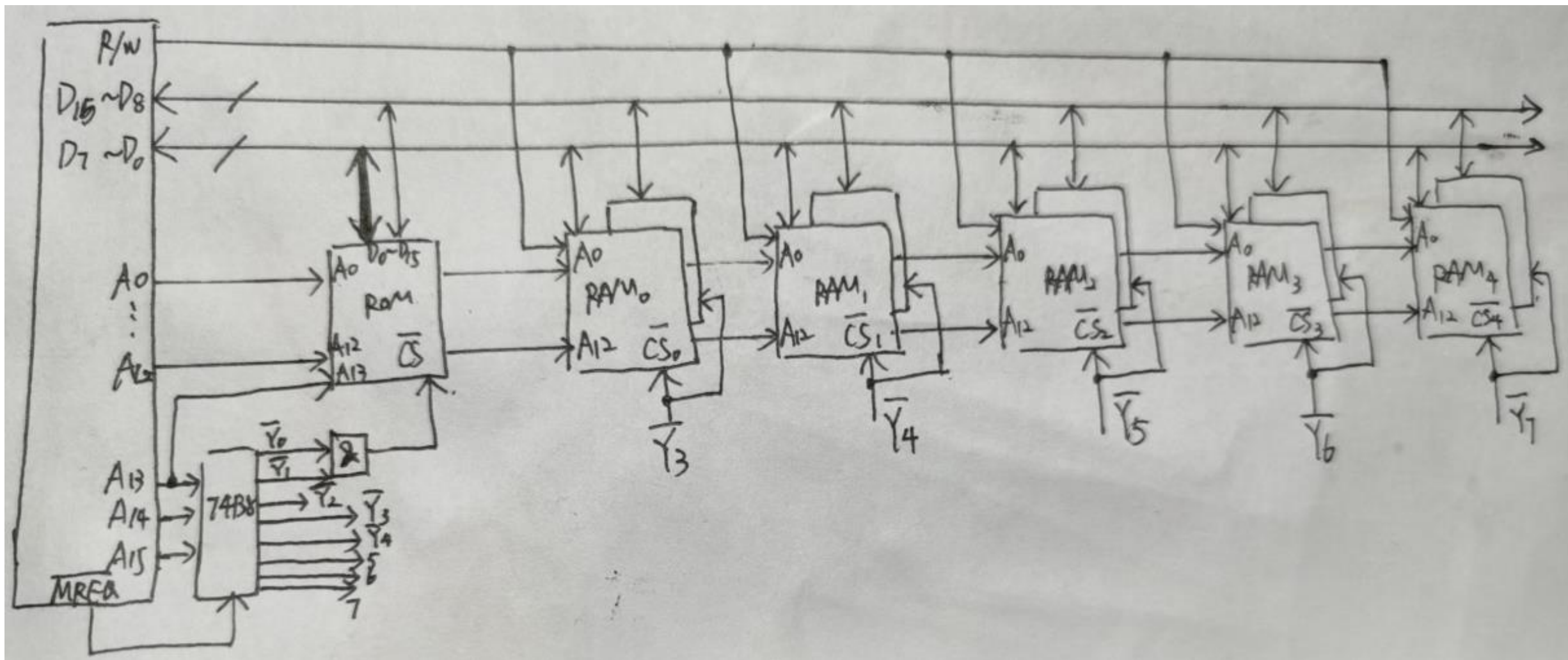
(4) 要点：2片为1组，组内位扩充；共4组，组间字扩充

CPU送来的17位地址中，高2位地址用于产生4路片选信号，分别送往4组。

7. 某机器中, 已知配有一个地址空间为 0000H~3FFFH 的 ROM 区域。现在再用一个 RAM 芯片(8K×8)形成 40K×16 位的 RAM 区域, 起始地为 6000H。假设 RAM 芯片有  $\overline{CS}$  和  $\overline{WE}$  信号控制端。CPU 的地址总线为  $A_{15} \sim A_0$ , 数据总线为  $D_{15} \sim D_0$ , 控制信号为 R/W(读/写),  $\overline{MREQ}$ (访存), 要求:

- (1) 画出地址译码方案。
- (2) 将 ROM 与 RAM 同 CPU 连接。





注意：ROM需要地址线14根，而剩余的RAM只需要地址线13根



9. CPU 执行一段程序时, cache 完成存取的次数为 2420 次, 主存完成存取的次数为 80 次, 已知 cache 存储周期为 40ns, 主存存储周期为 240ns, 求 cache/主存系统的效率和平均访问时间。

分析:  $h = 2420 / (2420 + 80) = 96.8\%$

$$t_a = 0.968 * 40 + (1 - 0.968) * 240 = 46.4 \text{ ns}$$

10. 已知 cache 存储周期 40ns, 主存存储周期 200ns, cache/主存系统平均访问时间为 50ns, 求 cache 的命中率是多少?

分析:  $t_a = h * 40 + (1 - h) * 200 = 50 \text{ ns}$    $h = 93.75\%$

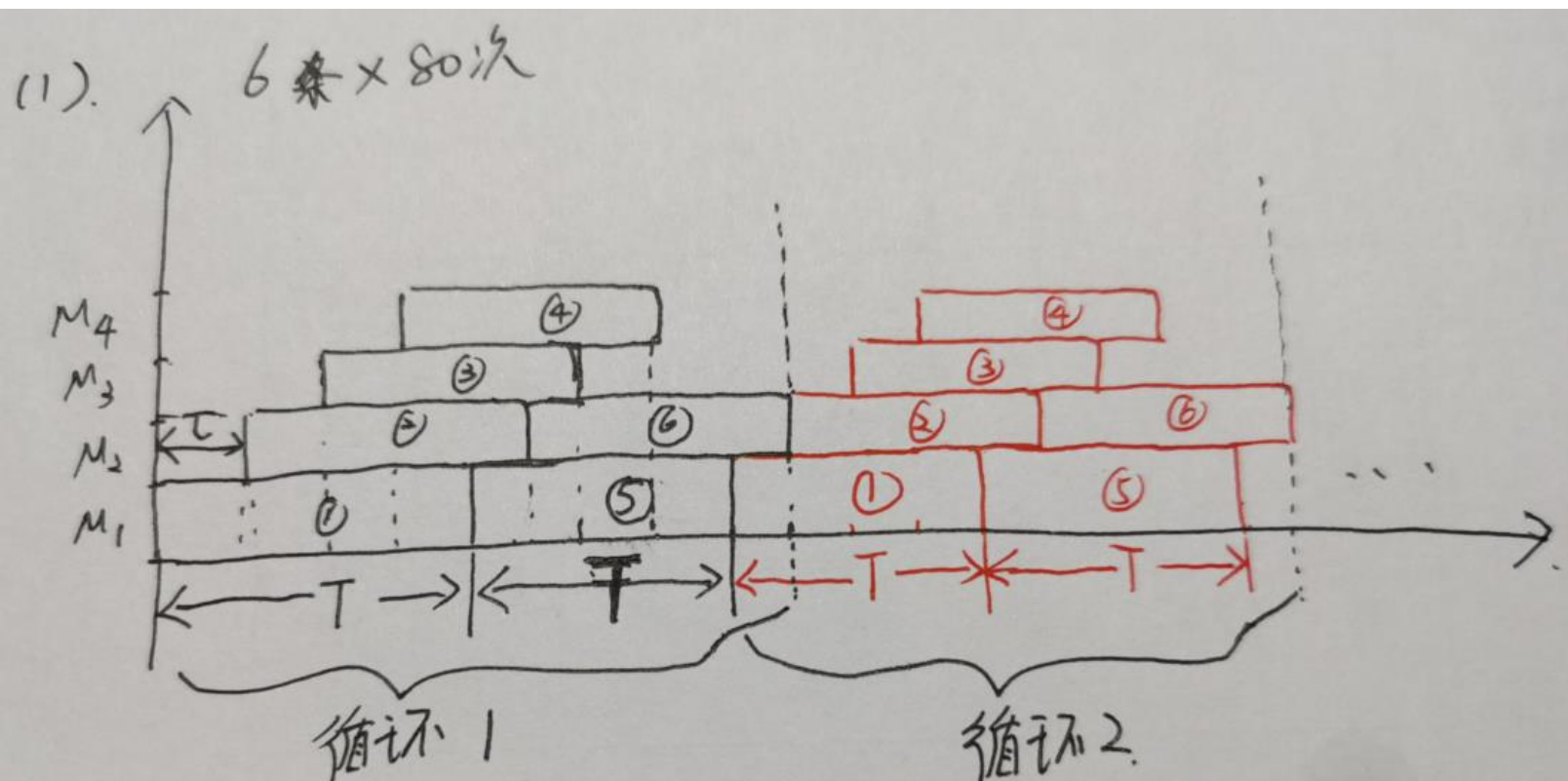


11. 某机器采用四体交叉存储器，今执行一段小循环程序，此程序放在存储器的连续地址单元中。假设每条指令的执行时间相等，而且不需要到存储器存取数据，请问在下面两种情况中（执行的指令数相等），程序运行的时间是否相等？

(1) 循环程序由 6 条指令组成，重复执行 80 次。

(2) 循环程序由 8 条指令组成，重复执行 60 次。

分析：假设总线传输周期  $t = \frac{1}{4} T$ ， $T$  为存储周期



(1)

第1轮6条指令执行总时间：

$$T + (6-1) * t = 2.25 T$$

相邻两轮循环的开始/结束

时间间隔:  $2T$

总时间：

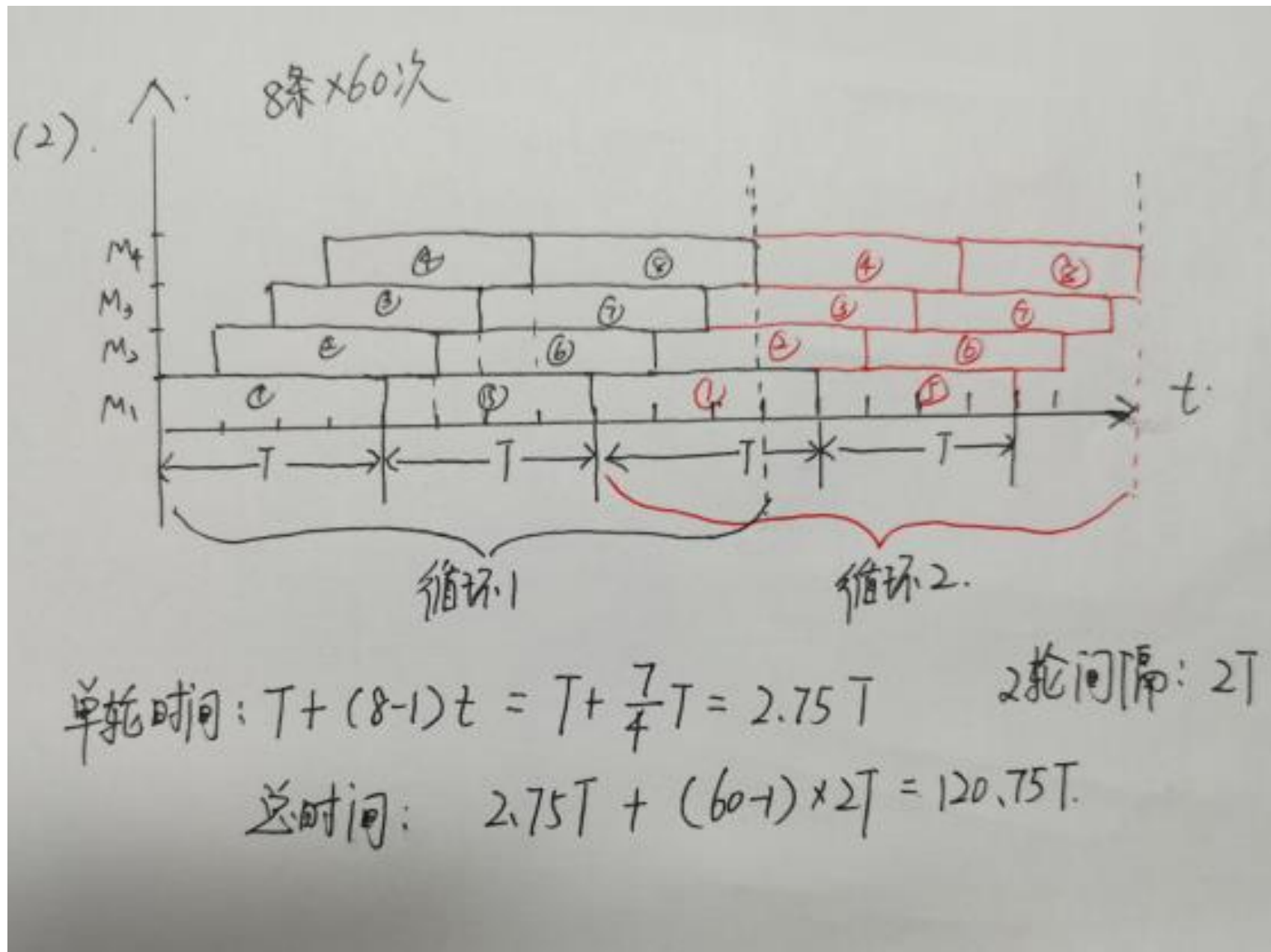
$$2.25T + (80-1)*2T$$

$$= 160.25 T$$

分析：假设总线传输周期 $t = \frac{1}{4} T$ ， $T$ 为存储周期

相邻两轮循环的开始/结束

时间间隔:  $2T$



14. 有一个处理机，主存容量 1MB，字长 1B，块大小 16B，cache 容易 64KB，若 cache 采用直接映射式，请给出 2 个不同标记的内存地址，它们映射到同一个 cache 行。

CACHE地址

行号（12）	行内字（4）
--------	--------

CACHE的行数 = 64KB/ 16B = 4K

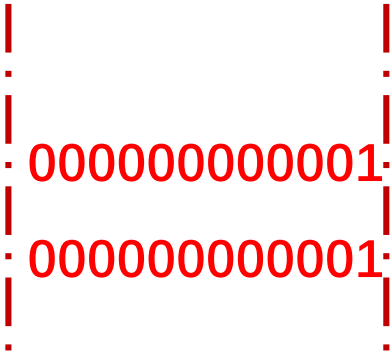
主存地址

tag（4）	行号（12）	块内字（4）
--------	--------	--------

主存块数 = 1MB/ 16B = 2<sup>16</sup>

映射到同一Cache行的  
内存地址举例

0000  
0001



0000  
0001

00010H  
10011H

15. 假设主存容量  $16\text{M} \times 32$  位，cache 容量  $64\text{K} \times 32$  位，主存与 cache 之间以每块  $4 \times 32$  位大小传送数据，请确定直接映射方式的有关参数，并画出主存地址格式。

CACHE地址

行号 (14)	行内字 (2)
---------	---------

$$\begin{aligned}\text{CACHE的行数} &= 64\text{K} \times 32\text{bit} / (4 \times 32\text{bit}) \\ &= 16\text{K}\end{aligned}$$

主存地址

tag (8)	行号 (14)	块内字 (2)
---------	---------	---------

$$\text{主存块数} = 16\text{M} \times 32\text{bit} / (4 \times 32\text{bit}) = 2^{22}$$

标记寄存器总容量:  $8\text{bit} \times 16\text{K} = 16\text{KB}$