

第4周作业

有一个1024K * 32 位的存储器，由128K*8位（512行*256列*8位）的DRAM芯片构成。问：

(1) 共需要多少DRAM芯片？

$$(1) \text{片数} = \frac{\text{总容量}}{\text{每片容量}} = \frac{1024K \times 8\text{bit}}{128K \times 8\text{bit}} = \frac{2^{25}}{2^{20}} = 32 (\text{片})$$

外部地址线 20根
数据线 32根

(2) 设计此存储器组成框图

(3) 若采用异步刷新方式，最大刷新周期为8ms，则刷新信号周期（刷新间隔）

是多少？

$$(3) \frac{8\text{ms}}{512\text{行}} = 15.625\mu\text{s} \dots \text{最大刷新间隔}$$

若假设，读写周期为0.5μs，则刷新间隔取15.5μs。

分析：设计组成框图，关键在于厘清外部线路和各个芯片引脚的连接关系

DRAM的刷新：最大刷新周期内，等间隔，按行地址、逐行刷新

(2) 总体设想: 4片为一组 \Rightarrow 位扩充 ($32\text{bit}/8\text{bit}=4$)
 共 8组 \Rightarrow 字扩充 ($1024\text{K}/128\text{K}=8$)

地址分配

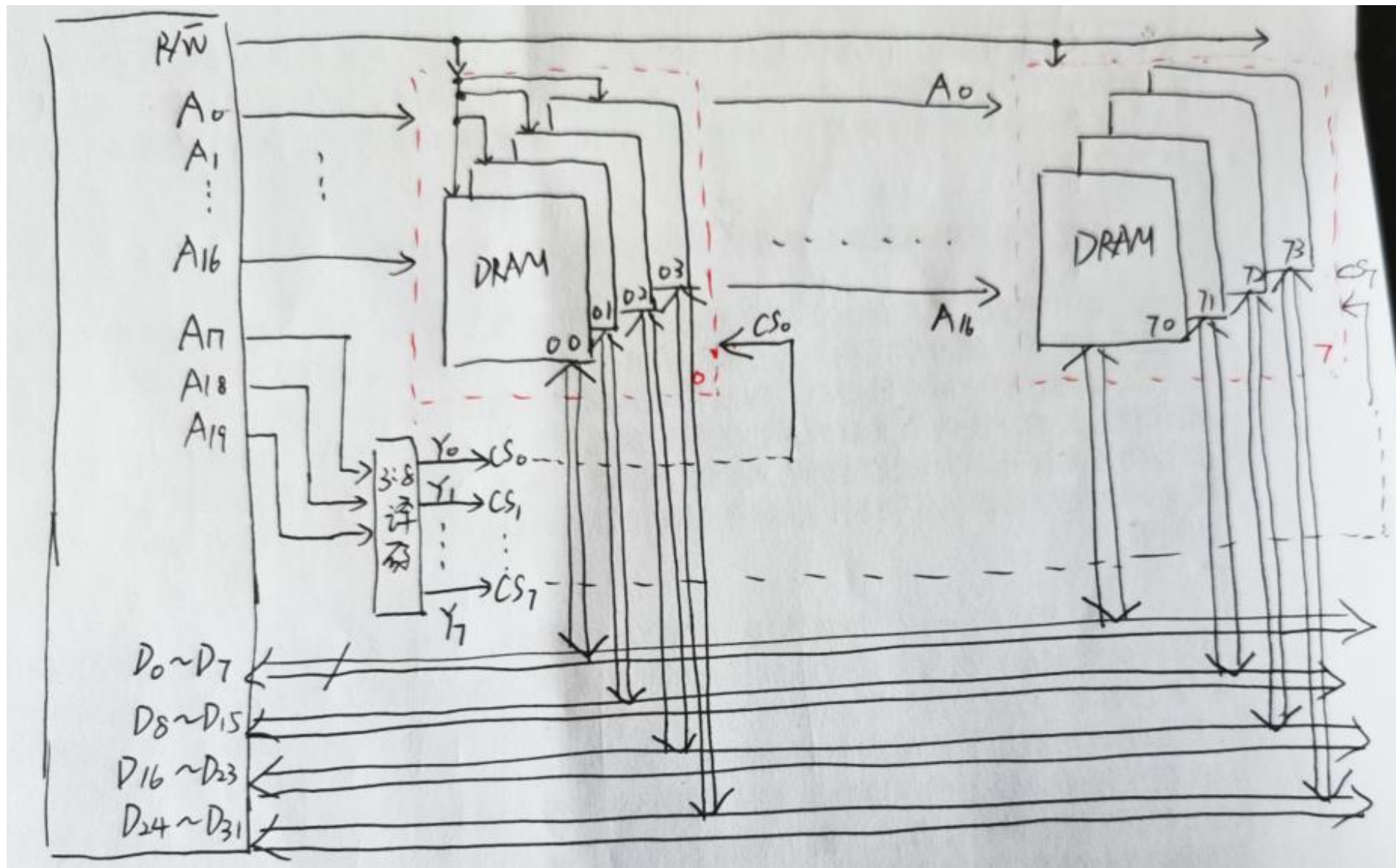
$A_{19} A_{18} A_{17} A_{16} \dots A_0$			
$CS_0 = \bar{A}_{19} \bar{A}_{18} \bar{A}_{17}$	0 0 0	128K = 2^{17}	00000H
	1 1 1	128K	1FFFFH
$CS_1 = \bar{A}_{19} \bar{A}_{18} A_{17}$	0 0 1	128K	20000H
	1 1 1	128K	3FFFFH
	0 1 0	128K	40000H
	1 1 1	128K	5FFFFH
	0 1 1	128K	60000H
	1 1 1	128K	7FFFFH
	1 0 0	128K	80000H
	1 1 1	128K	9FFFFH
	1 0 1	128K	A0000H
	1 1 1	128K	BFFFFH
	1 1 0	128K	C0000H
	1 1 1	128K	DFFFFH
$CS_7 = A_{19} A_{18} A_{17}$	1 1 1	128K	E0000H
	1 1 1	128K	FFFFFFH

组内做位扩充

- 地址线、控制线公用;
- 数据线独立

组间做字扩充

- 低位地址、数据线、读写控制公用;
- 高位剩余地址产生片选信号, 每组独立



数据线：双向；地址线：单向；控制信号线：单向

对应关系也可以由名称、标记、配文字简要说明，不用都连线