



Hi3516CV500 硬件设计 用户指南

文档版本 01
发布日期 2019-09-12

Cogobuy Only For ShenZhen FuShi ChanJing Industrial Technology Co., Ltd.

版权所有 © 上海海思技术有限公司 2019。保留一切权利。

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

商标声明



HISILICON、海思和其他海思商标均为海思技术有限公司的商标。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

注意

您购买的产品、服务或特性等应受海思公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，海思公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

上海海思技术有限公司

地址：深圳市龙岗区坂田华为总部办公楼 邮编：518129

网址：<http://www.hisilicon.com/cn/>

客户服务邮箱：support@hisilicon.com



前言

概述

本文档主要介绍 Hi3516CV500 芯片方案的硬件原理图设计、PCB 设计、单板热设计建议等。本文档提供 Hi3516CV500 芯片的硬件设计方法。

产品版本

与本文档相对应的产品版本如下。

产品名称	产品版本
Hi3516C	V500

读者对象

本文档（本指南）主要适用于以下工程师：

- 技术支持工程师
- 单板硬件开发工程师

修订记录

修订记录累积了每次文档更新的说明。最新版本的文档包含以前所有文档版本的更新内容。

修订日期	版本	修订说明
2019-09-12	01	第一次正式版本发布 1.3.2.4 小节涉及修改 1.3.2.5 小节，表 1-12 和表 1-13 涉及修改
2019-01-15	00B04	第四次临时版本发布



修订日期	版本	修订说明
		1.1.1 小节，更新图 1-1，1.2.1 小节涉及修改 新增 1.4.3 和 1.5 小节
2018-10-15	00B03	第三次临时版本发布 章节 1.2.1、1.3.2.4、1.3.2.5、2.4、2.5、2.6、2.7、2.9、 2.10、2.11 涉及修改
2018-09-06	00B02	第二次临时版本发布 1.1.2 和 1.2.2 小节涉及修改
2018-07-16	00B01	第一次临时版本发布

Cogobuy Only For ShenZhen FuShi ChanJing Industrial Technology Co., Ltd.



目 录

前 言.....	i
1 原理图设计.....	1
1.1 小系统外部电路要求.....	1
1.1.1 Clocking 电路.....	1
1.1.2 复位电路.....	2
1.1.3 JTAG 接口.....	2
1.1.4 电源管理（PMC）电路设计.....	4
1.1.5 HI3516CV500 硬件初始化系统配置电路.....	5
1.1.6 DDR 电路设计.....	6
1.1.7 FLASH 原理图设计.....	9
1.2 电源设计建议.....	14
1.2.1 CORE 电源设计.....	14
1.2.2 DDR 电源设计.....	14
1.2.3 IO 电源设计.....	16
1.2.4 PLL 电源设计.....	16
1.2.5 上下电时序.....	16
1.2.6 SVB 动态调压.....	18
1.3 外围接口设计建议.....	19
1.3.1 MAC 接口.....	19
1.3.2 音视频接口.....	21
1.3.3 SPI 和 I2C 接口.....	27
1.3.4 SDIO 设计.....	28
1.3.5 USB2.0 接口.....	29
1.3.6 ADC.....	29
1.3.7 RTC.....	29
1.3.8 PWM.....	29
1.3.9 UART.....	29
1.4 特殊管脚说明.....	30
1.4.1 未使用的模块处理.....	30
1.4.2 5V tolerance 管脚.....	34



1.4.3 防倒灌 GPIO 管脚说明	34
1.5 在 DVDD33 上电过程中出现毛刺的 IO 说明	35
2 PCB 设计.....	39
2.1 电源与滤波电容设计	39
2.1.1 DVDD 电源	39
2.1.2 DDR IO 电源设计	39
2.1.3 PLL 电源设计	40
2.1.4 模拟音频电源设计	43
2.2 晶体电路设计	43
2.3 DDR 电路设计	43
2.4 FLASH 电路设计	44
2.4.1 SPI FLASH	44
2.4.2 eMMC	44
2.5 RMII 信号 PCB 设计	44
2.6 Video Input 信号 PCB 设计	44
2.6.1 MIPI RX	44
2.6.2 Parallel CMOS	45
2.7 Video Output 信号 PCB 设计	46
2.8 模拟音频电路设计	46
2.9 SDIO 信号 PCB 设计	47
2.10 USB2.0 信号设计	47
2.11 MIPI TX 信号设计	48
3 整机 ESD 设计	49
3.1 背景	49
3.2 整机 ESD 设计	49
4 芯片散热设计.....	50
4.1 最大功耗	50



插图目录

图 1-1 晶体振荡电路	1
图 1-2 RTC 推荐晶振连接方式及器件参数	2
图 1-3 JTAG 连接方式	3
图 1-5 DDR3(L)/DDR4 差分时钟信号一驱一应用	9
图 1-6 4 层板 SPI FLASH 连接示意图	10
图 1-7 两层板设计 SPI FLASH 连接示意图	11
图 1-8 eMMC 连接示意图	12
图 1-9 eMMC 连接示意图	13
图 1-10 DDR4 电源分压网络参考设计	15
图 1-11 DDR3(L)电源分压网络参考设计	15
图 1-12 上电时序图	17
图 1-13 下电时序图	17
图 1-14 电源动态调压示意图	18
图 1-15 Hi3516CV500 RMII 模式下的信号连接示意图	20
图 1-16 MIC 单端输入电路	22
图 1-17 MIC 差分输入电路	22
图 1-18 “5 线模式” I2S 主模式连接方式	23
图 1-19 “5 线模式” I2S 从模式连接方式	23
图 1-20 sensor 配置接口接法	24
图 2-1 AVDD09_PLL 供电滤波电路 SCH 设计	40
图 2-2 AVDD09_PLL 供电滤波电路 PCB 设计	41
图 2-3 AVDD33_PLL 供电滤波电路 SCH 设计	41
图 2-4 AVDD33_PLL 供电滤波电路 PCB 设计	42
图 2-5 AVDD33_DDR_PLL 供电滤波电路 SCH 设计	42
图 2-6 AVDD33_DDR_PLL 供电滤波电路 PCB 设计	43



图 2-7 MIPI/LVDS 差分信号隔离示意图.....	45
图 2-8 模拟音频信号包地示意图.....	47

Cogobuy Only For ShenZhen FuShi ChanJing Industrial Technology Co., Ltd.



表格目录

表 1-1 JTAG 接口信号	3
表 1-2 TEST_MODE 模式说明	3
表 1-3 不同待机工作状态下 RTC 和 PMC 电源方案	4
表 1-4 信号描述	5
表 1-5 管脚 SWAP 信息	7
表 1-6 4 层板设计 SPI FLASH 匹配设计方法	10
表 1-7 两层板设计 SPI FLASH 匹配设计方法	11
表 1-8 eMMC 匹配设计方法	12
表 1-9 eMMC 匹配设计方法	13
表 1-10 DVDD SVB 调压 RC 参数	19
表 1-11 ETH MAC 信号设计方法	20
表 1-12 信号接口模式与引脚对应关系	25
表 1-13 并行 VO 信号设计要求	27
表 1-14 SDIO 信号设计要求	28
表 1-15 未使用模块电源及管脚处理建议	30
表 1-16 5V tolerance 管脚	34
表 1-17 不具有防倒灌功能管脚列表	34
表 1-18 Hi3516CV500 在 DVDD33 上电过程中出现毛刺的 IO 统计表	35



1 原理图设计

1.1 小系统外部电路要求

1.1.1 Clocking 电路

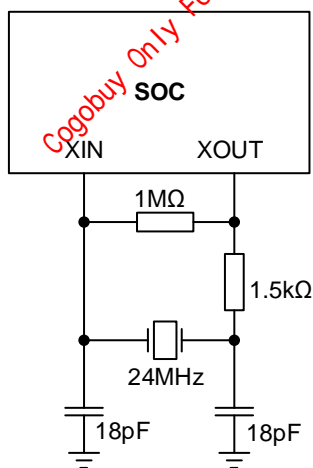
通过芯片内部的反馈电路与外部的 24MHz 晶体振荡电路一起构成系统时钟电路。

推荐晶振连接方式及器件参数如图 1-1 所示。

注意

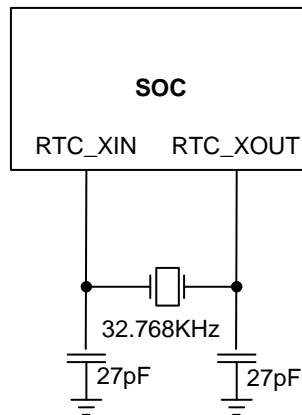
选用的电容需要跟晶振的负载电容匹配，材质建议采用 NPO。建议选用 4pin 贴片晶振，其中 2 个 GND 管脚与单板地充分连接，增强系统时钟抗 ESD 干扰能力。

图1-1 晶体振荡电路



Hi3516CV500 内置 RTC，单板需要给 RTC 提供时钟电路，晶振连接方式及器件参数如图 1-2 所示。

图1-2 RTC 推荐晶振连接方式及器件参数



RTC 晶体选型约束：晶体内阻不超过 75 k Ω 。

说明

- 电路中的电容取值需要与实际使用的晶体负载电容相匹配,满足 24MHz 频偏 30ppm; 不同品牌、不同型号的晶体, 其固有的负载电容参数可能不同, 那么电路中的电容取值也会不同。
- 系统 24Mhz 时钟或者 RTC 时钟使用有源晶体时, 从管脚 XIN 或者 RTC_XIN 输入, 管脚 XOUT 或者 RTC_XOUT 悬空。

1.1.2 复位电路

Hi3516CV500 支持内部 POR (Power on Reset) 复位, 不支持外部复位。

主芯片上电后由内部 POR 电路对整个芯片进行复位 (复位脉冲宽度约为 32ms)。

推荐客户采用 Hi3516CV500 芯片 M2 管脚 SYS_RSTN_OUT 输出复位信号来复位与小系统相关的外设 (例如: 存放 boot 的 flash 器件), SYS_RSTN_OUT 加 1K 下拉电阻。

SYS_RSTN_OUT 信号的电平与 DVDD3318_FLASH (Hi3516CV500 的 L4 pin) 保持一致。

注意

为确保系统能正常启动, 小系统相关的外设 (例如: 存放 boot 的 FLASH 器件) 必须先于或同时与 Hi3516CV500 一起释放复位信号, 否则可能会出现无法启动等异常情况。

1.1.3 JTAG 接口

JTAG 接口信号描述如表 1-1 所示。



表1-1 JTAG 接口信号

信号名	信号描述
TCK	JTAG 时钟输入，要求单板外接 1K 下拉电阻。
TDI	JTAG 数据输入，要求单板外接 4.7K 上拉电阻。
TMS	JTAG 模式选择输入，要求单板外接 4.7K 上拉电阻。
TRSTN	JTAG 复位输入，正常工作要求单板外接 10K 下拉电阻。
TDO	JTAG 数据输出，要求单板外接 4.7K 上拉电阻。

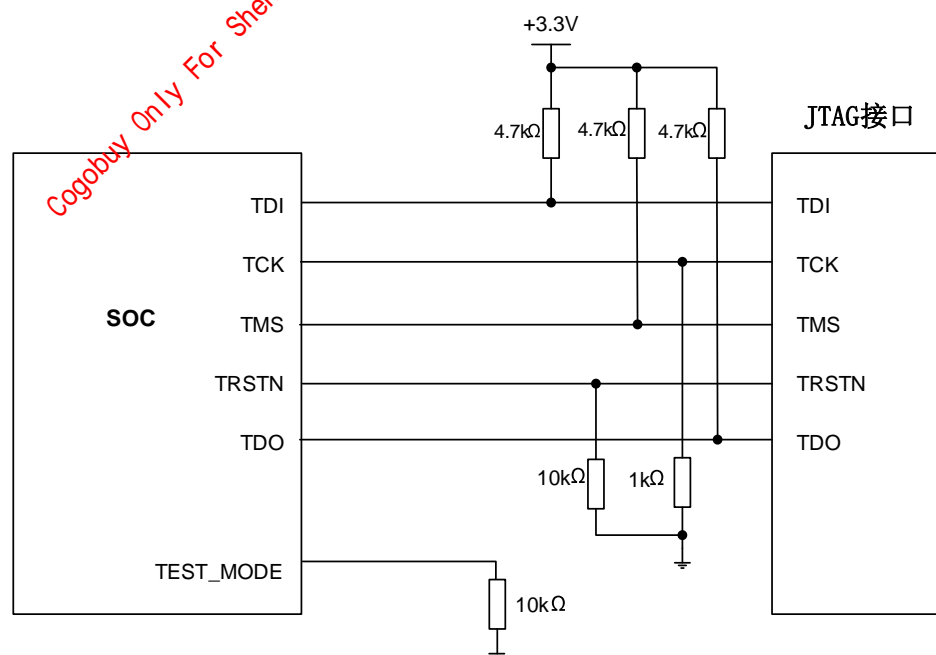
Hi3516CV500 可以通过 TEST_MODE 管脚选择正常和测试两种工作模式，具体说明如表 1-2 所示。

表1-2 TEST_MODE 模式说明

TEST_MODE	模式说明
0	正常工作模式
1	测试模式，实际产品中不用该功能

JTAG 连接方式及标准连接器管脚定义如图 1-3 所示。

图1-3 JTAG 连接方式





1.1.4 电源管理（PMC）电路设计

1.1.4.1 接口介绍

电源管理（PMC）模块可以对非常电区的供电模块进行使能控制，接收按键信号/上升沿信号进行上下电控制以及接收外设输出的唤醒信号，从而实现产品的待机和唤醒功能。

该模块的详细功能及开关机逻辑描述请参考《Hi3516CV500 专业型 Smart IP Camera SoC 用户指南》“3.10 电源管理与低功耗模式”章节内容。

1.1.4.2 电路设计

PMC 模块供电管脚为 AVDD_BAT、DVDD3318_PC。

- AVDD_BAT: RTC 模块供电电源，供电范围 1.6V~3.6 V。使用常电区功能时，该管脚必须接电池或其他不掉电的电源。
- DVDD3318_PC: 常电区的 1.8V 或 3.3V 电源。

对 PMC 模块进行硬件设计时，还有以下管脚需要注意：

- PWR_RSTN: PMC 模块复位管脚，低电平有效。该管脚上必须设计一个 RC 复位电路，电阻和电容的选型请参考 HI3516CV500DMEB 原理图设计文件。
- 使用 PMC 模块来实现 HI3516CV500 的待机、唤醒功能时，由于 PMC 模块的工作时钟来自 RTC 模块，所以使用 PMC 功能时，RTC 模块必须供电，RTC 电路也必须正常设计。
- PWR_BUTTON 用于对接开机按键，PWR_STARTUP 上升沿可触发开机，PWR_SEQ0 用于使能需要受控的 DC-DC 或 LDO，PWR_WAKEUP 用于接收唤醒信号。

1.1.4.3 待机场景下 RTC&PMC 的电源方案

在不同的待机工作状态下，RTC 和 PMC 有如下几种组合，不同组合下电源的接法建议方案如表 1-3 所示。

表1-3 不同待机工作状态下 RTC 和 PMC 电源方案

方案	工作状态		电源管脚处理方式	
	RTC	PMC/GPIO	AVDD_BAT	DVDD3318_PC
方案 1	不使用	不使用	悬空	DVDD3318_PC 接数字 1.8V 或 3.3V 电源
方案 2	不使用	使用 GPIO	悬空	DVDD3318_PC 接数字 1.8V 或 3.3V 电源
方案 3	使用	不使用	接电池（电压不超过 3.6V）或者其他不下电的电源	DVDD3318_PC 接数字 1.8V 或 3.3V 电源



方案	工作状态		电源管脚处理方式	
	RTC	PMC/GPIO	AVDD_BAT	DVDD3318_PC
方案 4	使用	使用 GPIO	接电池（电压不超过 3.6V）或者其他不下电的电源	DVDD3318_PC 接数字 1.8V 或 3.3V 电源
方案 5	使用	使用 PMC	AVDD_BAT 和 DVDD3318_PC 接不下电的 1.8V 或 3.3V 电源	

注意

在表 1-3 中：

- 方案 1 和方案 3：PWR_BUTTON、PWR_RSTN、PWR_SEQ0、PWR_STARTUP 和 PWR_WAKEUP 可悬空。
- 方案 2 和方案 4：PWR_BUTTON、PWR_RSTN 和 PWR_STARTUP 可悬空
- 方案 5：在使用 PMC 功能时，RTC 电路必须正常设计。

1.1.5 HI3516CV500 硬件初始化系统配置电路

Hi3516CV500 上电初始化的过程中，需要根据配置管脚的上下拉电阻状态来确定各部分的工作模式。硬件配置信号描述如下表 1-4 所示。

表1-4 信号描述

信号名	方向	说明
TEST_MODE	I	功能模式和测试模式选择。 0：功能模式； 1：测试模式。
BOOT_SEL[1:0]	I	BOOT 源的选择。 00：从 SPI Nor/Nand Flash 启动； 01：从 EMMC 启动； 10：FAST BOOT，串口烧写 SPI Nor/Nand Flash； 11：FAST BOOT，串口烧写 EMMC。
SFC_DEVICE_MODE	I	SPI FLASH 器件选择 0：SPI NOR FLASH 1：SPI NAND FLASH
SFC_BOOT_MODE	I	如果 BOOT_SEL[1:0]=00， SFC_DEVICE_MODE=0， SFC_BOOT_MODE 的状态表明了 SPI NOR



信号名	方向	说明
		FLASH 的 boot 模式选择。 0: 3 Byte address mode 1: 4 Byte address mode 如果 BOOT_SEL[1:0]=00, SFC_DEVICE_MODE=1, SFC_BOOT_MODE 的 状态表明了 SPI NAND FLASH 的 boot 模式选择。 0: 1 I/O boot mode 1: 4 I/O boot mode
UPDATE_MODE	I	SDIO0 及 USB 烧写功能控制 0: 使能 SDIO0 及 USB 烧写功能; 1: 禁用 SDIO0 及 USB 烧写功能。 注: 使能 SDIO0 及 USB 烧写功能之后, BOOT_SEL[1:0]和 SFC_DEVICE_MODE 指定的 启动方式不生效。芯片在上电启动时, 会检测是 否有 SDIO0 接口上的 SD 卡或是否有 USB 存储设 备存在。如果有 SDIO0 接口上的 SD 卡或有 USB 存储设备存在, 会将 SD 卡或 USB 存储设备中存 放的 boot 烧写至 BOOT_SEL[1:0]和 SFC_DEVICE_MODE 指定的启动介质中。 SDIO1 不支持该功能。

注意

表 1-4 中所列的系统配置管脚有部分与 RMII、Sensor、SFC 复用。如果这些管脚和外设器件的信号管脚有连接, 那么必须在该信号上设计上下拉电阻来确定配置管脚的初始状态, 电阻阻值推荐 4.7kΩ。

1.1.6 DDR 电路设计

1.1.6.1 接口介绍

- Hi3516CV500 DDRC 接口支持 DDR3(L)/DDR4。
- 主芯片有 1 个 DDRC, 可对接 1PCS 16bit 位宽 DDR3(L)/DDR4 颗粒。
- 具体规格请参考《Hi3516CV500 专业型 Smart IP Camera SoC 用户指南》第 4 章的内容。

1.1.6.2 DDR 拓扑结构

为了使 PCB layout 方便, 对接 16bit 位宽的 DDR3(L)颗粒或 DDR4 颗粒时, 采用不同的线序, 管脚的 SWAP 信息如表 1-5 所示。



表1-5 管脚 SWAP 信息

管脚号	管脚名	信号名		
		4 层板 DDR3(L)	2 层板 DDR3(L)	4 层板 DDR4
A5	DDR_A0	DDR_A0	DDR_A0	DDR4_A15
A6	DDR_A1	DDR_A1	DDR_A1	DDR4_BA1
B7	DDR_A2	DDR_A2	DDR_A2	DDR4_A1
B5	DDR_A3	DDR_A3	DDR_A3	DDR4_A10
A7	DDR_A4	DDR_A4	DDR_A4	DDR4_A5
B6	DDR_A5	DDR_A5	DDR_A5	DDR4_A3
A8	DDR_A6	DDR_A6	DDR_A6	DDR4_A9
B9	DDR_A7	DDR_A7	DDR_A7	DDR4_A7
A9	DDR_A8	DDR_A8	DDR_A8	DDR4_A13
B8	DDR_A9	DDR_A9	DDR_A9	DDR4_A6
C4	DDR_A10	DDR_A10	DDR_A10	DDR4_ACT_N
C8	DDR_A11	DDR_A11	DDR_A11	DDR4_A8
C7	DDR_A12	DDR_A12	DDR_A12	DDR4_A16
C9	DDR_A13	DDR_A13	DDR_A13	DDR4_A11
D9	DDR_A14	DDR_A14	DDR_A14	DDR4_A2
C6	DDR_A15	DDR_A15	DDR_A15	DDR4_A0
A4	DDR_BA0	DDR_BA0	DDR_BA0	DDR4_A4
C5	DDR_BA1	DDR_BA1	DDR_BA1	DDR4_BA0
B4	DDR_BA2	DDR_BA2	DDR_BA2	DDR4_BG0
A2	DDR_CASN	DDR_CASN	DDR_CASN	DDR4_A14
B1	DDR_RASN	DDR_RASN	DDR_RASN	DDR4_A12
C3	DDR_WEN	DDR_WEN	DDR_WEN	
B2	DDR_CKE	DDR_CKE	DDR_CKE	DDR4_CKE
A3	DDR_CSN	DDR_CSN	DDR_CSN	DDR4_CSN
B3	DDR_ODT	DDR_ODT	DDR_ODT	DDR4_ODT
C10	DDR_RESETN	DDR_RESETN	DDR_RESETN	DDR4_RESETN
B10	DDR_ZQ	DDR_ZQ	DDR_ZQ	DDR4_ZQ
D1	DDR_DQ0	DDR_DQ6	DDR_DQ6	DDR4_DQ6
D3	DDR_DQ1	DDR_DQ4	DDR_DQ7	DDR4_DQ2



管脚号	管脚名	信号名		
		4 层板 DDR3(L)	2 层板 DDR3(L)	4 层板 DDR4
E2	DDR_DQ2	DDR_DQ2	DDR_DQ3	DDR4_DQ0
E1	DDR_DQ3	DDR_DQ0	DDR_DQ2	DDR4_DQ4
E3	DDR_DQ4	DDR_DQ7	DDR_DQ5	DDR4_DQ7
F3	DDR_DQ5	DDR_DQ5	DDR_DQ0	DDR4_DQ3
G1	DDR_DQ6	DDR_DQ1	DDR_DQ4	DDR4_DQ5
H2	DDR_DQ7	DDR_DQ3	DDR_DQ1	DDR4_DQ1
J3	DDR_DQ8	DDR_DQ12	DDR_DQ11	DDR4_DQ11
K2	DDR_DQ9	DDR_DQ13	DDR_DQ15	DDR4_DQ8
K1	DDR_DQ10	DDR_DQ11	DDR_DQ12	DDR4_DQ12
K3	DDR_DQ11	DDR_DQ10	DDR_DQ13	DDR4_DQ13
L3	DDR_DQ12	DDR_DQ14	DDR_DQ9	DDR4_DQ9
L2	DDR_DQ13	DDR_DQ9	DDR_DQ10	DDR4_DQ14
L1	DDR_DQ14	DDR_DQ15	DDR_DQ14	DDR4_DQ10
M1	DDR_DQ15	DDR_DQ8	DDR_DQ8	DDR4_DQ15
H3	DDR_DM0	DDR_DM0	DDR_DM0	DDR4_DM0
G3	DDR_DM1	DDR_DM1	DDR_DM1	DDR4_DM1
F1	DDR_DQS0_N	DDR_DQS0_N	DDR_DQS0_N	DDR4_DQS0_N
F2	DDR_DQS0_P	DDR_DQS0_P	DDR_DQS0_P	DDR4_DQS0_P
J2	DDR_DQS1_N	DDR_DQS1_N	DDR_DQS1_N	DDR4_DQS1_N
J1	DDR_DQS1_P	DDR_DQS1_P	DDR_DQS1_P	DDR4_DQS1_P
C1	DDR_CLK_N	DDR_CLK_N	DDR_CLK_N	DDR4_CLK_N
C2	DDR_CLK_P	DDR_CLK_P	DDR_CLK_P	DDR4_CLK_P

注意

2 层板 DDR3(L)设计布局布线必须完全拷贝 HI3516CV500DMEBLITE、4 层板 DDR3(L)设计布局完全拷贝 HI3516CV500DMEB、4 层板 DDR4 设计必须完全拷贝 HI3516CV500DDR4DMEB 的设计。相关的设计文件请见发布包中的硬件部分。



1.1.6.3 匹配方式设计建议

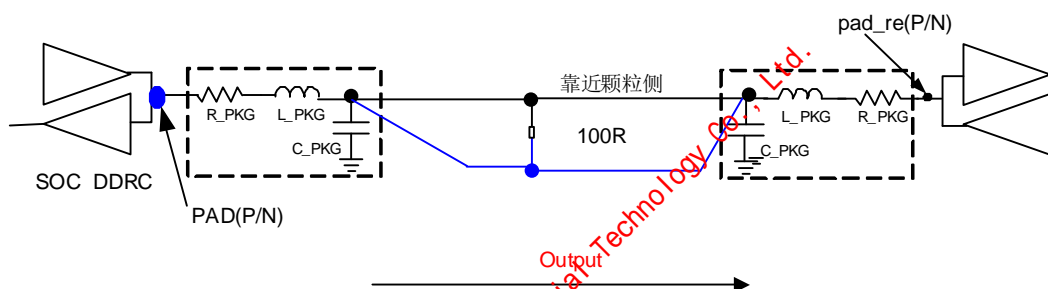
DQ、DQS 双向信号

Hi3516CV500 应用中 DQ、DQS_P/N 信号都是点对点拓扑，直连即可。

差分时钟

对接 DDR3(L)/DDR4 颗粒时，DDR_CLK_N/P 采用一驱一拓扑，在靠近颗粒端的位置跨接 1 个 100Ω 的电阻，如图 1-5 所示。

图1-5 DDR3(L)/DDR4 差分时钟信号一驱一应用



1.1.6.4 地址信号和命令信号

Hi3516CV500 DDR 应用中：

- 4 层板设计对接单颗 16bit 位宽 DDR3(L)/DDR4 颗粒时，DDR_CS_N 和 DDR_ODT 要求戴维南匹配，其他地址和命令信号直连即可。
- 2 层板设计对接单颗 16bit 位宽 DDR3(L)颗粒时，所有地址和命令信号靠 SOC 端串接 33Ω 电阻。

1.1.6.5 数据掩码信号

DDR 应用中 DM0/DM1 信号都是点对点拓扑，直连即可。

1.1.6.6 DDR 颗粒外部电阻选择

外部电阻（ZQ）选择 240Ω，精度±1%。

1.1.7 FLASH 原理图设计

1.1.7.1 接口介绍

FLASH 控制器支持 SPI NOR FLASH、SPI NAND FLASH 和 eMMC。



1.1.7.2 信号处理

SPI FLASH 设计

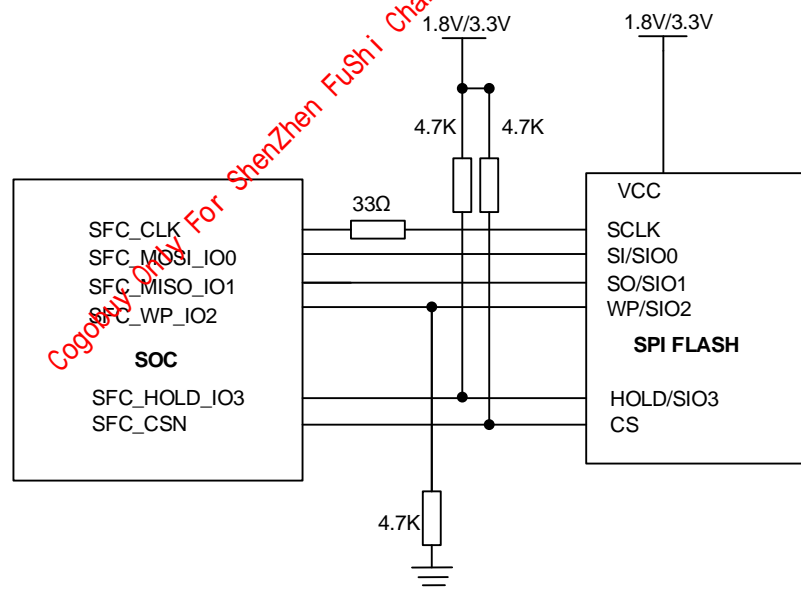
4 层板设计和 2 层板设计时，SPI FLASH 在匹配上有差异。

4 层板设计时，SPI FLASH 匹配设计推荐如表 1-6 所示，连接方式推荐如图 1-6 所示。

表1-6 4 层板设计 SPI FLASH 匹配设计方法

信号	设计方法
SFC_CLK	时钟一驱一，Hi3516CV500 源端串接 33Ω 电阻。信号走线长度不超过 3inch。
SFC_MOSI_IO0 SFC_MISO_IO1 SFC_WP_IO2 SFC_HOLD_IO3 SFC_CSN	直接相连，其中 SFC_WP_IO2 需要下拉，推荐下拉电阻阻值为 4.7kΩ；SFC_HOLD_IO3 和 SFC_CSN 需要上拉，推荐上拉电阻阻值为 4.7kΩ。 数据一驱一，信号走线长度不超过 1.5inch 时直连，走线长度超过 1.5inch 小于 3inch 时源端串 33ohm 电阻。

图1-6 4 层板 SPI FLASH 连接示意图



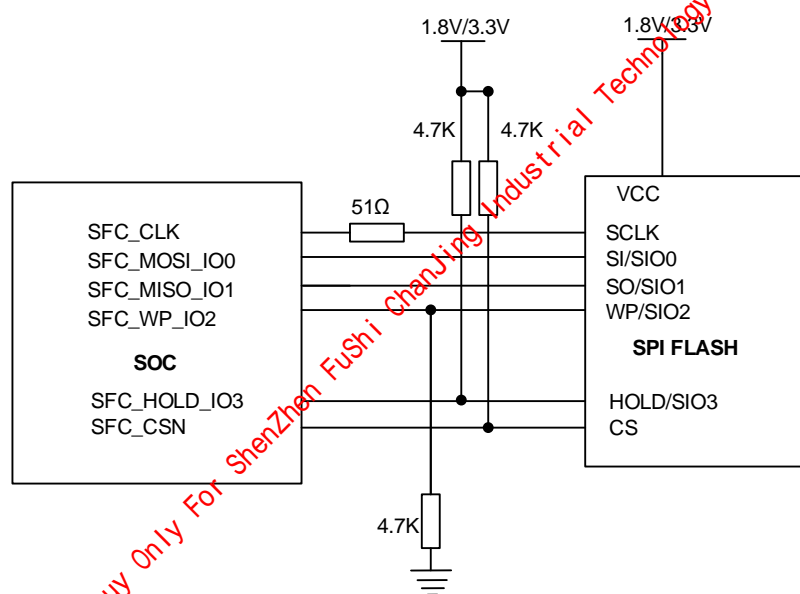
两层板设计时，SPI Flash 匹配设计方法推荐如表 1-7 所示，连接方式推荐如图 1-7 所示。



表1-7 两层板设计 SPI FLASH 匹配设计方法

信号	设计方法
SFC_CLK	时钟一驱一，Hi3516CV500 源端串接 51Ω 电阻。信号走线长度不超过 3inch。
SFC_MOSI_IO0 SFC_MISO_IO1 SFC_WP_IO2 SFC_HOLD_IO3 SFC_CSN	直接相连，其中 SFC_WP_IO2 需要下拉，推荐下拉电阻阻值为 $4.7k\Omega$ ；SFC_HOLD_IO3 和 SFC_CSN 需要上拉，推荐上拉电阻阻值为 $4.7k\Omega$ 。 数据一驱一，信号走线长度不超过 1.5inch 时直连，走线长度超过 1.5inch 小于 3inch 时源端串 51Ω 电阻。

图1-7 两层板设计 SPI FLASH 连接示意图



推荐选用带复位功能的 SPI FLASH 器件，以避免出现主芯片 Watch Dog 生效复位时，FLASH 无法同步复位，从而无法正常重启。

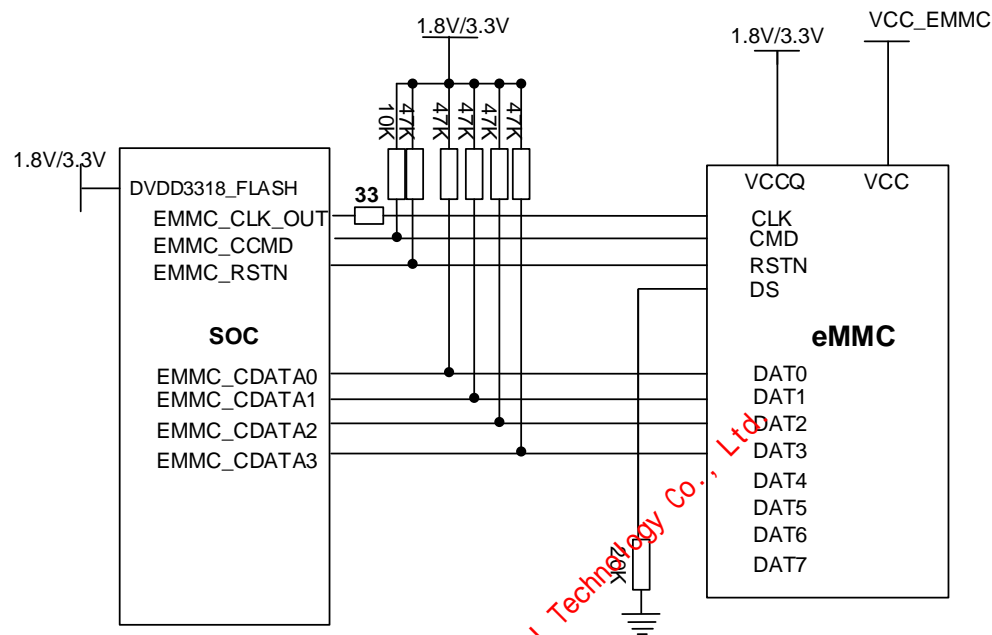
eMMC 信号设计

4 层板设计和两层板设计时，eMMC 在匹配上有差异。

- 4 层板设计时，eMMC 连接如图 1-8 所示。



图1-8 eMMC 连接示意图



匹配设计推荐如表 1-8 所示。

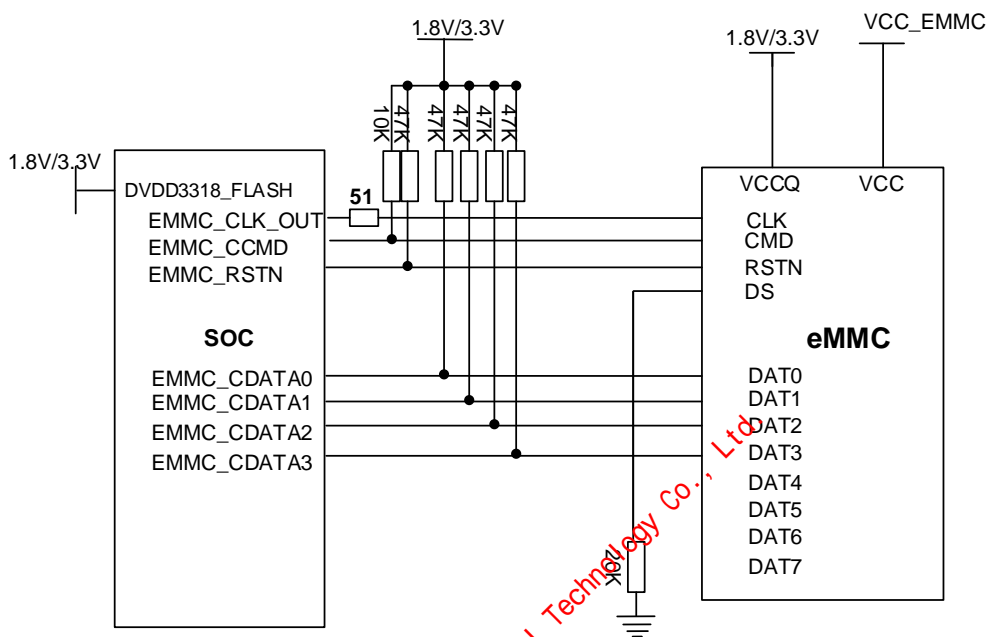
表1-8 eMMC 匹配设计方法

信号	设计方法
EMMC_CLK	HI3516CV500 端串联 33Ω 电阻。信号走线长度不超过 2.5inch。
EMMC_DATA[0:3]	直接相连，并且需要接上拉电阻，阻值推荐 47kΩ。 信号走线长度不超过 2.5inch。
EMMC_CMD	直接相连，并且需要接 10kΩ 上拉电阻。 信号走线长度不超过 2.5inch。
EMMC_RST_N	直接相连，并且需要接 47kΩ 上拉电阻。

- 两层板设计时，eMMC 连接如图 1-9 所示。



图1-9 eMMC 连接示意图



匹配设计推荐如表 1-9 所示。

表1-9 eMMC 匹配设计方法

信号	设计方法
EMMC_CLK	HI3516CV500 端串联 51Ω 电阻。信号走线长度不超过 2.5inch。
EMMC_DATA[0:3]	直接相连，并且需要接上拉电阻，阻值推荐 47kΩ。 信号走线长度不超过 2.5inch。
EMMC_CMD	直接相连，并且需要接 10kΩ 上拉电阻。 信号走线长度不超过 2.5inch。
EMMC_RST_N	直接相连，并且需要接 47kΩ 上拉电阻。

注意

EMMC_RST_N 管脚与 SYS_RSTN_OUT 管脚复用，当用作 EMMC_RST_N 功能时，外设复位使用其他 GPIO 进行复位。



1.2 电源设计建议

Hi3516CV500 芯片电源设计参数请参见《Hi3516CV500 专业型 Smart IP Camera SoC 用户指南》“电性能参数”章节。

Hi3516CV500 的电源设计，2 层 PCB 设计电容的容值和数量，要求完全拷贝 HI3516CV500DMEBLITE 的原理图设计；4 层 PCB 设计电容的容值和数量，要求完全拷贝 HI3516CV500DMEB 的原理图设计。

1.2.1 CORE 电源设计

Hi3516CV500 的 CORE 电源 DVDD，典型电压 0.9V，实际电压由 SVB 动态调压电路控制，具体参考 HI3516CV500DMEB 最新原理图。电源芯片选型要求其供电能力不小于 3A 规格，建议使用**支持 COT 模式**的 DCDC。

该电源要求在芯片端的纹波噪声控制在 $\pm 38\text{mV}$ 以内。

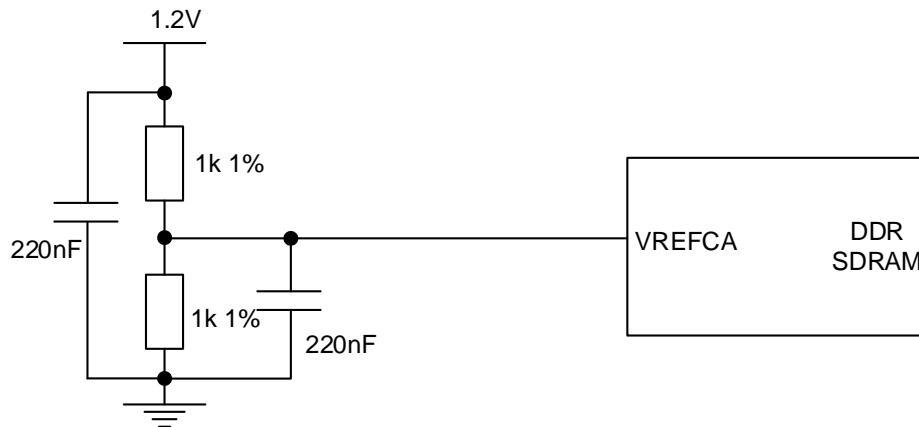
1.2.2 DDR 电源设计

- Hi3516CV500 支持 DDR3(L)/DDR4，典型电压 1.5V(1.35V)/1.2V，参考电压 (V_{ref}) 等于 $1/2 \text{ VDDIO_DDR}$ 。DDR 颗粒的电源要求与 Hi3516CV500 的 DDR IO 电源采用同一电源网络供电。
- 要求单板上采用单独的供电芯片给 DDR 颗粒和 Hi3516CV500 DDR IO 电源管脚（管脚名 VDDIO_DDR）供电。
- DDR PLL 电源（管脚名 AVDD33_DDR_PLL）：连接 3.3V 电源。必须使用磁珠（ $1\text{k}\Omega@100\text{MHz}$ ）和主芯片的数字 3.3V 电源进行隔离。
- 主芯片的 DDRIO 的 CK 电源供电（管脚名为 VDDIO_DDR_CK）必须使用磁珠（ $1\text{k}\Omega@100\text{MHz}$ ）和 VDDIO_DDR 电源进行隔离。
- 通过 $1\text{k}\Omega$ 电阻（精度 $\pm 1\%$ ）分压为 DDR 颗粒的 V_{ref} 供电。
- Hi3516CV500 主芯片的 V_{ref} 电源集成到内部，外部无需做相应的设计。
- 建议使用**固定 PWM 模式**的 DCDC。

DDR4 V_{REF} 电源参考设计如图 1-10 所示。

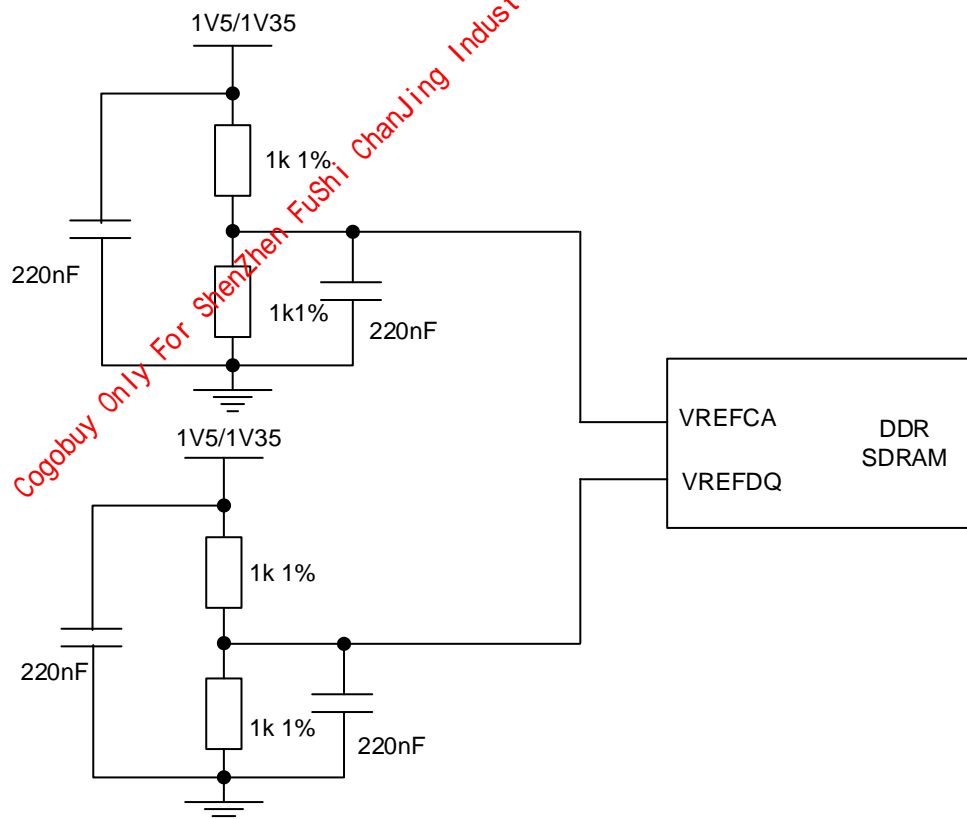


图1-10 DDR4 电源分压网络参考设计



DDR3(L) VREF 电源参考设计如图 1-11 所示。

图1-11 DDR3(L)电源分压网络参考设计





注意

DDR4 颗粒需要 2.5V 的供电电源 VPP，VPP 电源必须先于或同时与 1.2V VDD 电源上电，且无论什么时候 VPP 电源幅值必须大于等于 1.2V VDD 电源幅值。

1.2.3 IO 电源设计

- IO 电源（管脚名 DVDD33）：连接数字 3.3V 电源，建议客户使用**固定 PWM 模式**的 DC-DC。
- FLASH 接口 IO 电源（DVDD3318_FLASH）：支持 3.3V/1.8V，实际连接的电源要与对接芯片的接口电平保持一致。
- Sensor 时钟、复位和配置管脚 IO 电源（管脚名 DVDD3318_SENSOR）：支持 3.3V/1.8V 电源，实际连接的电源要与对接芯片的接口电平保持一致。
- MIPI/LVDS 接口电源（管脚名 AVDD3318_MIPI）：支持 3.3V/1.8V 电源。
Hi3516CV500 的 MIPI/LVDS 管脚可以复用成 Parallel Data 功能，电平支持 3.3V/1.8V，实际连接的电源要与对接芯片的接口电平保持一致。
当使用 MIPI 或者 LVDS 模块时，AVDD3318_MIPI 必须连接 1.8V 电源。
当 MIPI/LVDS 管脚复用为 Parallel Data 功能时，AVDD3318_MIPI 连接 3.3V/1.8V。
- VI 接口电源（管脚名 DVDD3318_VI）：支持 3.3V/1.8V 电源。
Hi3516CV500 的 VI 管脚可以复用为 Parallel Data 功能和 MIPI/LVDS 管脚上复用的 Parallel Data 接口组成 16bit 的 BT1120 输入接口，或组成最高支持 14bit 的 Parallel Data 输入接口。实际连接的电源要与对接芯片的接口电平保持一致。
VI 管脚可独立复用成 VI BT.656 接口。
VI 管脚可独立复用成 VO BT.656 接口。
- UART1 接口电源（管脚名 DVDD3318_UART1）：支持 3.3V/1.8V 电源。
- SDIO1 接口电源（管脚名 DVDD3318_SDIO1）：支持 3.3V/1.8V 电源。
- 常电区供电电源（管脚名 DVDD3318_PC）：支持 3.3V/1.8V 电源。

1.2.4 PLL 电源设计

Hi3516CV500 的 PLL 电源有 2 个，分别是：

- AVDD09_PLL：设计上必须用磁珠（1k Ω @100MHz）对 DVDD 电源进行隔离。
- AVDD33_PLL：设计上必须用磁珠（1k Ω @100MHz）对数字 3.3V 电源进行隔离。

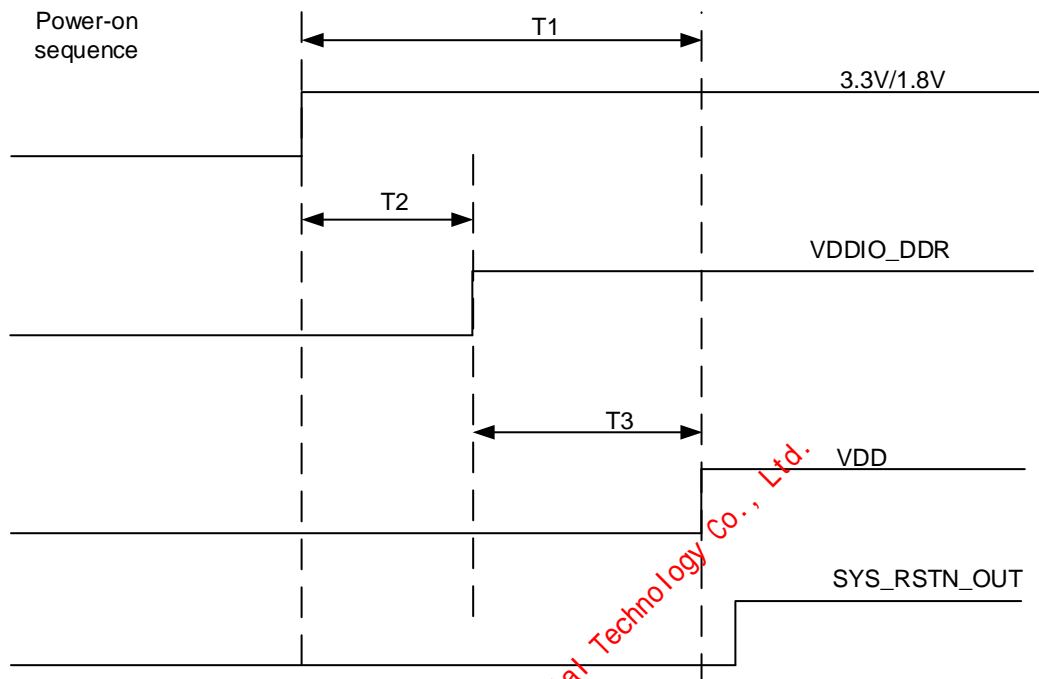
具体电路设计请参考 HI3516CV500DMEB 板原理图。

1.2.5 上下电时序

Core 电源、DDR 电源和 IO 电源有上下电时序的要求，如图 1-12 和图 1-13 所示。

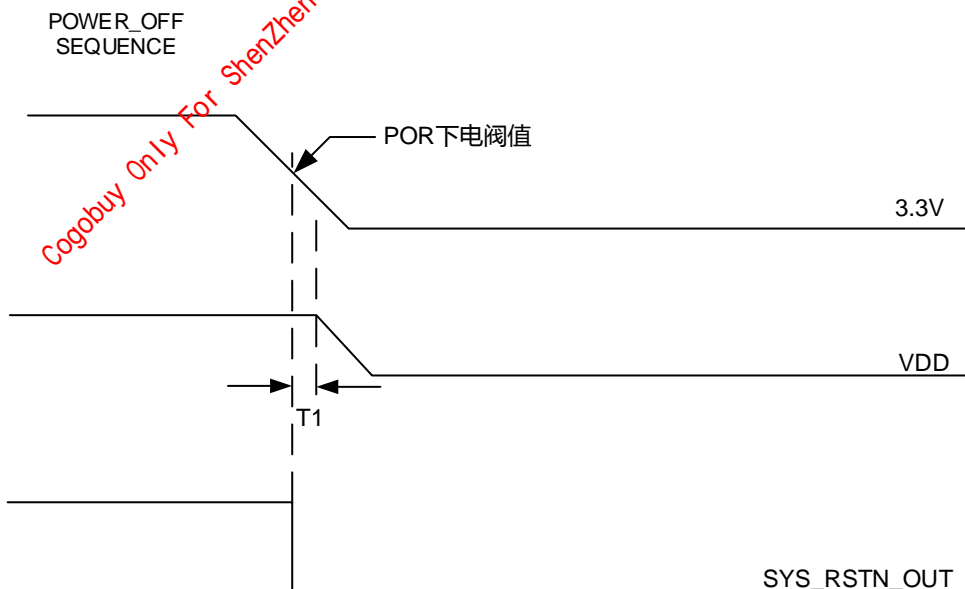


图1-12 上电时序图



其中， $0 < T1 \leq 10\text{ms}$ ， $T2 \geq 0\text{ms}$ ， $T3 > 0\text{ms}$ 。上电顺序从先往后依次排列顺序为 3.3V/1.8V、DDRIO、Core 电源。

图1-13 下电时序图



其中， $T1 > 0$ 。

下电时，3.3V/1.8V 先下电，当 3.3V 电源电平下降到 POR 阈值 2.1V 时，触发 POR 复位，CORE 电源才可以开始下电。

注意

POR 模块对应的电源管脚是 DVDD33 (D14、M15、P4 pin)。

POR 的上电阈值是 2.6V，下电阈值是 2.1V。下电时，POR 有三种工作状态：

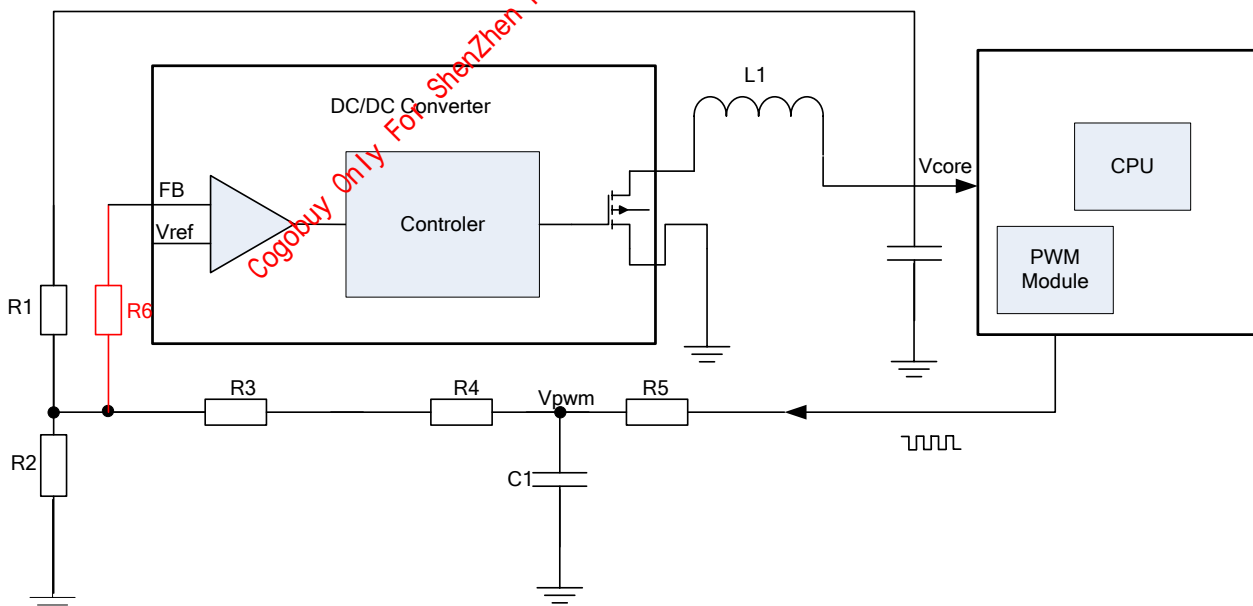
- DVDD33 的电压由 3.3V 下降至 2.6V。从此时开始计时，如果在 5us 时刻，DVDD33 的电压大于 2.6V，POR 不触发复位，SYS_RSTN_OUT 管脚保持高电平。
- DVDD33 的电压由 3.3V 下降至 2.6V。从此时开始计时，如果在 5us 时刻，DVDD33 的电压小于或等于 2.6V，且大于 2.1V，那么 POR 触发复位，SYS_RSTN_OUT 管脚输出低电平。
- DVDD33 的电压由 3.3V 下降至 2.6V。从此时开始计时，如果在 5us 之内，DVDD33 的电压小于或等于 2.1V，POR 直接触发复位，SYS_RSTN_OUT 管脚输出低电平。

1.2.6 SVB 动态调压

Hi3516CV500 的 Core 电源必须增加动态调压功能，实现方式如下：

通过 Hi3516CV500 的 PWM 波形输出管脚 SVB_PWM，经过 RC 滤波后输出 0~3.3V 不同电压的直流电平，该直流电平经电阻网络叠加到 DC-DC 的反馈电压输入处，实现 DC-DC 输出电压的调节。调节 Hi3516CV500 相关的寄存器可以改变 PWM 的频率和占空比，最终可以实现动态调节 DC-DC 的输出电压，如图 1-14 所示。

图1-14 电源动态调压示意图



SVB 电路设计中，将 Hi3516CV500 SVB_PWM 管脚通过 SVB 电路连接至 CORE 电源 DC-DC 的 FB 管脚即可。设计中需注意事项如下：



- PWM 用于控制 DVDD 电源的电压；
- Hi3516CV500 的 3.3V 电源直流电压值误差范围不要超过 $\pm 50\text{mV}$ ；
- DC-DC 的 FB 管脚前预留一个电阻 R6，用于调节 DC-DC 器件的环路稳定性；
通常 R6 的阻值可以按照下面的规则进行计算。该计算方法仅适用 MPS 的 DC-DC，其他方案 DC-DC，需客户与厂家确认。

$$R6 * (V_{out}/V_{ref}) + R1 = 200k$$

其中， V_{out} 是 DC-DC 输出的标称电压值， V_{ref} 是 DC-DC 的参考电压值，R1 是 DC-DC FB 管脚的上分压电阻值。

等式右边的 200k 是一个经验值，当 DC-DC 输出电容容值大于 DC-DC 手册中的参考电容容值，那么这里可以改为 100k。

计算出来的 R6 是一个参考值，实际阻值可以在计算值左右波动，尽量接近即可。

- 要求选用 DC-DC 参考电压 V_{ref} 小于 0.65V，DC-DC 的 V_{ref} 精度偏差不能超过 2%。

注意

所有的电阻精度均要求 1%，电容材质必须为 X7R 或 X7S。

SVB 电路的参数配置必须保持与表 1-10 一致。

表1-10 DVDD SVB 调压 RC 参数

Vref(V)	R1(kohm)	R2(kohm)	R3(kohm)	R4(kohm)	R5(kohm)	C(uF)
0.45	24	20	120	47	1	2.2
0.6	15	24	100	20	1	2.2
0.608	15	24	120	24	1	2.2

1.3 外围接口设计建议

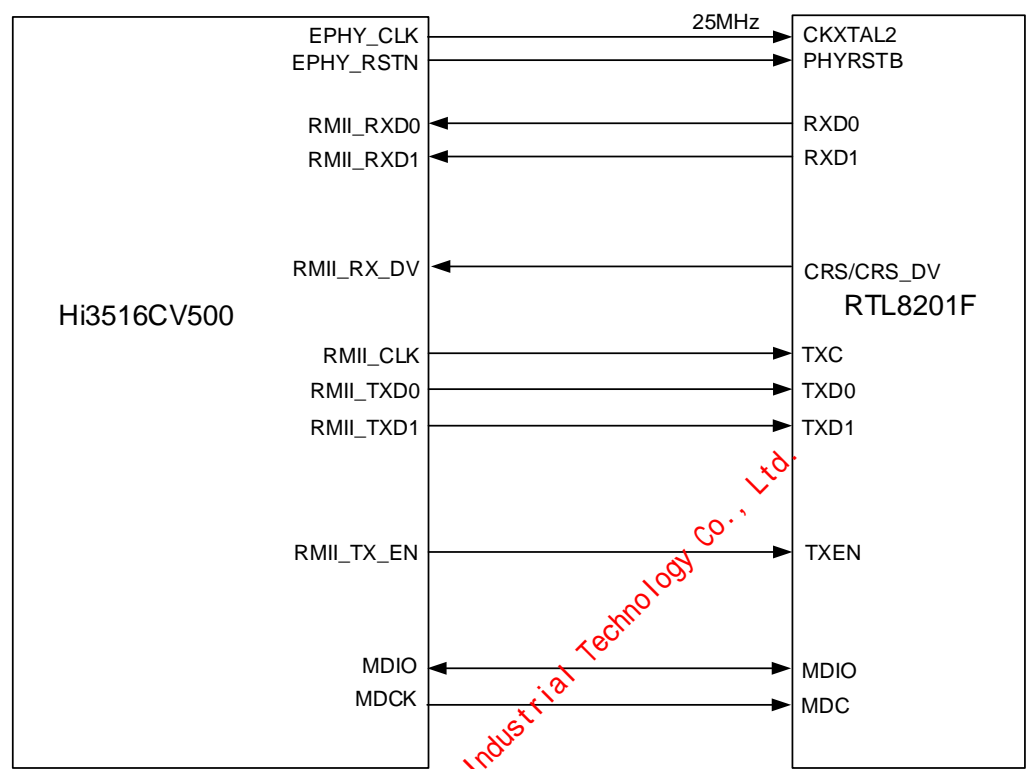
1.3.1 MAC 接口

MAC 接口设计

Hi3516CV500 的 MAC 支持 RMII 模式，不支持 RGMII 和 MII 模式。各模式的信号连接如图 1-15 所示。



图1-15 Hi3516CV500 RMII 模式下的信号连接示意图



ETH MAC 信号设计要求如表 1-11 所示。

表1-11 ETH MAC 信号设计方法

信号	设计方法
RMII_CLK	4 层板设计：信号在 Hi3516CV500 端串联 33Ω 电阻，走线长度不能超过 8inch。 2 层板设计：信号在 Hi3516CV500 端串联 51Ω 电阻，走线长度不能超过 8inch。
RMII_TXD[0:1] RMII_TX_EN	4/2 层板设计：信号直连，走线长度不能超过 8inch。
RMII_RXD[0:1] RMII_RX_DV	4/2 层板设计：信号直连，走线长度不能超过 8inch。
MDCK	4 层板设计：信号在 Hi3516CV500 端串联 33Ω 电阻，走线长度不能超过 8inch。 2 层板设计：信号在 Hi3516CV500 端串联 51Ω 电阻，走线长度不能超过 8inch。
MDIO	4/2 层板设计：信号直连，走线长度不能超过 8inch，接 1.5kΩ 上拉电阻。



信号	设计方法
EPHY_CLK	4 层板设计：信号在 Hi3516CV500 端串联 33Ω 电阻，走线长度不能超过 8inch。 2 层板设计：信号在 Hi3516CV500 端串联 51Ω 电阻，走线长度不能超过 8inch。

1.3.2 音视频接口

1.3.2.1 模拟音频接口设计

Hi3516CV500 提供 1 组双声道音频输入接口 (AC_INL/R)，1 组双声道输出接口 (AC_OUTL/R)。

AC_INL/R 可以复用为一个差分输入接口 AC_IN_P/N。音频输出接口不支持差分输出。

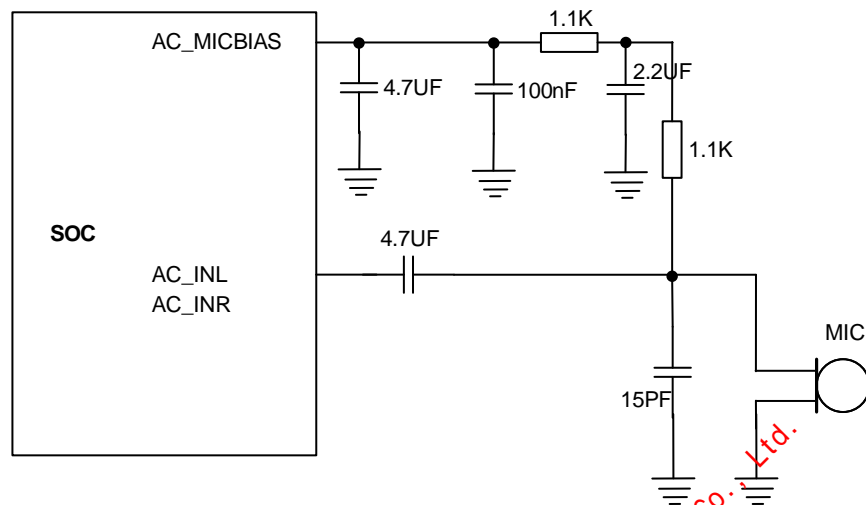
- Audio 模块的模拟电源 AVDD33_AC 必须使用磁珠与系统 3.3V 电源隔离。
- AC_VREF 引脚上的滤波电容 4.7uF+100nF 的低 ESR 陶瓷电容。
- Audio 模块的输入接口均可作为 LINEIN 或者 MIC_IN 的输入通道。如果输入设备为无源 MIC，则需要提供 MIC_BIAS 偏置电压。如果输入设备为有源 LINE 输出设备（例如：PC），则不需要。
- 音频输入信号上的隔直电容靠近 Hi3516CV500 放置，电容容值推荐选择 4.7uF。
- Hi3516CV500 提供了 1 个 MIC_BIAS 管脚，AC_MICBIAS 管脚处需要放置一个 4.7uF 电容。
- 为获得较好的音频质量，建议在音频输出管脚 AC_OUTL 和 AC_OUTR 的外围增加音频放大器以及滤波电路。
- 音频输出信号线上必须有 ESD 保护措施，加强接口的抗干扰能力。

MIC 单端输入电路设计

MIC 单端输入参考电路如图 1-16 所示：



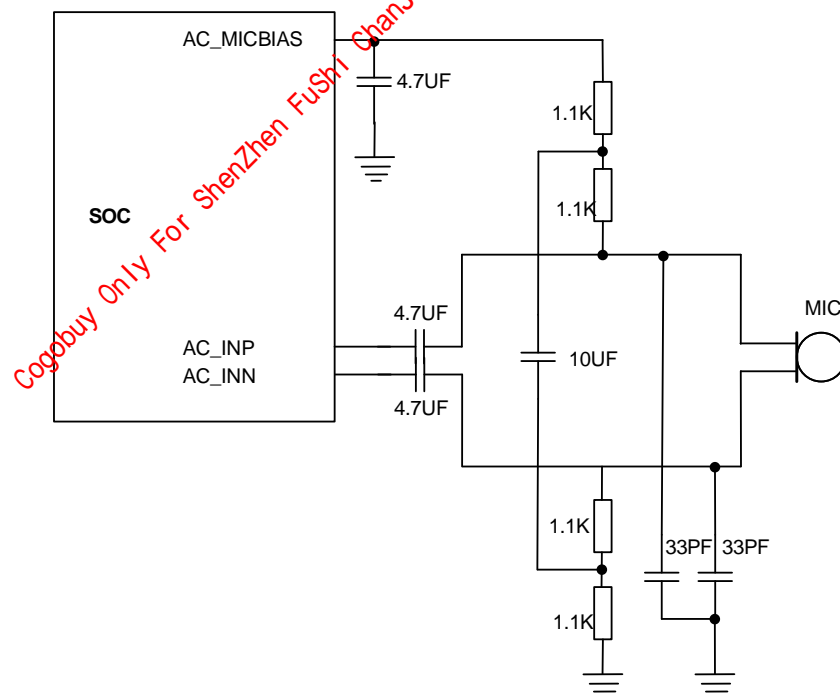
图1-16 MIC 单端输入电路



MIC 差分输入电路设计

MIC 差分输入参考电路如图 1-17 所示，图中使用的 MIC 为普通单端 MIC。

图1-17 MIC 差分输入电路





注意

Audio 模块容易受电源噪声和信号串扰影响，为在产品开发中获得较好音频质量，在单 MIC 输入时，**建议采用差分输入电路**，MIC 可选用普通单端 MIC。

1.3.2.2 I2S 接口

Hi3516CV500 支持 1 个 I2S 接口，与 JTAG 接口复用，图 1-18 和图 1-19 分别表示了“5 线模式” I2S 主模式和从模式的连接方式。

注意

I2S 接口和 Audio codec 共用通道，不能同时使用。

图1-18 “5 线模式” I2S 主模式连接方式

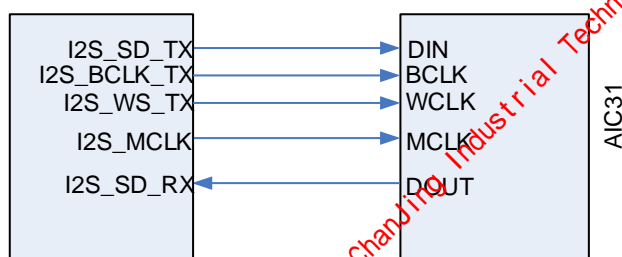
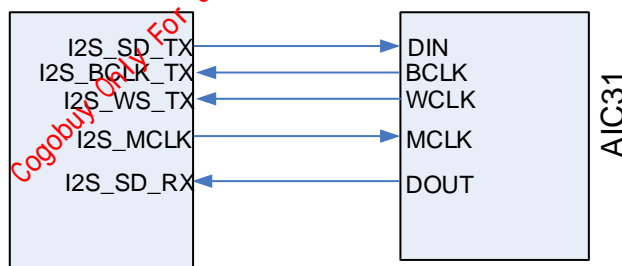


图1-19 “5 线模式” I2S 从模式连接方式



1.3.2.3 Sensor 配置接口设计

Hi3516CV500 支持 1 路 Sensor 输入，Sensor 的配置接口包含如下信号：

- SENSOR0_RSTN、SENSOR0_CLK、SENSOR_HS、SENSOR_VS。
- SPI0/I2C0

各个信号的用途说明如下：

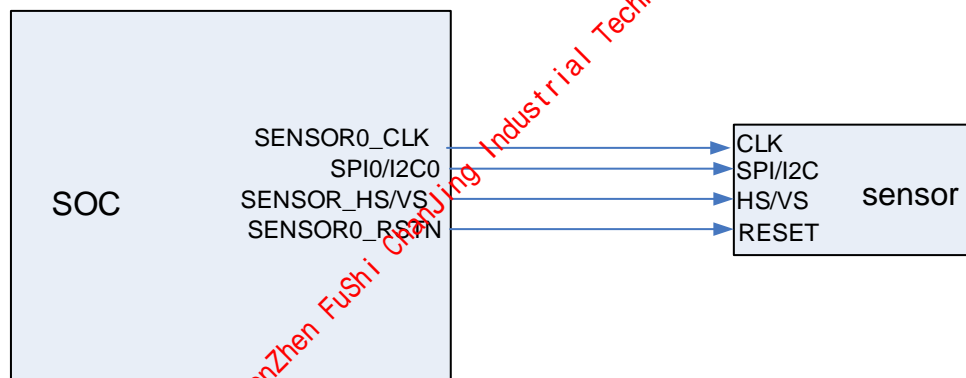
- SENSOR0_RSTN 能通过配置寄存器输出复位信号，用于 Sensor 的复位。



- SENSOR0_CLK 能提供各种主流 Sensor 的工作时钟，详细请见《Hi3516CV500 专业型 Smart IP Camera SoC 用户指南》系统章节的 CRG 寄存器的配置信息。在设计 4 层板设计时，SENSOR0_CLK 需要在 Hi3516CV500 端串联 33Ω 电阻；2 层板设计时串联 51Ω 电阻。
- SPI0/I2C0 用于 Sensor 的配置：
 - 其中 I2C0_SCL 和 SPI0_SCLK 复用，I2C0_SDA 与 SPI0_SDO 复用。Sensor 配置接口还支持一种“3 Wire SPI Interface”，它也与 SPI0 复用，用于对接部分松下 Sensor。
 - 在设计时，I2C0 信号需要外接上拉电阻，上拉电阻值必须为 1kΩ。
- SENSOR_HS 和 SENSOR_VS 输出行场同步信号，用于支持“从模式”的 Sensor。
- 为保证 ESD 性能，在 Sensor 板电路设计中，Sensor 复位信号需加入 1nF 对地电容。

在对接 Sensor 时，推荐以下接法，如图 1-20 所示：

图1-20 sensor 配置接口接法



1.3.2.4 VI 接口设计

VI 可以复用为两种接口：Parallel CMOS 视频输入接口和差分视频输入接口（即 MIPI RX 接口）。

- Parallel CMOS 视频输入接口支持 RAW Data、BT.1120、BT.656、BT.601 格式的数据。接口频率可达 148.5MHz。
 - 当对接信号是 RAW DATA 时，单板设计时从 VI 低位开始按照顺序连接，例如 12bit RAW DATA 对接 VI 的 D0~D11 位。
 - 当对接信号是 BT.1120 时，单板设计时 Y 信号按顺序对接 VI 的高 8bit，C 信号按顺序对接 VI 的低 8bit。内同步和外同步方式均支持。
 - 当对接信号是 BT.656 或者 BT.601 时，单板设计时从 VI 低位开始按照顺序连接。
- 差分视频输入接口有 1 组差分时钟信号和 4 组差分数据信号，支持 2lane MIPI RX 输入和 4lane MIPI RX 输入。



- 4lane MIPI RX 规格时，MIPI_RX_CK0P/N 对 MIPI_RX_D0P/N、MIPI_RX_D1P/N、MIPI_RX_D2P/N、MIPI_RX_D3P/N 进行采样；
- 2lane MIPI RX 规格时，MIPI_RX_CK0P/N 对 4 lane 数据中的任意 2lane 进行采样，设计时建议优先选择 MIPI_RX_D0P/N 和 MIPI_RX_D2P/N；
- MIPI RX 接口内置了 100 Ω 跨接匹配电阻，外部无需再设计或者预留。
- VI 接口连接方式具体详见《Hi3516CV500 Sensor 输入接口电平场景详细说明.xlsx》。

注意

当使用非 MIPI RX 功能时，需要先配置 PHY_MODE_LINK 和 PHY_EN_LINK 寄存器分别为 0x30100 和 0x0（寄存器详情请参见芯片手册 9.3.6 小节），使 MIPI RX PHY 处于 CMOS 模式。

1.3.2.5 并行 VO 接口设计

Hi3516CV500 的并行 VO（Video output）接口支持 BT.656、BT.1120 和 RGB 输出，不支持 BT.601。

其中 RGB 输出用于对接 LCD 屏，支持 6/8bit 串行 RGB 和 16bit，18bit，24 bit 并行 RGB。详细如表 1-12 所示。

表1-12 信号接口模式与引脚对应关系

信号接口模式	引脚对应关系
BT.1120	Y（亮度）：VOU1120_DATA[15:8] C（色度）：VOU1120_DATA[7:0] CLOCK：VOU1120_CLK
BT.656	DATA：VOU656_DATA[7:0] CLOCK：VOU656_CLK
6 bit Serial RGB	DATA：LCD_DATA[5:0] CLOCK：LCD_CLK HSYNC：LCD_HSYNC VSYNC：LCD_VSYNC DE：LCD_DE
8 bit Serial RGB	LCD_DATA [7:0] CLOCK：LCD_CLK HSYNC：LCD_HSYNC VSYNC：LCD_VSYNC DE：LCD_DE



信号接口模式	引脚对应关系
16 bit Parallel RGB (RGB565)	B[4:0]: LCD_DATA [15:11] G[5:0]: LCD_DATA [10:5] R[4:0]: LCD_DATA [4:0] HSYNC: LCD_HSYNC VSYNC: LCD_VSYNC DE: LCD_DE
18 bit Parallel RGB (RGB666)	B[5:0]: LCD_DATA [17:12] G[5:0]: LCD_DATA [11:6] R[5:0]: LCD_DATA [5:0] HSYNC: LCD_HSYNC VSYNC: LCD_VSYNC DE: LCD_DE
24 bit Parallel RGB (RGB888)	R[7:0]: LCD_DATA [23:16] G[7:0]: LCD_DATA [15:8] B[7:0]: LCD_DATA [7:0] HSYNC: LCD_HSYNC VSYNC: LCD_VSYNC DE: LCD_DE

LCD 信号复用在 MIPI TX/RMII/GPIO/JTAG，16 bit Parallel RGB (RGB565) LCD 来源 MIPI TX 和 RMII，18 bit Parallel RGB (RGB666) 来源 MIPI TX/RMII/GPIO/JTAG_TDI。具体见《Hi3516CV500 VO 输出场景详细说明》。



当使用非 MIPI TX 功能时，需要先配置 PHY_RSTZ 和 PHY_TST_CTRL0 寄存器分别为 0x0 和 0x1（寄存器详情请参见芯片手册 9.4.6 小节），使 MIPI TX PHY 处于关闭模式。



表1-13 并行 VO 信号设计要求

信号	设计方法
VOU1120_CLK	148MHz 单沿 2 层板设计: 在 Hi3516CV500 端串联 51 Ω 电阻, 走线长度控制在 2inch 以内。 148MHz 单沿 4 层板设计: 在 Hi3516CV500 端串联 33 Ω 电阻, 走线长度控制在 2inch 以内。 37MHz 单沿 2 层板设计: 在 Hi3516CV500 端串联 51 Ω 电阻, 走线长度控制在 10inch 以内。 37MHz 单沿 4 层板设计: 在 Hi3516CV500 端串联 33 Ω 电阻, 走线长度控制在 10inch 以内。
VOU1120_DATA	74MHz 单沿: 直连, 走线长度控制在 2inch 以内。 18.5MHz 单沿: 直连, 走线长度控制在 10inch 以内。
LCD_CLK	74MHz 单沿 2 层板设计: 在 Hi3516CV500 端串联 51 Ω 电阻, 走线长度控制在 5inch 以内。 74MHz 单沿 4 层板设计: 在 Hi3516CV500 端串联 33 Ω 电阻, 走线长度控制在 5inch 以内。 37MHz 单沿 2 层板设计: 在 Hi3516CV500 端串联 51 Ω 电阻, 走线长度控制在 10inch 以内。 37MHz 单沿 4 层板设计: 在 Hi3516CV500 端串联 33 Ω 电阻, 走线长度控制在 10inch 以内。
LCD_DATA	37MHz 单沿: 直连, 走线长度控制在 5inch 以内。 18.5MHz 单沿: 直连, 走线长度控制在 10inch 以内。

1.3.2.6 MIPI TX 接口设计

Hi3516CV500 内置了一个 MIPI TX PHY, 用于对接 MIPI 接口的 LCD 屏。

- DD3318_MIPITX 电源管脚需要与芯片数字电源用磁珠隔离并在芯片管脚端放置 2.2 μ F 滤波电容。
- DSI_D0P/N、DSI_D1P/N、DSI_D2P/N 和 DSI_D3P/N 四对差分数据参考差分时钟 DSI_CKPN 采样。
- 详细的原理图设计请参考 HI3516CV500DMEB 原理图设计文件。

1.3.3 SPI 和 I2C 接口

- Hi3516CV500 有 3 组 SPI 接口, SPI0 用于 Sensor 配置, SPI1/2 用于控制外设。
- Hi3516CV500 有 7 组 I2C 接口, I2C0、I2C1 用于 Sensor 配置, 它们与 SPI0 接口复用, 具体复用关系请查看《Hi3516CV500_PINOUT_CN》。
- 2 层板设计 I2C 信号推荐接外接 1.5k Ω 上拉电阻。
- 4 层板设计 I2C 信号推荐接外接 1k Ω 上拉电阻。



注意

I2C7_SCL、I2C7_SDA 上拉电源必须和 DVDD3318_SDIO1 电源保持一致。

1.3.4 SDIO 设计

Hi3516CV500 有 2 个 SDIO 接口。

SDIO0 支持 SDIO3.0、SDXC 存储卡；

SDIO1 只支持对接 WIFI，接口支持 1.8V 和 3.3V 电平；

SDIO0_CARD_DETECT 和 SDIO0_CARD_POWER_EN 只支持 3.3V。

SDIO 信号设计要求如表 1-14 所示。

表1-14 SDIO 信号设计要求

信号	设计方法
SDIO0_VOUT	在 SOC 端接 1 μ F 470nF 的电容到地。
SDIO0_CCLK_OUT	2 层板设计： <ul style="list-style-type: none">在 SOC 端串联 51Ω 电阻，走线长度不能超过 4inch。 4 层板设计： <ul style="list-style-type: none">在 SOC 端串联 33Ω 电阻，走线长度不能超过 4inch。
SDIO0_CDATA[0:3] SDIO0_CMD	2 层板设计： <ul style="list-style-type: none">在 SOC 端串联 51Ω 电阻，走线长度不能超过 4inch，预留 47K 上拉电阻。走线长度不超过 2inch 时，SOC 端可不串匹配电阻。 4 层板设计： <ul style="list-style-type: none">在 SOC 端串联 33Ω 电阻，走线长度不能超过 4inch，预留 47K 上拉电阻。走线长度不超过 2inch 时，SOC 端可不串匹配电阻。
SDIO0_CARD_DETECT	在对接 SD 卡时，SDIO0_CARD_DETECT 信号必须外接上拉电阻到 3.3V，阻值推荐 10k Ω 。
SDIO1_CCLK_OUT	2 层板设计： <ul style="list-style-type: none">在 SOC 端串联 51Ω 电阻，走线长度不能超过 4inch。 4 层板设计： <ul style="list-style-type: none">在 SOC 端串联 33Ω 电阻，走线长度不能超过 4inch。



信号	设计方法
SDIO1_CDATA[0:3] SDIO1_CMD	2 层板设计: <ul style="list-style-type: none">走线长度不能超过 4inch, SOC 端可不串匹配电阻,预留 47K 上拉电阻。

1.3.5 USB2.0 接口

1.3.5.1 USB2.0

Hi3516CV500 提供 1 个 USB2.0 接口, 支持 Host 或者 Device, 不支持 OTG。

- AVDD33_USB 与系统 3.3V 电源合并, 靠近管脚放置一个 2.2 μ F 电容。
- USB_VBUS 通过 2 个 10K 电阻分压 5V0_USBS 做输入检测, 仅用 host 模式时, 可悬空处理。
- USB2.0 信号上要有 ESD 保护措施, ESD 器件的寄生电容要求小于 1pF, ESD 器件靠近 USB 接口放置。

1.3.6 ADC

Hi3516CV500 支持 2 路模拟信号输入, 进行 AD 转换。这 2 个管脚均可复用为 GPIO 信号。

1.3.7 RTC

内置 RTC 在固定分频模式, 计时精度主要取决于外置晶体, 请综合考虑晶体频率误差、温度漂移等因素, 选择合适的晶体; 对计时精度要求较严格的产品, 建议选择外置高精度集成 RTC。

注意

- RTC_XIN 为 RTC 时钟输入管脚。
- DVDD3318_PC 掉电后, AVDD_BAT 必须保持供电, 否则时间会被复位。

1.3.8 PWM

Hi3516CV500 有个 3 PWM。SOC 的 SVB_PWM 只能用做 Core 电源调压, PWM[0:1] 用于对接外设。

所有 PWM 接口不使用时均可复用为 GPIO 使用。

1.3.9 UART

Hi3516CV500 支持 4 个 UART 接口, 除了 UART0/4 是 2 线串口, 其余 UART 均是 4 线串口。



UART0 用于系统调试。

1.4 特殊管脚说明

1.4.1 未使用的模块处理

未使用的模块电源和管脚处理建议如表 1-15 所示。

表1-15 未使用模块电源及管脚处理建议

Net Name	POWER	STATUS(IF NOT USED)	NOTES
AVDD33_AC	-	TIED TO 3.3V	-
AVSS_AC	-	TIED TO VSS	-
AC_INL	AVDD33_AC	N.C.	-
AC_INR			-
AC_MICBIAS			-
AC_OUTL			-
AC_OUTR			-
AC_VREF			-
AVDD3318_MIPITX		TIED TO 1.8V/ 3.3V	-
DSI_CKN	AVDD3318_MIPITX	N.C.	-
DSI_CKP			-
DSI_D0N			-
DSI_D0P			-
DSI_D1N			-
DSI_D1P			-
DSI_D2N			-
DSI_D2P			-
DSI_D3N			-
DSI_D3P			-
GPIO0_0	DVDD33	N.C.	-
GPIO0_1			-
GPIO0_2			-
GPIO0_3			-



Net Name	POWER	STATUS(IF NOT USED)	NOTES
GPIO0_4			-
GPIO0_5			-
GPIO0_6			-
I2C2_SCL	DVDD33	N.C.	-
I2C2_SDA			-
I2C7_SCL	DVDD3318_SDIO1	N.C.	-
I2C7_SDA			-
JTAG_TCK	DVDD33	N.C.	-
JTAG_TDI			-
JTAG_TDO			-
JTAG_TMS			-
JTAG_TRSTN			-
LSADC_CH0	DVDD33	N.C.	-
LSADC_CH1			-
AVDD3318_MIPIRX	-	TIED TO 1.8V/ 3.3V	-
AVSS_MIPIRX	-	TIED TO VSS	-
MIPI_RX_CK0N	AVDD3318_MIPIRX	N.C.	-
MIPI_RX_CK0P			-
MIPI_RX_D0N			-
MIPI_RX_D0P			-
MIPI_RX_D1N			-
MIPI_RX_D1P			-
MIPI_RX_D2N			-
MIPI_RX_D2P			-
MIPI_RX_D3N			-
MIPI_RX_D3P			-
VI_DATA8			-
VI_DATA9			-
SVB_PWM	DVDD33	N.C.	-
PWM0			-



Net Name	POWER	STATUS(IF NOT USED)	NOTES
PWM1			-
AVDD_BAT	-	N.C.	-
AVSS_RTC	-	TIED TO VSS	-
RTC_XIN	-	N.C.	-
RTC_XOUT	-	N.C.	-
DVDD3318_PC	-	TIED TO 1.8V/ 3.3V	-
PWR_BUTTON	DVDD3318_PC	N.C.	-
PWR_RSTN			-
PWR_SEQ0			-
PWR_STARTUP			-
PWR_WAKEUP			-
RMII_CLK	DVDD33	N.C.	
RMII_RX_DV			-
RMII_RXD0			-
RMII_RXD1			-
RMII_TX_EN			-
RMII_TXD0			-
RMII_TXD1			-
MDCK			-
MDIO			-
DVDD18_SDIO0	-	TIED TO 1.8V	-
SDIO0_CARD_DETE CT	DVDD33	N.C.	-
SDIO0_CARD_POW ER_EN			-
SDIO0_CCLK_OUT	DVDD33/DVDD18(通 过 powerswitch 切换)	N.C.	-
SDIO0_CCMD			-
SDIO0_CDATA0			-
SDIO0_CDATA1			-
SDIO0_CDATA2			-
SDIO0_CDATA3			-



Net Name	POWER	STATUS(IF NOT USED)	NOTES
SDIO0_VOUT			-
DVDD3318_SDIO1	-	TIED TO 1.8V/ 3.3V	-
SDIO1_CCLK_OUT	DVDD3318_SDIO1	N.C.	-
SDIO1_CCMD			-
SDIO1_CDATA0			-
SDIO1_CDATA1			-
SDIO1_CDATA2			-
SDIO1_CDATA3			-
DVDD3318_SENSOR	-	TIED TO 1.8V/ 3.3V	-
SENSOR0_CLK	DVDD3318_SENSOR	N.C.	-
SENSOR0_RSTN			-
SPI0_CSN			-
SPI0_SCLK			-
SPI0_SDI			-
SPI0_SDO			-
UART0_RXD	DVDD33	N.C.	-
UART0_TXD			-
DVDD3318_UART1	-	TIED TO 1.8V/ 3.3V	-
UART1_CTSN	DVDD3318_UART1	N.C.	-
UART1_RTSN			-
UART1_RXD			-
UART1_TXD			-
AVDD33_USB	-	TIED TO 3.3V	-
AVSS_USB	-	TIED TO VSS	-
USB_DM	AVDD33_USB	N.C.	-
USB_DP			-
USB_OVRCUR	DVDD33	N.C.	-
USB_PWREN			-
USB_VBUS			-
DVDD3318_VI	-	TIED TO 1.8V/ 3.3V	-



Net Name	POWER	STATUS(IF NOT USED)	NOTES
VI_CLK	DVDD3318_VI	N.C.	-
VI_DATA0			-
VI_DATA1			-
VI_DATA2			-
VI_DATA3			-
VI_DATA4			-
VI_DATA5			-
VI_DATA6			-
VI_DATA7			-
VI_HS			-
VI_VS			-

备注：N.C.：浮空

1.4.2 5V tolerance 管脚

表1-16 5V tolerance 管脚

Pin	Description
I2C2_SCL	5V tolerance
I2C2_SDA	
USB_VBUS	

1.4.3 防倒灌 GPIO 管脚说明

Hi3516CV500 芯片除表 1-17 所示 GPIO 管脚不防倒灌外，其余所有 GPIO 都具有防倒灌功能。

表1-17 不具有防倒灌功能管脚列表

管脚号	管脚名	电源
T2	SDIO0_CCLK_OUT/GPIO1_2	DVDD18_SDIO0/DVDD33
M2	EMMC_RST_N/GPIO0_5	DVDD3318_FLASH
P2	EMMC_DATA2/GPIO0_7	DVDD3318_FLASH



1.5 在 DVDD33 上电过程中出现毛刺的 IO 说明

Hi3516CV500 在 DVDD33 上电过程中 GPIO 口概率性出现毛刺，幅度为 100mV~900mV。IO 毛刺出现在 DVDD33 上升到 400mV~950mV 的阶段，毛刺宽度为 100us~150us。

如场景应用上选用对接 IO 口做开关控制或者使能控制等，请注意 IO 口毛刺是否会影响对接电路功能。对于低速电平信号，在不影响电路功能和性能的情况下，建议 GPIO 上增加合适的对地电容（容值 47nF-100nF）滤除可能出现的毛刺。

表1-18 Hi3516CV500 在 DVDD33 上电过程中出现毛刺的 IO 统计表

管脚号	管脚名	复用功能
B12	GPIO0_0	UPDATE_MODE
B11	GPIO0_1	I2C3_SDA/LCD_DATA20
A11	GPIO0_2	I2C3_SCL/LCD_DATA19
C11	GPIO0_3	IR_IN/LCD_DATA18
D11	GPIO0_4	LCD_DATA21
C12	GPIO0_5	LCD_DATA22
E18	GPIO0_6	LCD_CLK/VOU_CLK
P2	GPIO0_7	EMMC_DATA2/SFC_CSN
V2	GPIO1_0	SDIO0_CARD_POWER_EN/JTAG_TCK
T3	GPIO1_1	SDIO0_CARD_DETECT
T2	GPIO1_2	SDIO0_CCLK_OUT/JTAG_TRSTN
P3	GPIO1_3	SDIO0_CCMD
T1	GPIO1_4	SDIO0_CDATA0
R3	GPIO1_5	SDIO0_CDATA1/JTAG_TMS
U2	GPIO1_6	SDIO0_CDATA2/JTAG_TDO
U1	GPIO1_7	SDIO0_CDATA3/JTAG_TDI
A13	GPIO10_0	DSI_D0P/LCD_DATA8/VOU_DATA15/LCD_DE
B13	GPIO10_1	DSI_D0N/LCD_DATA9/VOU_DATA14/LCD_VSYNC
N15	GPIO10_3	LSADC_CH0
L15	GPIO10_4	LSADC_CH1
M2	GPIO10_5	EMMC_RST_N/SYS_RSTN_OUT



管脚号	管脚名	复用功能
G16	GPIO10_6	I2C7_SCL
F16	GPIO10_7	I2C7_SDA/RMII_CLK
J18	GPIO11_0	PWR_WAKEUP
H16	GPIO11_1	PWR_SEQ0
V3	GPIO2_0	USB_OVRCUR
R4	GPIO2_1	USB_VBUS
U3	GPIO2_2	USB_PWREN
V12	GPIO2_3	VI_CLK/VOU_CLK/I2C5_SCL
V16	GPIO3_0	VI_DATA0/VOU_DATA0/I2C5_SDA
U15	GPIO3_1	VI_DATA1/VOU_DATA1/I2C6_SCL
V15	GPIO3_2	VI_DATA2/VOU_DATA2/I2C6_SDA
U14	GPIO3_3	VI_DATA3/VOU_DATA3/UART2_RTSN
V14	GPIO3_4	VI_DATA4/VOU_DATA4/UART2_CTSN/SPI2_SCLK
U13	GPIO3_5	VI_DATA5/VOU_DATA5/UART2_RXD/SPI2_SDO
V13	GPIO3_6	VI_DATA6/VOU_DATA6/UART2_TXD/SPI2_SDI
U12	GPIO3_7	VI_DATA7/VOU_DATA7/SHUTTER_TRIG/SPI2_CSN
T12	GPIO4_0	SENSOR0_CLK
T11	GPIO4_1	SENSOR0_RSTN/BOOT_SEL1
R11	GPIO4_2	SPI0_SCLK/I2C0_SCL/SPI_3LINE_SCLK
U11	GPIO4_3	SPI0_SDO/I2C0_SDA/SPI_3LINE_SDATA
T10	GPIO4_4	SPI0_SDI/I2C1_SDA/SENSOR_VS
T9	GPIO4_5	SPI0_CSN/I2C1_SCL/SPI_3LINE_CSN/SENSOR_HS
T14	GPIO4_6	VI_VS/SENSOR_VS
T13	GPIO4_7	VI_HS/FLASH_TRIG/SENSOR_HS
R14	GPIO5_0	UART1_RTSN/UART4_RXD
T15	GPIO5_1	UART1_CTSN/UART4_TXD
R16	GPIO5_2	UART1_RXD
R17	GPIO5_3	UART1_TXD
R18	GPIO5_4	UART0_RXD
P17	GPIO5_5	UART0_TXD
P16	GPIO5_6	I2C2_SDA



管脚号	管脚名	复用功能
P15	GPIO5_7	I2C2_SCL
H18	GPIO6_0	SDIO1_CCLK_OUT/RMII_RX_DV
F15	GPIO6_1	SDIO1_CCMD/EPHY_CLK
G18	GPIO6_2	SDIO1_CDATA0/MDCK
G17	GPIO6_3	SDIO1_CDATA1/MDIO
F17	GPIO6_4	SDIO1_CDATA2/RMII_TX_EN
G15	GPIO6_5	SDIO1_CDATA3/EPHY_RSTN
P18	GPIO6_6	PWM0
N18	GPIO6_7	PWM1
C17	GPIO7_0	RMII_TX_EN/LCD_DATA2/VOU_DATA5
D12	GPIO7_1	RMII_TXD0/LCD_DATA0/VOU_DATA7
C18	GPIO7_2	RMII_CLK/LCD_HSYNC
D13	GPIO7_3	RMII_RX_DV/LCD_DATA6/VOU_DATA1
C14	GPIO7_4	RMII_RXD1/LCD_VSYNC
C15	GPIO7_5	RMII_RXD0/LCD_DE
B18	GPIO7_6	EPHY_RSTN/LCD_DATA3/VOU_DATA4/SFC_DEVICE_MODE
D16	GPIO7_7	EPHY_CLK/LCD_DATA7/VOU_DATA0
E15	GPIO8_0	JTAG_TRSTN/SPI1_SCLK/RMII_TXD1/I2S_MCLK
D15	GPIO8_1	JTAG_TCK/SPI1_SDO/RMII_RXD1/I2S_BCLK_TX
F18	GPIO8_2	JTAG_TMS/SPI1_CSN0/RMII_TXD0/I2S_WS_TX
E16	GPIO8_3	JTAG_TDO/SPI1_SDI/RMII_RXD0/I2S_SD_TX
E17	GPIO8_4	JTAG_TDI/SPI1_CSN1/LCD_DATA23/I2S_SD_RX
D18	GPIO8_5	MDIO/LCD_DATA5/VOU_DATA2
D17	GPIO8_6	MDCK/LCD_DATA4/VOU_DATA3/BOOT_SEL0
C16	GPIO8_7	RMII_TXD1/TEST_CLK/VOU_DATA6/LCD_DATA1
A17	GPIO9_0	DSI_D3P/LCD_DATA16/SHUTTER_TRIG/LCD_DATA5
B17	GPIO9_1	DSI_D3N/LCD_DATA17/FLASH_TRIG/LCD_CLK
A16	GPIO9_2	DSI_D2N/LCD_DATA14/VOU_DATA9/LCD_DATA3
B16	GPIO9_3	DSI_D2P/LCD_DATA15/VOU_DATA8/LCD_DATA4
A15	GPIO9_4	DSI_CKP/LCD_DATA12/VOU_DATA11/LCD_DATA1



管脚号	管脚名	复用功能
B15	GPIO9_5	DSI_CKN/LCD_DATA13/VOU_DATA10/LCD_DATA2
A14	GPIO9_6	DSI_D1N/LCD_DATA10/VOU_DATA13/LCD_HSYNC
B14	GPIO9_7	DSI_D1P/LCD_DATA11/VOU_DATA12/LCD_DATA0

Cogobuy Only For ShenZhen FuShi ChanJing Industrial Technology Co., Ltd.



2 PCB 设计

2.1 电源与滤波电容设计

注意

主芯片下方的电源包括内核电源、PLL 电源、AVDD3318_MIPITX 等的滤波电容材质推荐选择 X6 或者 X7。

2.1.1 DVDD 电源

2 层单板 and 4 层单板设计 DVDD 电源的滤波电容容值、数量和布局有差异：

2 层板设计时滤波电容类型、数量和布局要求复制 HI3516CV500DMEBLITE 的设计；

4 层板设计时滤波电容类型、数量和布局要求复制 HI3516CV500DMEB 的设计。

滤波电容类型、数量和布局

2 层板设计去耦电容布局要求如下：

- DVDD 电源域的滤波电容组合为 $10\mu\text{F}+4.7\mu\text{F}\times 2+1\mu\text{F}+220\text{nF}\times 3$ 。
- 滤波电容的摆放位置**必须参考** HI3516CV500DMEBLITE 的设计

4 层板设计去耦电容布局要求如下：

- DVDD 电源域的滤波电容组合为 $4.7\mu\text{F}+220\text{nF}+100\text{nF}\times 4$ 。
- 滤波电容的摆放位置**必须参考** HI3516CV500DMEB 的设计。

2.1.2 DDR IO 电源设计

2 层单板 and 4 层单板设计 DDR IO 电源的滤波电容容值、数量和布局有差异：

2 层板设计时滤波电容类型、数量和布局要求复制 HI3516CV500DMEBLITE 的设计；

4 层板设计时滤波电容类型、数量和布局要求复制 HI3516CV500DMEB 的设计。



滤波电容类型、数量和布局

2 层板设计去耦电容布局要求如下：

- DDR IO 电源域的滤波电容组合为 $10\mu\text{F} + 4.7\mu\text{F} \times 2 + 220\text{nF} \times 3$ ，其中 $10\mu\text{F}$ 电容为预留，NC 处理。
- 滤波电容的摆放位置**必须参考** HI3516CV500DMEBLITE 的设计。

4 层板设计去耦电容布局要求如下：

- DDR IO 电源域的滤波电容组合为 $4.7\mu\text{F} \times 2 + 220\text{nF} \times 3$ 。
- 滤波电容的摆放位置**必须参考** HI3516CV500DMEB 的设计。

VDDIO_DDR_CK 需要使用磁珠与 1.5V/1.35V 电源隔离，靠近芯片管脚处放置 1 个 $2.2\mu\text{F}$ 的电容。

2.1.3 PLL 电源设计

- AVDD09_PLL 与 DVDD 内核电源之间用磁珠（ $100\Omega @ 100\text{M}$ ）进行隔离。如图 2-1 和图 2-2 所示。

图2-1 AVDD09_PLL 供电滤波电路 SCH 设计

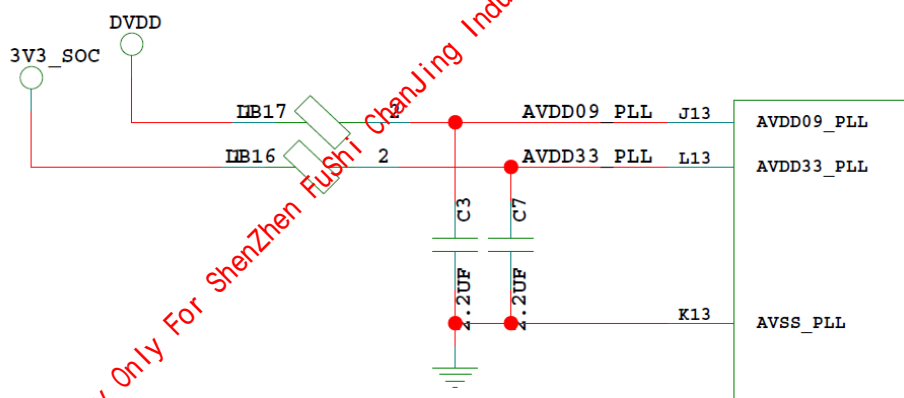
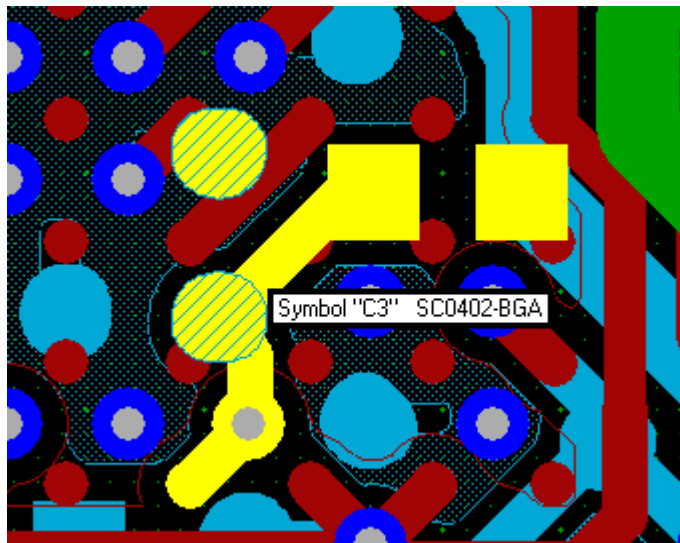


图2-2 AVDD09_PLL 供电滤波电路 PCB 设计



- AVDD33_PLL 与数字 3.3V 电源之间用磁珠（ $1000\ \Omega @ 100M$ ）进行隔离。如图 2-3 和图 2-4 所示。

图2-3 AVDD33_PLL 供电滤波电路 SCH 设计

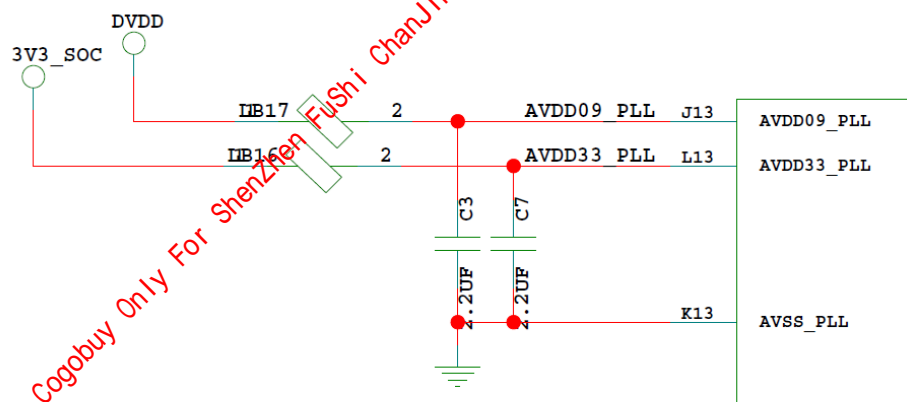
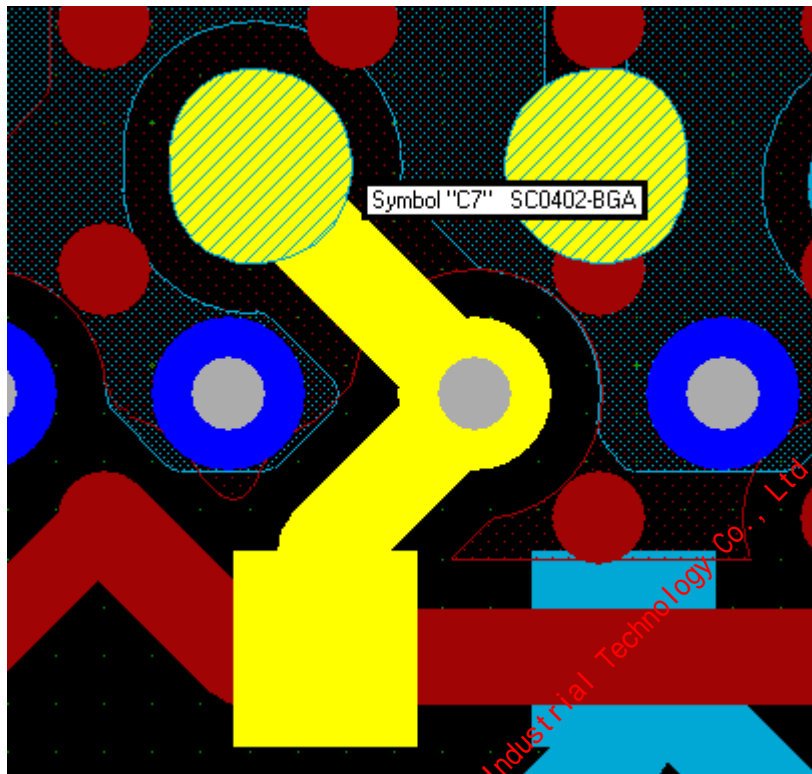


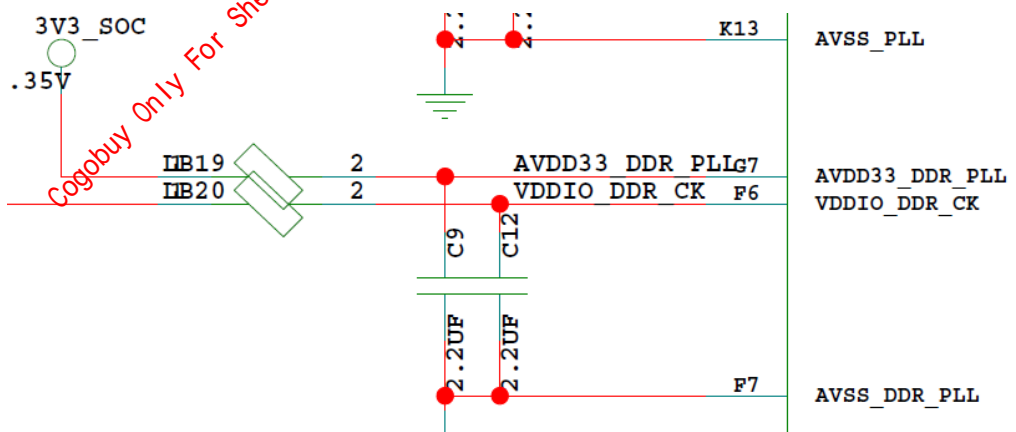


图2-4 AVDD33_PLL 供电滤波电路 PCB 设计



- AVDD33_DDR_PLL 与数字3.3V 电源之间用磁珠（ $1000\ \Omega @100M$ ）进行隔离。如图 2-5 和图 2-6 所示。

图2-5 AVDD33_DDR_PLL 供电滤波电路 SCH 设计





2.4 FLASH 电路设计

2.4.1 SPI FLASH

SPI FLASH 信号设计要求如下。

- 避免信号走线穿越电源分割区域，并保持信号参考平面完整；
- 相邻信号走线间距保持“3W”原则；
- SFC_CSN、SFC_MOSI_IO0、SFC_MISO_IO1、SFC_WP_IO2、SFC_HOLD_IO3 的线长以 SFC_CLK 的线长为基准，误差控制在 $\pm 1000\text{mil}$ 以内。
- 上述等长约束为封装加 PCB 联合控制等长。

2.4.2 eMMC

eMMC 信号设计要求如下，

- 避免信号走线穿越电源分割区域，并保持信号参考平面完整；
- 相邻信号走线间距保持“3W”原则；
- EMMC_DATA[0:3]、EMMC_CMD 的线长以 EMMC_CLK 的线长为基准，误差控制在 $\pm 300\text{mil}$ 以内。
- 上述等长约束为封装加 PCB 联合控制等长。

2.5 RMII 信号 PCB 设计

RMII 信号设计要求如下。

- 避免信号走线穿越电源分割区域，并保持信号参考平面完整；
- 相邻信号走线间距保持“3W”原则；
- RMII_TXD[0:1]、RMII_TX_EN 的线长以 RMII_CLK 的线长为基准，误差控制在 $\pm 500\text{mil}$ 以内；
- RMII_RXD[0:1]、RMII_RX_DV 的线长以 RMII_CLK 的线长为基准，误差控制在 $\pm 500\text{mil}$ 以内；
- MDIO+、MDIO-、MDI1+、MDI1 差分线对长度控制在 $\pm 5\text{mil}$ ，差分阻抗控制在 100Ω 。
- 上述等长约束为封装加 PCB 联合控制等长。

2.6 Video Input 信号 PCB 设计

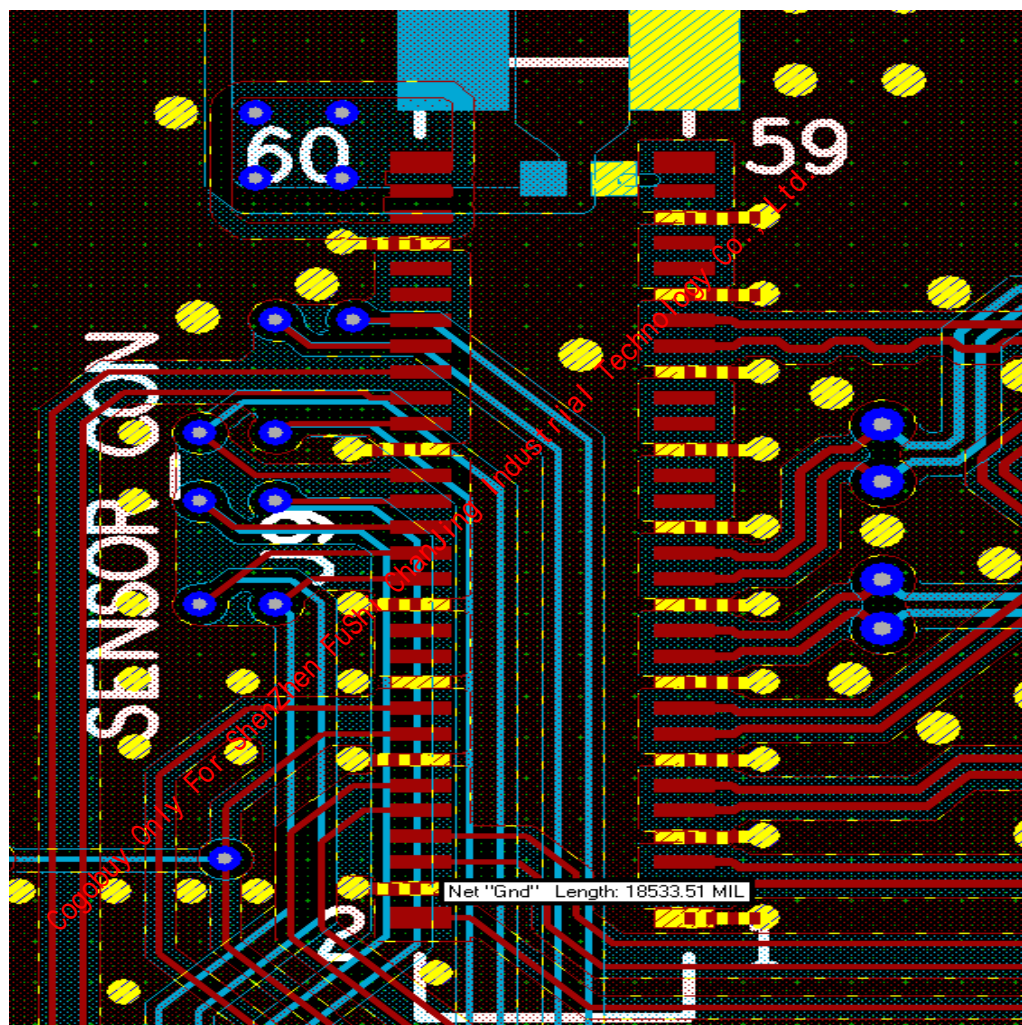
2.6.1 MIPI RX

MIPI RX 信号设计要求如下。

- 差分信号以 GND 为参考平面，并保持参考平面完整；

- PCB 走线建议 4inch 以内,差分对 P/N 等长控制在 5mil 以内,对间以采样差分时钟为参考,等长控制在正负 300mil 以内(封装+PCB 联合控制等长)。
- MIPIRX 差分对的 PCB 走线控制差分阻抗 100ohm \pm 10%;
- 差分信号经过连接器时,相邻差分信号对之间必须使用 GND 管脚进行隔离,如图 2-7 所示。黄色是 GND 网络,红色是差分线对。
- 上述等长约束为封装加 PCB 联合控制等长。

图2-7 MIPI/LVDS 差分信号隔离示意图



2.6.2 Parallel CMOS

Parallel CMOS 信号设计要求如下。

- 避免信号走线穿越电源分割区域,并保持信号参考平面完整;
- 相邻信号走线间距保持“3W”原则;
- VI_DATA[0:15]、VI_HS 和 VI_VS 的线长以 VI_CLK 的线长为基准,偏差控制在 $\pm 500\text{mil}$ 。



- 上述等长约束为封装加 PCB 联合控制等长。

2.7 Video Output 信号 PCB 设计

Video Output 信号设计要求如下。

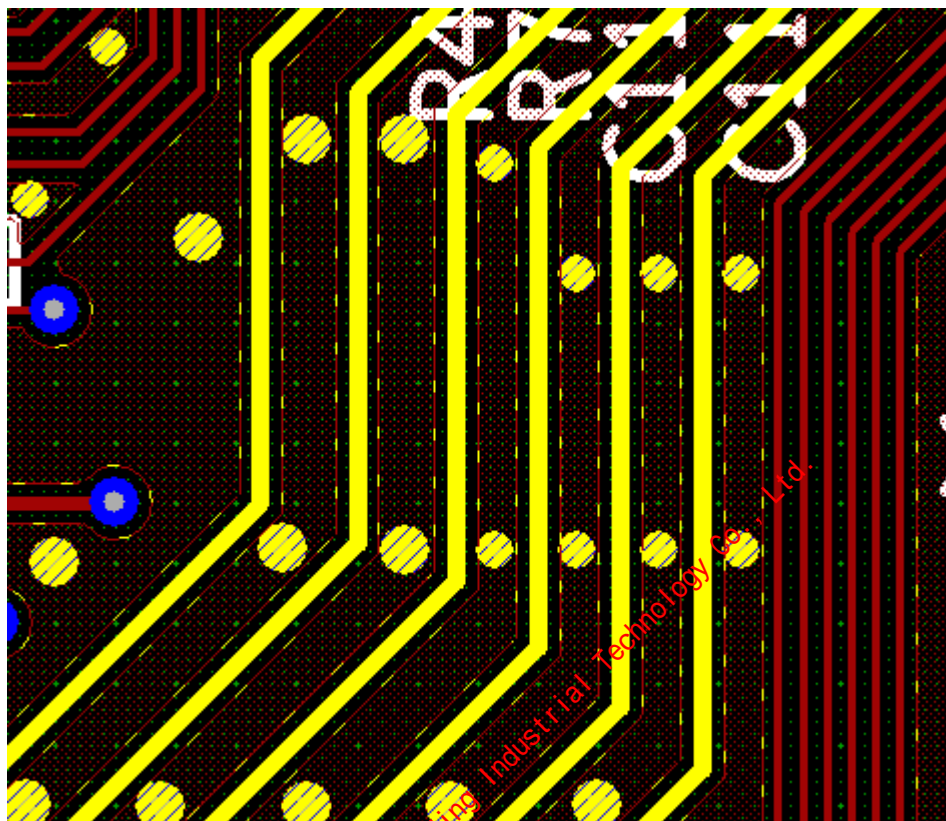
- 避免信号走线穿越电源分割区域，并保持信号参考平面完整；
- 相邻信号走线间距保持“3W”原则；
- VOU_DATA[0:15]的线长以 VOU_CLK 的线长为基准，偏差控制在 $\pm 500\text{mil}$ 。
- 上述等长约束为封装加 PCB 联合控制等长。

2.8 模拟音频电路设计

模拟音频电路走线设计要求如下。

- AC_VREF 管脚上对接的电容需要靠近主芯片放置，最大间距不超过 150mil。
- 在使用 MIC 输入时，为获得较好的音频质量，建议 AC_MICBIAS 信号在 Hi3516CV500 端将信号分为两路，各自对应做左声道及右声道的偏置电平，详细请参考 HI3516CV500DMEB 板最新版本原理图。
- 模拟音频输入输出信号、MICBIAS 信号以 GND 为参考平面，并保证参考平面完整。
- 模拟音频输入输出信号、MICBIAS 信号要求全程包地处理，并且相邻信号之间的 GND 过孔均匀放置，如图 2-8 所示。

图2-8 模拟音频信号包地示意图



2.9 SDIO 信号 PCB 设计

SDIO 信号设计要求如下。

- 相邻信号走线间距保证“3W”原则。
- SDIO0/1_CDATA[0:3]、SDIO0/1_CCMD 的线长以 SDIO0/1_CCLK_OUT 的线长为基准，偏差控制在 $\pm 500\text{mil}$ 。
- 如果 SDIO0 需要支持 SDXC 卡，那么 SDIO0 的数据信号必须以 GND 为参考平面，并保持信号参考平面完整。
- 上述等长约束为封装加 PCB 联合控制等长。

2.10 USB2.0 信号设计

USB2.0 信号设计要求如下。

- 差分信号组内走线长度偏差控制在 $\pm 5\text{mil}$ 以内，差分阻抗控制在 $90\Omega \pm 10\%$ 。
- 差分信号必须以 GND 为参考平面，并保持信号参考平面完整。



- Hi3516CV500 的 USB2.0 接口外接插座时，差分信号线走线长度不大于 5inch，过孔数量不超过 2 个，外挂线缆长度控制在 1.5 米以内；当 USB2.0 信号做板级级联时，差分信号线走线长度不大于 10inch，过孔数量不超过 2 个。
USB2.0 信号过孔附近需要放置一个 GND 过孔，以获取更好的信号质量。
- 避免邻近其他信号，并保证与其他信号的间距大于 20mil。
- REXT 电阻要求靠近主芯片放置。
- ESD 器件寄生电容建议小于 1pF。
- 上述等长约束为封装加 PCB 联合控制等长。

2.11 MIPI TX 信号设计

MIPI TX 信号设计要求如下：

- MIPITX 差分对的 PCB 走线控制差分阻抗 100ohm \pm 10%
- 差分信号必须以 GND 为参考平面，并保持信号参考平面完整。
- 如果使用 FPC 连接，建议 PCB+FPC 的总长不超过 9inch。
- 差分对 P/N 等长控制在 5mil 以内，对间需要与 CLK 做等长处理 100mil。
- 避免邻近其他信号，并保证与其他信号的间距大于 20mil。
- 上述等长约束为封装加 PCB 联合控制等长。



3 整机 ESD 设计

3.1 背景

由于芯片性能提高，时钟频率越来越高，整机对外界干扰更敏感，客户在整机设计时需要非常重视整机的 ESD 设计。

Hi3516CV500 芯片本身的 ESD 测试是按照 JEDEC 标准，通过 $\pm 2000\text{V}$ 测试，符合行业标准。而客户需要根据自己企业的 ESD 测试标准，对单板硬件设计和整机设计做评估。本文针对整机 ESD 设计风险，提供一些设计建议和风险规避措施。

3.2 整机 ESD 设计

- 关于系统 24MHz 时钟设计，要求客户选用 4pin 贴片晶振，其中 2 个 GND 管脚与单板地充分连接，增强系统时钟抗干扰能力。其他的走线远离晶振区域，不要在晶振底下有走线通过。
- 建议 PCB 器件布局设计时，小系统部分离金属接口部分越远，整机 ESD 性能越好。
- 单板对外的接插件（例如音视频输入输出接口、USB、网口等端口），需要增加 ESD 保护器件，加强接口的抗干扰能力。
- 整机设计为浮地设备时，单板金属化接口部分严禁采用分割地设计。
- 单板定位孔采用金属化过孔，并与单板 GND 连接，确保单板 GND 通过螺丝孔与金属外壳充分连接。
- 整机为接地设备时，要求金属外壳充分连接大地，分割保护地与单板数字地之间采用单点连接，单点连接的位置要远离小系统电路，建议靠近整机电源连接器放置。
- 接口连接器外壳推荐采用金属外壳，且与整机金属外壳充分连接（例如带定位螺丝 USB 口，带弹片的 RJ45 口等），必要时甚至采用导电柱或者导电泡棉来实现连接器与外壳的充分连接。

以上措施请根据自身企业标准和工程经验综合评估。



4 芯片散热设计

4.1 最大功耗

Hi3516CV500 预估最大功耗为 1.5W，该数据仅供参考，最终的功耗数据以最新发布的《Hi3516CV500 功耗测试报告》为准。

Cogobuy Only For ShenZhen FuShi ChanJing Industrial Technology co., Ltd.