



## Hi3518E 硬件设计

# Checklist

文档版本 00B02

发布日期 2014-02-28

**版权所有 © 深圳市海思半导体有限公司 2014。保留一切权利。**

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

## **商标声明**



**HISILICON**、海思和其他海思商标均为深圳市海思半导体有限公司的商标。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

## **注意**

您购买的产品、服务或特性等应受海思公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，海思公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

## **深圳市海思半导体有限公司**

地址：                    深圳市龙岗区坂田华为基地华为电气生产中心                    邮编：518129

网址：                    <http://www.hisilicon.com>

客户服务电话：          +86-755-28788858

客户服务传真：          +86-755-28357515

客户服务邮箱：          [support@hisilicon.com](mailto:support@hisilicon.com)



# 前言

## 概述

本文档主要介绍 Hi3518E 芯片方案的硬件 Checklist。

## 产品版本

与本文档相对应的产品版本如下。

产品名称	产品版本
Hi3518E 芯片	V100

## 读者对象

本文档（本指南）主要适用于以下工程师：

- 技术支持工程师
- 单板硬件开发工程师

## 修订记录

修订记录累积了每次文档更新的说明。最新版本的文档包含以前所有文档版本的更新内容。

修订日期	版本	修订说明
2014-02-28	00B02	修改 1.1、1.2、1.11、1.13。
2014-01-10	00B01	第 1 次临时版本发布。



## 目 录

前 言.....	i
1 Checklist .....	1
1.1 芯片电源地的设计要求.....	1
1.2 主芯片时钟电路设计要求.....	2
1.3 复位电路设计要求.....	2
1.4 内部 RTC 设计要求 .....	3
1.5 DDR 电路设计要求 .....	3
1.6 SPI 电路设计要求.....	4
1.7 I <sup>2</sup> C 电路设计要求.....	4
1.8 视频电路设计要求.....	4
1.9 音频电路设计要求.....	5
1.10 USB 电路设计要求 .....	5
1.11 ETH 电路设计要求 .....	5
1.12 JTAG 和系统控制电路设计要求.....	6
1.13 SD CARD 电路设计要求.....	6
1.14 UART 电路设计要求 .....	6
1.15 散热设计.....	7
1.16 Sensor 设计.....	7



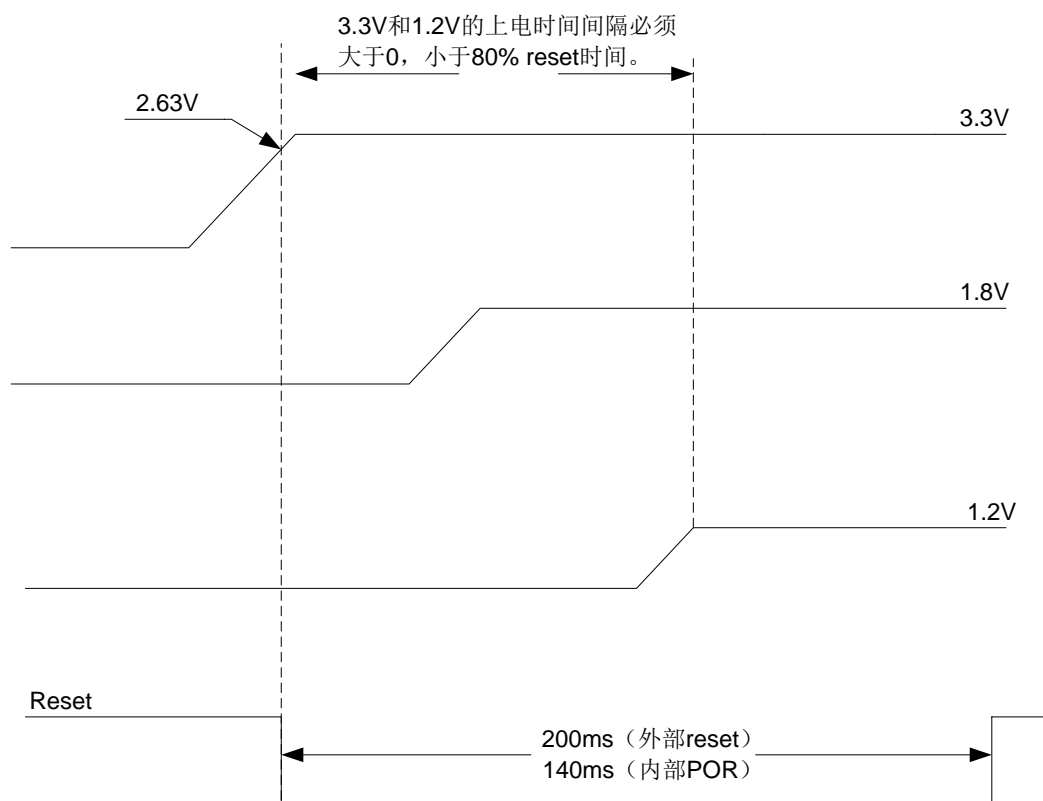
# 1 Checklist

## 1.1 芯片电源地的设计要求

√	Items
	CORE 电源（管脚名 DVDD12）：连接数字 1.2V 电源。建议使用 1A 的电源芯片。减少电源噪声，保证电源电压在芯片的电性能参数要求的范围（±5%）之内。
	电源上电顺序：上电瞬间高电平始终高于低电平，即 3.3V 先上电，1.8V 慢于 3.3V 上电，1.2V 最后上电，但 3.3V 和 1.2V 的间隔时间不能长于 80%的 reset 时间。请参见图 1-1。
	建议 PLL 的电源管脚（AVDD12_PLL、AVDD33_PLL）与芯片 DVDD12 和 DVDD33 电源进行隔离，具体电路设计请参考 Hi3518EDMEB 原理图。
	各模块电源的要求请参考芯片手册中的电性能参数，保证电源输出电压加上纹波噪声仍然满足芯片的需求。



图1-1 电源上电顺序图



## 1.2 主芯片时钟电路设计要求

√	Items
	需要一个 24MHz 外接时钟，要求负载电容与晶振匹配，24MHz 系统时钟频率最大偏差 30ppm。具体电路参数可参考 Hi3518EDMEB 的最新原理图。

## 1.3 复位电路设计要求

√	Items
	低电平复位，输入的上电复位信号低电平维持时间大于 12 个 XIN 晶振时钟周期。
	WDG 是 OD 输出，使用时需提供上拉，推荐上拉电阻阻值 1kΩ~4.7kΩ。



√	Items
	POR_SEL 管脚用来选择芯片的复位方式。当上电时，POR_SEL 状态是 0，则使能内部 POR 电路（Power on Reset）来对整个芯片进行复位。如果 POR_SEL 状态是 1，则禁用内部 POR 电路，芯片的复位取决于 RSTN 引脚的状态。
	在选择内置 POR 对芯片进行复位时，不能使用 sys_rstn_out 管脚输出的复位信号来复位要求复位信号时间长度 $T_{reset} > 21.3\mu s$ 的外设器件（如 SPI Flash 等）。
	采用内部复位时，RSTN、WDG_RSTN 管脚悬空处理，外设要先于或同时与 Hi3518E 复位完成。

## 1.4 内部 RTC 设计要求

√	Items
	内置 RTC 的实际计时精度主要受外置晶体的制造精度和晶体温度漂移的影响。具体校正方案可参考《RTC 校准方案应用指导.pdf》。 对计时精度有严格要求的客户，建议选择集成晶体的 RTC，或者带有温度补偿的晶体。

## 1.5 DDR 电路设计要求

√	Items
	Hi3518E DDR 部分的 VDD_DQ 电源，保持较好的电源质量，满足芯片工作的需求，详细请参考《Hi3518E 硬件设计用户指南》
	Hi3518E DDR 部分的参考电源通过两个电阻串联从 1.8V 分压得到，分压电阻建议采用 $1k\Omega$ 或以下的电阻，精度必须 $\pm 1\%$ ，以保证电压准确。
	Hi3518E DDR 部分的 ZQ 校验电阻采用精度为 1%阻值为 $240\Omega$ 的电阻。



## 1.6 SPI 电路设计要求

√	Items
	SPI FLASH 支持从 CS 启动。建议 CS、HOLD 信号加上拉电阻，WP 信号加下拉电阻，推荐电阻值为 $1k\Omega \sim 4.7k\Omega$ 。
	在选择内置 POR 对芯片进行复位时，不能使用 sys_rstn_out 管脚输出的复位信号来复位要求复位信号时间长度 $T > 21.3\mu s$ 的 SPI FLASH 器件。
	Hi3518E 不支持 NAND FLASH。

## 1.7 I<sup>2</sup>C 电路设计要求

√	Items
	I <sup>2</sup> C 信号 SCL、SDA 是 OD 输出的管脚，需要外接上拉电阻，根据总线负载不同，选择不同阻值的电阻。建议选择 $1k\Omega \sim 4.7k\Omega$ 上拉电阻。
	<b>注意：</b> I <sup>2</sup> C 总线上各器件地址不要冲突。

## 1.8 视频电路设计要求

√	Items
	<p>支持一路 VI 输入：</p> <p>VI 支持视频 RAW DATA 数据输入，位宽最高 12bit，接口频率可达 74.25MHz。</p> <p>对于 12bit 的 sensor，Raw data 按照顺序对接 VI 接口（D0~D11）。</p> <p>对于 10bit 的 sensor，Raw data 按照顺序对接 VI 接口的任意 10bit，推荐接 D2~D11。</p> <p>不使用的引脚推荐接一个 <math>4.7k\Omega</math> 电阻到地。</p> <p>VI 的数据信号，在 PCB 布线的时候，请注意等长和信号回流，具体细节请参考硬件设计指南中的 PCB 设计部分。</p>





√	Items
	支持一路 VO 输出： VOU 接口作为 BT1120 输出，位宽 16bit，接口频率可达到 74.25MHz； VOU 接口没有外部行场同步信号，仅支持内同步； VOU 和 ETH 接口信号是复用的。如果使用 ETH 接口，则不能使用 VOU 接口； 对于 BT.1120 信号，高 8bit 是 Y（亮度）信号，低 8bit 是 C（色度）信号，注意不要对接错误。

## 1.9 音频电路设计要求

√	Items
	芯片提供一个模拟 Audio codec。AC_VREF 需要外接 1 个 2.2uF 电容和 470kΩ 电阻并联到地。
	建议在音频输出管脚 AC_OUTL 和 AC_OUTR 的外围增加音频放大器以及滤波电路，详细请参考 Hi3518PERB 板最新版本原理图。

## 1.10 USB 电路设计要求

√	Items
	建议芯片的 USB_REXT 管脚外接 $43.2\Omega \pm 1\%$ 电阻到地，并尽量靠近芯片放置。
	USB 差分走线不能跨分割，差分线周围最好用地线保护起来。差分线阻抗控制在 $90\Omega \pm 10\%$ 。

## 1.11 ETH 电路设计要求

√	Items
	MDIO 信号是 OD 门输出，建议 MDIO 引脚加上拉电阻，阻值 $1k\Omega \sim 4.7k\Omega$ 。
	MDCK 信号建议在源端串联一个 $22\Omega$ 或者 $33\Omega$ 的电阻，以获取更好的信号质量。



√	Items
	变压器中心抽头的连接，建议参考各 ETH phy 厂家的 application note 和 reference design。因为不同的 phy 厂家会有不同的连接方式。
	在 RMII 模式时，Hi3518E 的参考时钟可以配置为输入或者输出，具体电路设计和配置建议参考各 ETH phy 厂家的 application note 和 reference design。

## 1.12 JTAG 和系统控制电路设计要求

√	Items
	TDI、TDO、TMS 加上拉电阻，阻值为 $1k\Omega\sim4.7k\Omega$ ，TCK、TRST 加下拉电阻，阻值为 $1k\Omega\sim4.7k\Omega$ ，TRST 信号加 $10k\Omega$ 的下拉电阻，预留上拉电阻。如果不使用 JTAG 引脚，可以通过修改 JTAG_EN 的上下拉状态，将该引脚复用为 GPIO 功能。
	TESTMODE 管脚接下拉电阻到地，阻值 $10k\Omega$ 。

## 1.13 SD CARD 电路设计要求

√	Items
	建议数据/命令信号上拉电阻到 DVDD33，推荐上拉电阻为 $1k\Omega\sim4.7k\Omega$ 。
	建议数据/命令信号接上拉电阻到 VCC_SDIO，推荐上拉电阻 $4.7k\Omega$ 。
	SDIO_CDATA3 不支持卡检测功能。
	PCB 布局时，SD 卡背面不要放置大功率的器件，以防止 SD 卡高温下失效。
	SDIO 的 DETECT 信号必须和 SD CARD 的 DETECT 引脚连接，不能悬空。

## 1.14 UART 电路设计要求

√	Items
	调试串口需要引出来，默认使用 UART0 进行调试。



## 1.15 散热设计

√	Items
	单板散热设计需要适配产品的结构设计，在结构允许的情况下尽量加大散热层的面积。

## 1.16 Sensor 设计

√	Items
	为了保证图像质量，Sensor 的电源部分推荐采用 LDO 供电。其中 Sensor 的模拟电源和 PLL 电源需要重点关注。一般来说 Sensor 的 core 单元需要的电流较大，在设计其电源时候要考虑 LDO 的效率和散热。
	Sensor 的模拟部分和数字部分分开设计。模拟地和数字地分开，采用 0ohm 电阻单点连接；模拟电源支路采用单独的 LDO 供电，不要和数字电源共用电源支路。在设计 PCB 布局和层叠结构的时候，模拟部分和数字部分不要有任何的穿插，防止干扰相互耦合。
	Sensor 的各电源引脚需就近放置去耦电容，模拟电源保证每个引脚放置 1 个，其他电源至少 2 个电源引脚保证 1 个去耦电容。
	Sensor 板与主板之间如果采用连接器进行互连，在设计连接器定义时，请注意保证连接器上面的数据信号的回流路径，以防止信号串扰。连接器定义时，每两根数据信号加一根地线回流，时钟信号单独加一根地线回流。详细内容请参见原理图。