

Hi3516CV500 DDR 3 参数配置方法

was 00801
1期 2017

发布日期 2019-01-15

版权所有 © 上海海思技术有限公司 2019。保留一切权利。

非经本公司书面许可,任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部,并不得以任何 形式传播。

商标声明

(A) THISILICON 、海思和其他海思商标均为海思技术有限公司的商标。

本文档提及的其他所有商标或注册商标,由各自的所有人拥有。

注意

您购买的产品、服务或特性等应受海思公司商业合同和条款的约束,本文档中描述的全部或部分产 品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定,海思公司对本文档内容不做 任何明示或默示的声明或保证。

由于产品版本升级或其他原因,本文档内容会不定期进行更新。除非另有领导,本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。
Rednord

Technolog

Te 由于产品版本升级或其他原因,本文档内容会不定期进行更新。除非另有约定,本文档仅作为使用指

上海海思技术有限公司

地址: 深圳市龙岗区坂田华为总部办公楼 邮编: 518129

网址: http://www.hisilicon.com/cn/

客户服务邮箱: support@hisilicon.com

产品版本

与本文档相对应的产品版本如下。

产品名称	产品版本	70
Hi3516C	V500	Q.

读者对象

修订记录

修订记录累积了每次文档更新的说明。最新版本的文档包含以前所有文档版本的更新

修订日期	版本	修订说明
2019-01-15	00B01	第一次临时版本发布



前	音	i
目	录	ii
1 H	li3516CV500 DDR3 驱动配置说明	1
	1.1 Hi3516CV500 DDR3 CLK/AC 驱动配置方法	1
	1.2 Hi3516CV500 DDR3 写方向 DOS/DO 驱动配置方法	1
	1.3 Hi3516CV500 DDR3 读方向 DQS/DQ 驱动配置方法	2
2 H	1.3 Hi3516CV500 DDR3 读方向 DQS/DQ 驱动配置方法	3
	2.1 Hi3516CV500 DDR3 写方向 DQS/DQ ODT 配置	3
	2.1.1 写方向 ODT 使能	3
	2.1.2 写方向 ODT 大小配置	3
	2.2 Hi3516CV500 DDR3 读方向 DQS/DQ ODT 配置	4
	2.2.1 读方向 ODT 使能	4
	2.2.2 读方向 ODT 大小配置	4
3 H	li3516CV500 DDR3 容量配置说明	5
	3.1 DDR3 uboot 表格说明	5
	cogody	
	, but a second of the second o	
	Cogn.	

Hi3516CV500 DDR3 驱动配置说明

1.1 Hi3516CV500 DDR3 CLK/AC 驱动配置方法

- Fishi Chanting Industrial Technology Co. 寄存器地址 DDR PHY: 0x1206d018 寄存器描述 - Bit[25:23]:CK 驱动 - Bit[22:20]:2T 驱动 - Bit[19:17]:1T 驱动
- 驱动大小定义
 - 000: Disable
 - 001: 240ohm
 - 010: 120ohm
 - 011: 80ohm
 - 100: 600hm
 - 101 480hm
 - (10: 40ohm)

1T 信号指 CKE、CSN、ODT、RESET, 2T 信号指的是除 1T 外的其他 AC 信号。

1.2 Hi3516CV500 DDR3 写方向 DQS/DQ 驱动配置方法

寄存器地址

DDR PHY: 0x1206d204(byte0, byte1)

- 寄存器描述
 - Bit[16:14]: 写方向 DQS 驱动
 - Bit[13:11]: 写方向 DQ 驱动

- 驱动大小定义
 - 000: Disable
 - 001: 240ohm
 - 010: 120ohm
 - 011: 80ohm

1.3 Hi3516CV500 DDR3 读方向 DQS/DQ 驱动配置方法

Hi3516CV500 DDR3 ODT 配置说明

2.1 Hi3516CV500 DDR3 写方向 DQS/DQ ODT 配置

2.1.1 写方向 ODT 使能

寄存器描述

2.1.2 写方向 ODT 大小配置

寄存器描述、

Bit[25]、bit[22]、bit[18]: 写方向 DQS/DQ ODT 配置

写方向 ODT 大小定义

000: ODT 关闭

- 001: 60ohm

- 010: 120ohm

- 011: 40ohm

注意

写方向 ODT 配置对于 DQS 和 DQ 信号同时生效。

2.2 Hi3516CV500 DDR3 读方向 DQS/DQ ODT 配置

2.2.1 读方向 ODT 使能

寄存器地址

DDR PHY: 0x1206d248(byte0, byte1)

寄存器描述

- Bit[3]=0: 读方向 **ODT** 打开

- Bit[3]=1: 读方向 **ODT 关闭**

2.2.2 读方向 ODT 大小配置

400hm
100: 300hm
- 101: 240hm
- 110: 200hm
- 111: 170hm

3 Hi3516CV500 DDR3 容量配置说明

3.1 DDR3 uboot 表格说明

Hi3516CV500 存储器接口在对接 DDR3 的时候,支持最大数据位宽 16bit,单通道模式。关于 DDR 的相关配置都是在 uboot 表格中实现的 i3516CV500 发布的 DDR3 只有一个 uboot 表格,对应 DMEB 单板的设计。

DMEB uboot 表格: Hi3516CV500-DMEB_4L-DDR3_1800M_256MB_16bit-A7_900M-SYSBUS 300M

发布表格支持的 DDR 规格如表 3-1 所示。dustri

表3-1 发布表格支持的 DDR 规格

			(1)				
Uboot 表 格	总容量/总位宽	通道	DD A) 类型	DDR 速率 (Mbps)	Rank 数量	DDR 位宽(单颗 粒位宽*数量)	单颗 DDR 容量
DMEB	256MB/16bit	通道。	DDR3	1800	1	16bit*1	2Gbit
uboot 表格	Or	col 2					Or
	512MB/16bit	40					4Gbit

──\兄明 DMEB uboot 表格是可以直接兼容单颗粒 4Gbit 和 2Gbit 的容量两种情况,不用修改配置。