



# Hi3518E 硬件设计 用户指南

文档版本    00B03  
发布日期    2014-03-27

**版权所有 © 深圳市海思半导体有限公司 2014。保留一切权利。**

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

## **商标声明**



**HISILICON**、海思和其他海思商标均为深圳市海思半导体有限公司的商标。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

## **注意**

您购买的产品、服务或特性等应受海思公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，海思公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

## **深圳市海思半导体有限公司**

地址：                    深圳市龙岗区坂田华为基地华为电气生产中心                    邮编：518129

网址：                    <http://www.hisilicon.com>

客户服务电话：          +86-755-28788858

客户服务传真：          +86-755-28357515

客户服务邮箱：          [support@hisilicon.com](mailto:support@hisilicon.com)



# 前 言

## 概述

本文档主要介绍 Hi3518E 芯片方案的硬件原理图设计、PCB 设计、单板热设计建议等。

本文档提供 Hi3518E 芯片的硬件设计方法。

## 产品版本

与本文档相对应的产品版本如下。

产品名称	产品版本
Hi3518E 芯片	V100

## 读者对象

本文档（本指南）主要适用于以下工程师：

- 技术支持工程师
- 单板硬件开发工程师

## 修订记录

修订记录累积了每次文档更新的说明。最新版本的文档包含以前所有文档版本的更新内容。

修订日期	版本	修订说明
2014-03-20	00B03	第 3 次临时版本发布。
2014-02-28	00B02	第 2 次临时版本发布。
2014-01-10	00B01	第 1 次临时版本发布。



## 目 录

前 言.....	i
1 原理图设计建议.....	1
1.1 小系统设计建议.....	1
1.1.1 Clocking 电路.....	1
1.1.2 复位和 Watchdog 电路.....	1
1.1.3 JTAG Debug 接口 .....	3
1.1.4 Hi3518E 硬件初始化系统配置电路 .....	4
1.1.5 DDR 电路设计 .....	5
1.1.6 Flash 原理图设计 .....	5
1.2 电源设计建议.....	5
1.2.1 CORE 电源设计 .....	6
1.2.2 内置 DDR 电源设计 .....	6
1.2.3 IO 电源设计 .....	6
1.2.4 PLL 电源设计 .....	6
1.2.5 上电时序 .....	7
1.2.6 注意事项 .....	7
1.3 外围接口设计建议.....	7
1.3.1 USB 接口.....	7
1.3.2 MAC 接口 .....	8
1.3.3 音频接口 .....	12
1.3.4 RTC 接口 .....	13
1.4 未使用管脚处理.....	13
1.5 Sensor 板设计.....	13
2 PCB 设计建议.....	15
2.1 小系统 PCB 设计建议 .....	15
2.1.1 小系统电源 .....	15
2.1.2 时钟和复位电路.....	17
2.1.3 Flash 设计.....	17
2.1.4 网口信号设计.....	17
2.2 典型外围接口 PCB 设计建议 .....	17



---

2.2.1 USB 接口设计 .....	17
2.2.2 音频电路设计 .....	18
2.2.3 VI/VO 接口 .....	18
<b>3 热设计建议 .....</b>	<b>19</b>
3.1 工作条件 .....	19
3.2 电路热设计参考 .....	19
3.2.1 原理图 .....	19
3.2.2 PCB .....	20



## 插图目录

图 1-1 晶体振荡电路 .....	1
图 1-2 Sys_rstn_out 管脚的复位信号长度 .....	2
图 1-3 外部复位和 Watchdog 典型设计电路 .....	3
图 1-4 JTAG 连接方式及标准连接器管脚定义 .....	4
图 1-5 电源分压网络参考设计 .....	6
图 1-6 电源上电顺序参考图 .....	7
图 1-7 MII 模式下的信号连接图（时钟由 Hi3518E 提供） .....	8
图 1-8 MII 模式下的信号连接图（时钟由外部提供） .....	9
图 1-9 RMII 模式下的信号连接图（时钟由 Hi3518E 提供） .....	10
图 1-10 RMII 模式下的信号连接图（时钟由外部提供） .....	11
图 2-1 Hi3518E 对应的 core 电源管脚 .....	16



## 表格目录

表 1-1 JTAG Debug 接口信号 .....	3
表 1-2 TEST_MODE 模式说明 .....	3
表 1-3 信号描述 .....	4
表 1-4 单片 SPI Flash 匹配设计推荐 .....	5



# 1 原理图设计建议

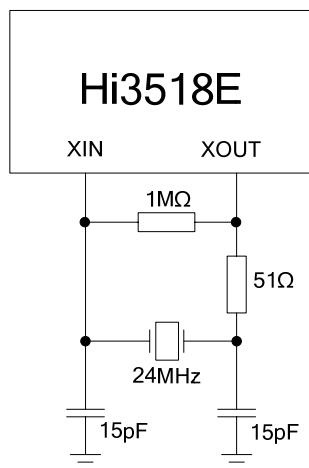
## 1.1 小系统设计建议

### 1.1.1 Clocking 电路

通过芯片内部的反馈放大电路与外部的 24MHz 晶体振荡电路一起构成系统时钟。

推荐晶振连接方式及器件参数如图 1-1 所示，具体的器件参数要求满足：负载电容与时钟匹配，频偏在 30ppm 的范围内。

图1-1 晶体振荡电路



另外，系统时钟还可以直接由外部的时钟电路产生时钟，通过 XIN 脚输入。

备注：电路中的电容取值需要与实际使用的晶体负载电容相匹配；不同品牌、不同型号的晶体，其固有的负载电容参数可能不一样，那么电路中的电容取值也会相应的不一样，要求时钟频偏在 30ppm 以内。

### 1.1.2 复位和 Watchdog 电路

Hi3518E 可通过判断 POR\_SEL 管脚在上电时的状态选择内部复位或外部复位。





#### 说明

Hi3518E 复位方式可选内部复位或者外部复位。

- 当 POR\_SEL 为低电平时，选择内部复位，主芯片上电后由内部 POR（Power on Reset）电路对整个芯片进行复位（复位脉冲宽度约为 140ms），此时 RSTN 管脚无效；当选择内部复位时，RSTN、WDG\_RSTN 管脚可悬空处理。

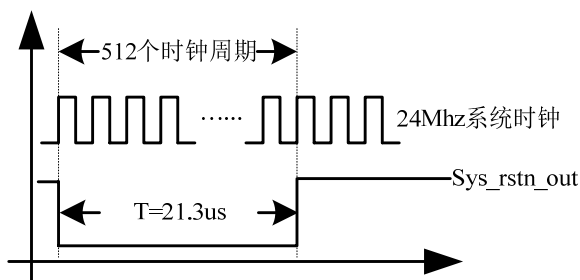
选择内部复位时，为确保系统正常启动，外设(如 flash 器件)的复位信号不能晚于系统复位完成，否则可能会出现无法启动等异常情况。此外，选择内部复位时，WDG\_RSTN 可以悬空处理，集成的看门狗会在系统异常时产生复位信号以复位芯片，复位系统在 SYS\_RSTN\_OUT 管脚输出复位信号以复位外设。



#### 注意

系统异常时,SYS\_RSTN\_OUT 管脚输出的复位信号长度为 512 个 24MHz 系统时钟周期(约 21.3us，如图 1-2 所示。)，因此该管脚信号将不能复位要求复位时间长度  $T > 21.3\mu s$  的外设。如果外设要求复位时间长度  $T > 21.3\mu s$ ，需要使用外部复位信号。

图1-2 Sys\_rstn\_out 管脚的复位信号长度



- 当 POR\_SEL 为高电平时，选择外部复位，此时 RSTN 管脚为复位信号输入管脚，要求的复位有效信号为低电平脉冲，脉冲宽度大于 12 个 XIN 管脚输入的时钟周期（一般复位脉冲宽度为 100ms~300ms）。

板级设计时，若选择外部复位，为了系统稳定，建议采用专用的复位芯片产生复位信号。

系统异常时，可以通过 WDG\_RSTN 管脚产生低电平脉冲，该脉冲触发外部的复位芯片产生复位信号，但是 WDG\_RSTN 不能直连至 RSTN 管脚。



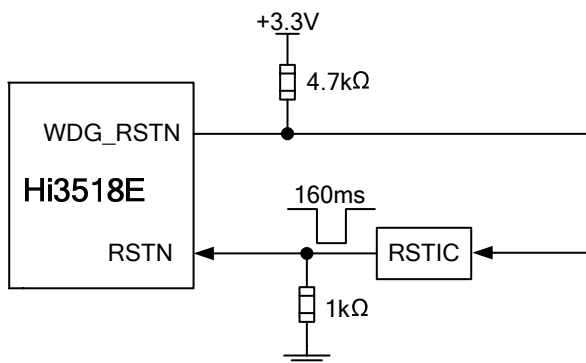
#### 注意

WDG\_RSTN 管脚为 OD 输出，必须外置上拉电阻，推荐电阻值为  $1k\Omega \sim 4.7k\Omega$ 。

外部复位和 Watchdog 典型设计电路如图 1-3 所示。



图1-3 外部复位和 Watchdog 典型设计电路



### 1.1.3 JTAG Debug 接口

Hi3518E JTAG 接口符合 IEEE1149.1 标准。PC 可通过此接口连接 Realview-ICE 仿真器，调试 A9 CPU。JTAG Debug 接口信号描述如表 1-1 所示。

表1-1 JTAG Debug 接口信号

信号名	信号描述
TCK	JTAG 时钟输入，芯片内部下拉，建议单板上拉。
TDI	JTAG 数据输入，芯片内部上拉，建议单板上拉。
TMS	JTAG 模式选择输入，芯片内部上拉，建议单板上拉。
TRSTN	JTAG 复位输入，芯片内部下拉，正常工作建议单板上拉。如果通过 JTAG 口连接 Realview-ICE 等调试器，建议单板上拉。
TDO	JTAG 数据输出。建议单板上拉。

单板上拉电阻、下拉电阻的推荐阻值如图 1-4 所示。

Hi3518E 可以通过 TEST\_MODE 管脚选择正常和测试两种工作模式，具体说明如表 1-2 所示。

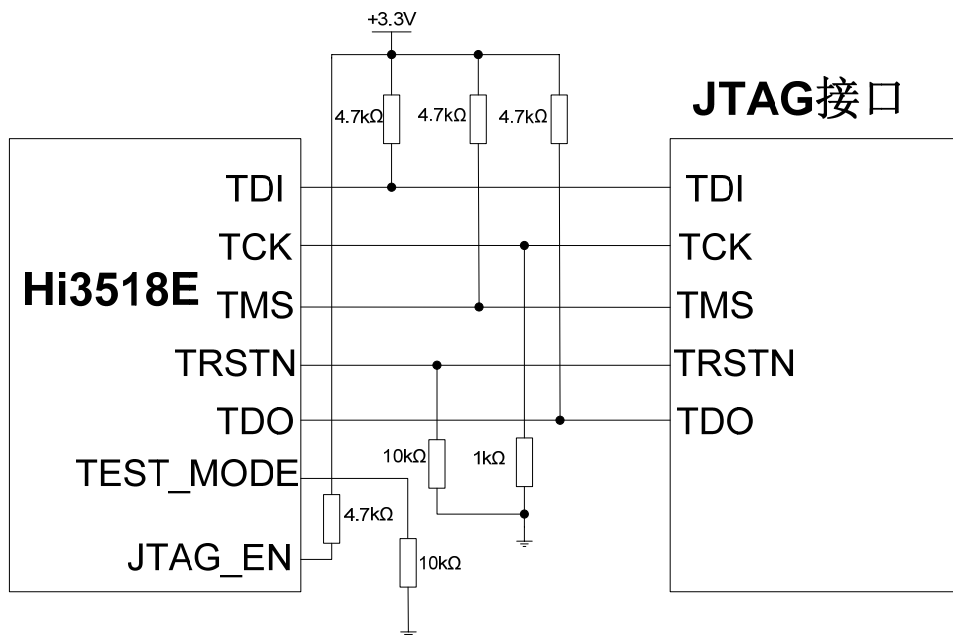
表1-2 TEST\_MODE 模式说明

TEST_MODE	模式说明
0	Hi3518E 正常工作模式。
1	Hi3518E 处于测试模式，此时可进行芯片 DFT 测试。

JTAG 连接方式及标准连接器管脚定义如图 1-4 所示。如果使用 JTAG 功能，请将单板上的 JTAG\_EN 引脚上拉，阻值 1kΩ~4.7kΩ。



图1-4 JTAG 连接方式及标准连接器管脚定义



### 1.1.4 Hi3518E 硬件初始化系统配置电路

Hi3518E 支持 SPI Flash 的 3 字节和 4 字节地址模式启动，Hi3518E 硬件初始化的过程中需要根据不同的需求进行硬件配置。单板上通过上、下拉电阻实现。硬件配置信号描述如表 1-3 所示。

表1-3 信号描述

信号名	方向	说明
JTAG_EN	I	JTAG debug 选择。 0: Disable JTAG; 1: Enable JTAG。
BOOT_SEL	I	启动模式选择。 0: SPI FLASH; <b>注意：Hi3518E 必须将 BOOT_SEL 选择为 0；否则系统无法启动。</b>
SFC_ADDR_MODE	I	SFC 地址长度选择。 0: 3 Byte; 1: 4 Byte。



## 1.1.5 DDR 电路设计

由于 Hi3518E 内置了 64MB 的 DDR2 颗粒，因此只需关注 DDR 部分的电源设计。详细请参考电源设计部分。



### 注意

Hi3518E 将 DDRC 的 ZQ 管脚引出，因此这里请接阻值为  $240\Omega$ ，精度为 1% 的电阻到地。

## 1.1.6 Flash 原理图设计

### 1.1.6.1 接口介绍

- 外接单片 SPI Flash，最大支持 32MB，时钟 56MHz
- 支持 SPI flash 3 字节和 4 字节地址模式
- Hi3518E 不支持 NAND FLASH。

### 1.1.6.2 信号处理

外接单片 SPI Flash 时，SPI Flash 匹配设计推荐如表 1-4 所示。

表1-4 单片 SPI Flash 匹配设计推荐

信号	4 层板 PCB 设计	6 层板 PCB 设计
SFC_CLK	Hi3518E 端串接 $33\Omega$ 电阻	同 4 层板设计
SFC_DIO/SFC_DOI /SFC_WP/SFC_HOLD	直接相连，其中 SFC_WP 需要下拉，下拉电阻阻值推荐为 $1k\Omega$ - $4.7k\Omega$ 。	同 4 层板设计



### 注意

在 Hi3518E 选择为内部 POR 复位时，如果使用 SYS\_RSTN\_OUT 管脚输出的复位信号来复位 SPI Flash 器件，这里需要注意 SPI Flash 器件的复位信号时间长度需要满足  $T \leq 21.3\mu s$  的要求。

## 1.2 电源设计建议

系统电源的设计，详细请参见 Hi3518EDMEB 原理图。



## 1.2.1 CORE 电源设计

CORE 电源（管脚名 DVDD12）：连接数字 1.2V 电源。DVDD12 的设计，电源芯片的选型上，要求其供电能力不少于 1A。在 DVDD12 上至少放置 2 个 10 $\mu$ F 对地滤波旁路电容，每个 DVDD12 管脚处至少放置一个 100nF 去耦电容，并紧靠供电管脚摆放。

## 1.2.2 内置 DDR 电源设计

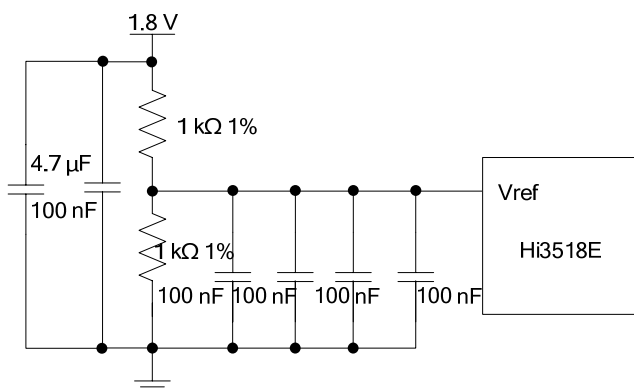
由于 Hi3518E 内置了 DDR2 的颗粒，因此电源设计参考 SSTL-18 电平标准，电源需要 1.8V，参考电压 Vref 需要 0.9V。

DDR 电源（管脚名 DDR\_VDDQ）：连接数字 1.8V 电源。在每个电源管脚处放置一个 100nF 的陶瓷滤波电容，并紧靠供电管脚摆放；整个 DDR 功能单元供电电源至少有一个 10 $\mu$ F 的对地滤波电容。

建议单板上采用单独的 DC-DC 电路为 DDR 部分的 1.8V 电源管脚供电。通过 1k $\Omega$  电阻（精度 $\pm$ 1%）分压为 0.9V，为 Hi3518E 的 DDRC 参考电源管脚 Vref 供电，每个电源管脚和参考电源管脚旁边放 1 个 0.1 $\mu$ F 的去耦电容。

电源分压网络参考设计如图 1-5 所示。

图1-5 电源分压网络参考设计



## 1.2.3 IO 电源设计

IO 电源（管脚名 DVDD33）：连接数字 3.3V 电源。在 DVDD33 上至少放置 1 个 10 $\mu$ F 对地滤波旁路电容，每个 DVDD33 管脚处放置 100nF 去耦电容，并紧靠供电管脚摆放。

VI 接口电源（管脚名 DVDD3318）：Hi3518E Sensor CLK、VI 部分和 SPI0 部分的 IO 电源可以同时支持 1.8V 和 3.3V，用以兼容不同厂家 Sensor 的 IO 电平标准。

## 1.2.4 PLL 电源设计

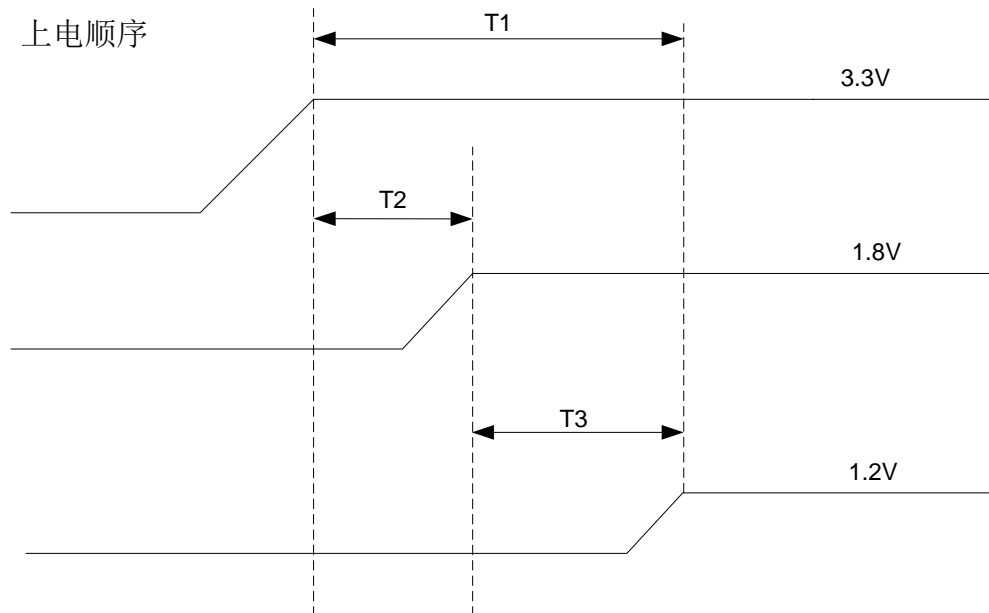
建议 PLL 电源利用磁珠（1k $\Omega$ @100MHz）进行隔离设计，具体电路设计请参考 Hi3518E DMEB 原理图。



## 1.2.5 上电时序

Core 电源、DDR 电源和 IO 电源有上电时序的要求，详细请参见图 1-6。

图1-6 电源上电顺序参考图



其中， $0 < T1 \leq 100\text{ms}$ ， $T2 > 0$ ， $T3 > 0$ 。

## 1.2.6 注意事项

电源设计的其他注意事项如下：各模块电源的要求请参考芯片手册中的电性能参数，保证电源输出电压加上纹波噪声仍然满足芯片的需求。

## 1.3 外围接口设计建议

### 1.3.1 USB 接口

#### USB 电源设计建议

模拟电源 AVDD33\_USB/AVDD33\_USB25 要求与数字电源隔离，推荐采用平面方式，以减小寄生效应、耦合噪声和供电阻抗，并在芯片邻近管脚摆放的滤波电容。

数字电源 DVDD12\_USB/和地 AVSS\_USB 也应避免受干扰，尽量使用短而宽的走线。

#### USB 保护电路设计建议

为了满足 ESD 保护等要求，在电路设计时需要考虑在 USB 电路上设计保护电路。为了避免保护器件对 USB 走线信号造成影响，并能够达到良好的保护效果，建议 PCB 设计时采用如下原则：



- 保护器件建议紧靠 USB 连接器端口放置。
- 保护器件建议选用低寄生电容的 TVS 管保护器件，击穿电压 8kV，相应时间小于 1ns。
- 建议 USB2.0 高速端口保护器件的寄生电容小于 1pF。

## 1.3.2 MAC 接口

### MAC 接口设计

Hi3518E 的 MAC 支持 RMII 和 MII 模式。两种模式的信号连接如图 1-7、图 1-8、图 1-9 和图 1-10 所示，以 RTL8201F 为例，仅供参考。

图1-7 MII 模式下的信号连接图（时钟由 Hi3518E 提供）

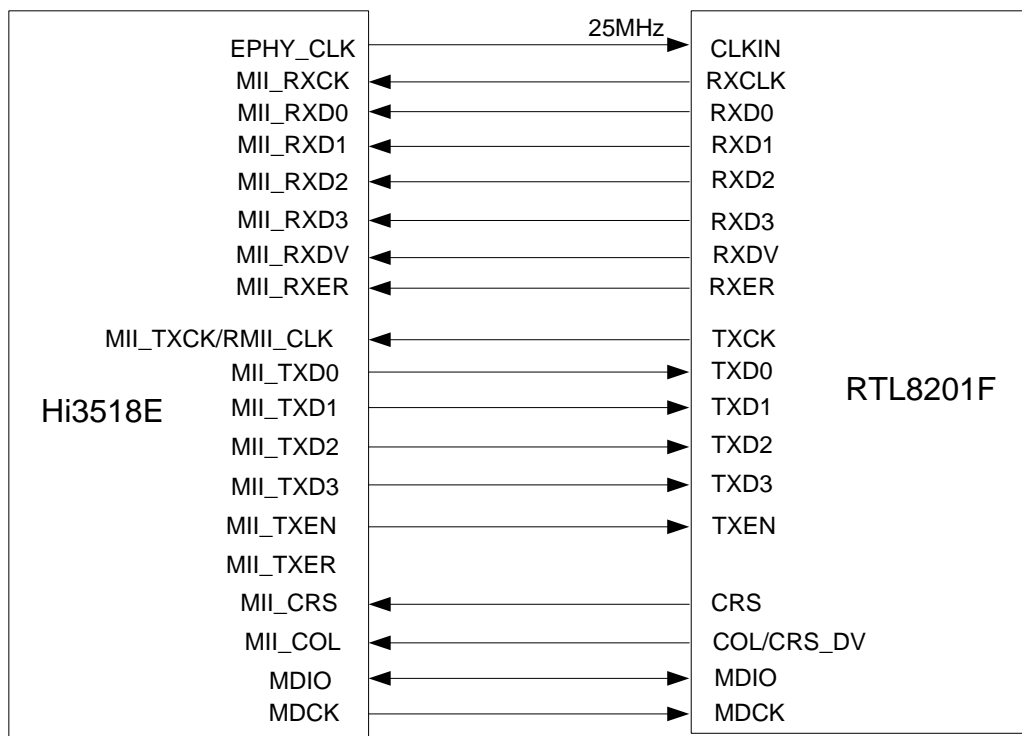




图1-8 MII 模式下的信号连接图（时钟由外部提供）

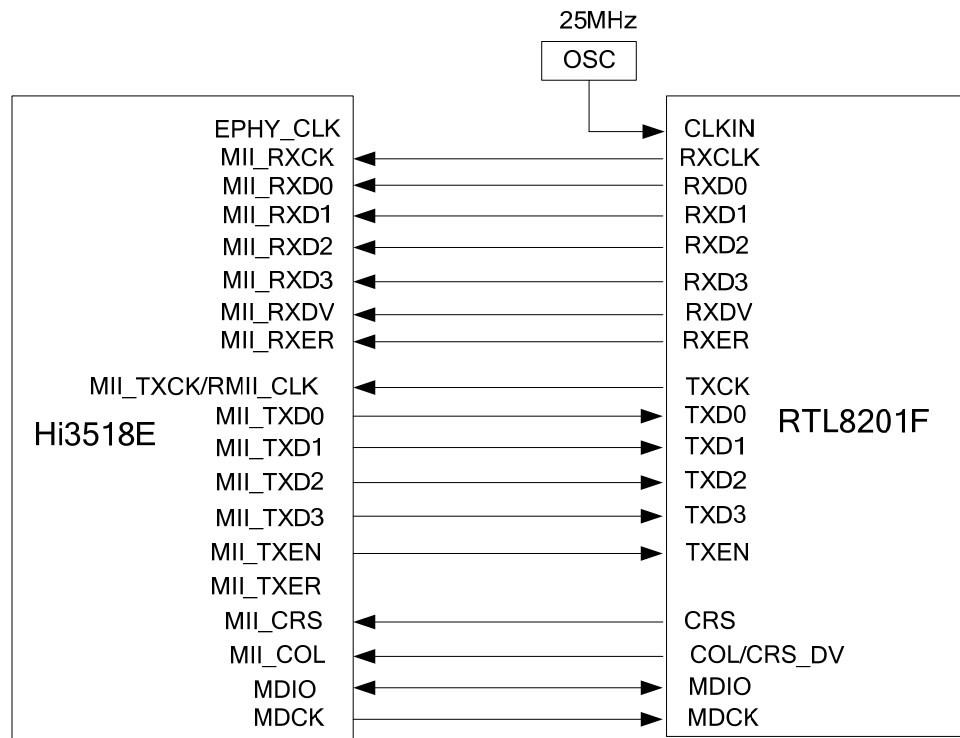






图1-9 RMII 模式下的信号连接图（时钟由 Hi3518E 提供）

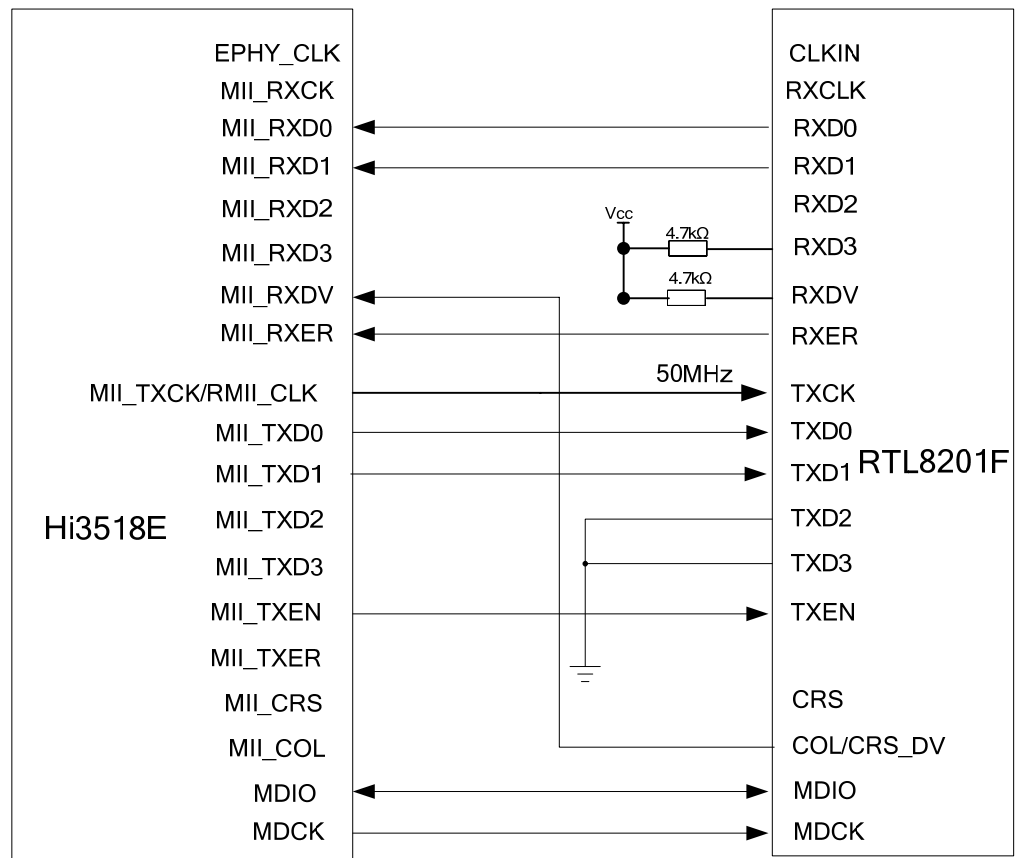
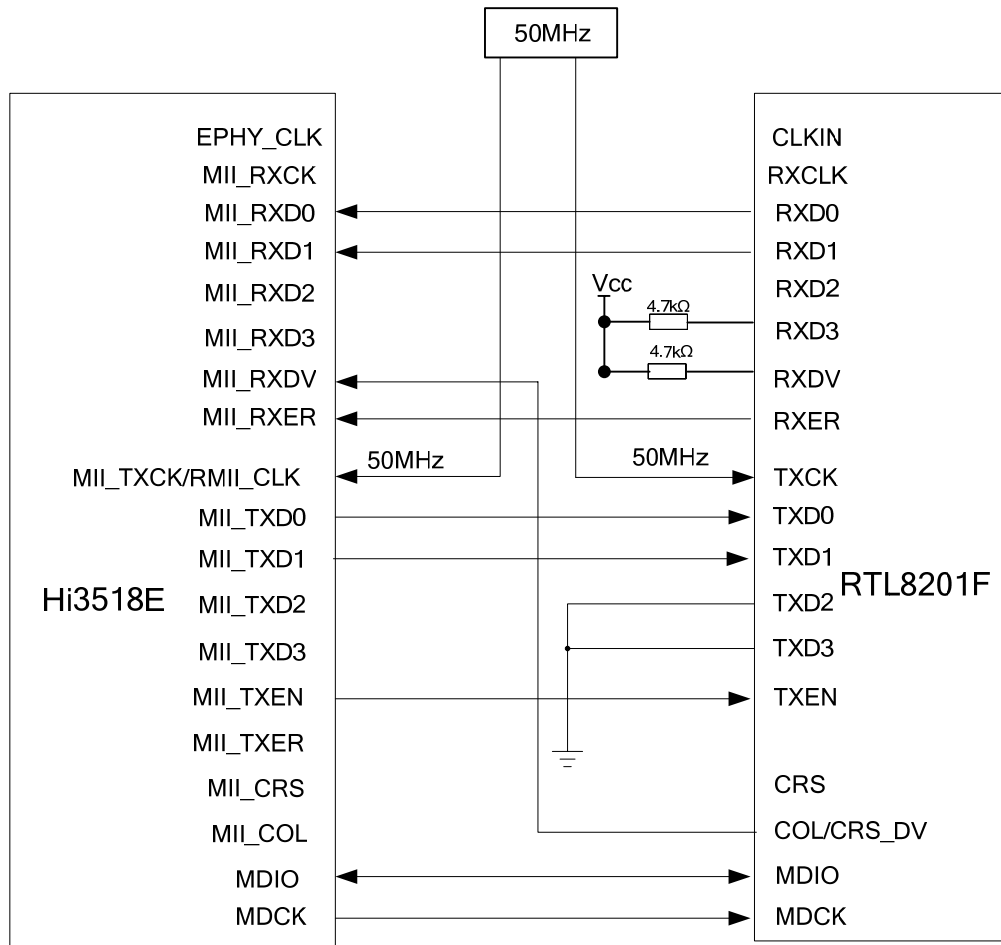




图1-10 RMII 模式下的信号连接图（时钟由外部提供）



MAC 所有信号为点对点拓扑结构。建议 PCB 走线控制在 6inch 以内。电阻匹配设计建议如下：

- MDIO 需要接上拉电阻，电阻值为 1kΩ~4.7kΩ。
- MDCK 信号建议在源端串联 22Ω 电阻，以获取更好的信号质量。
- 为了获得较好的信号质量，对于 TXD0~TXD3 信号建议在源端串联 33Ω 电阻。
- RMII 模式下，Hi3518E 端直接将 TXD2 和 TXD3 悬空即可，网口 PHY 端的配置，请参考不同 PHY 厂家的说明和手册。
- MII 模式下，建议 TXCK 信号在对接芯片端（即网口 PHY）端串联 33Ω 电阻。RMII 模式下，Hi3518E 的 TXCK 复用为 RMII\_CLK，在使用该管脚作为时钟源时，建议在 Hi3518E 端串联 33Ω 电阻，这时需要将网口 PHY 的参考时钟的方向设置为输入，设置方法请参考不同厂家 PHY 的手册。
- 为了获得较好的信号质量，对于 RXD0~RXD3 信号建议在源端串联 33Ω 电阻。
- 建议 RXCK 信号在对接芯片端（即网口 PHY）串联 33Ω 电阻。
- RMII 模式下的参考时钟的方向的配置有两种情况（Hi3518E 输入和 Hi3518E 输出），具体设计时可以根据设计需要以及网口 PHY 的特性选择其中一种。



## 1.3.3 音频接口

### 模拟音频接口设计

Hi3518E 提供双声道的音频输入输出接口（AC\_LINEL、AC\_LINER、AC\_OUTL、AC\_OUTR）。

- 给 Audio DAC 供电的 3.3V 电源注意与系统 3.3V 电源隔离，AC\_VREF 引脚上的滤波电容推荐为 2.2uF，并且为了缩短该管脚的放电时间推荐使用 470K 的电阻与滤波电容并联。详细设计请参见 Hi3518EDMEB 原理图。
- AC\_LINEL 和 AC\_LINER 均可作为 Line 或者 MIC 的输入通道。如果输入设备为无源 MIC，则需要给输入信号添加 MIC\_BIAS 偏置。如果输入设备为有源 Line 输入设备（例如：PC），则无需偏置。
- 音频采样率：支持 48kHz、44.1kHz、32kHz 三个系列的采样率。
  - 32kHz 系列的采样率包括 8k、16k、32k、64k、128k；
  - 44.1kHz 系列的采样率包括 11.025k、22.05k、44.1k、88.2k、176.4k；
  - 48kHz 系列的采样率包括 12k、24k、48k、96k、192k。
- Audio DAC 满幅输出幅度 0.875 Vrms。
- 建议在音频输出管脚 AC\_OUTL 和 AC\_OUTR 的外围增加音频放大器以及滤波电路，详细请参考 Hi3518PERB 板最新版本原理图。
- 对于客户产品对讲场景的应用，在整机设计上推荐客户参考如下建议(包括但不限于):
  - MIC 和 Speaker 距离越远越好，二者角度要保证耦合越小越好；
  - MIC 腔体一定要封闭，防止声音从结构件内部传递到 MIC，Speaker 最好封闭；
  - Speaker 音腔开孔大小保证一定的面积比例即可，15%以上。一般来说音腔大，低频好，音质好，但是音腔太大回声抵消效果就会变差；
  - MIC 开孔一般 0.8~1.2mm 的圆孔即可。在结构上不要对 MIC 设计音腔，即保证一个直孔即可；
  - MIC 一般要用橡胶或者泡棉密封，防止 Speaker 在机器内部漏音或者机器本身的声音震动漏音到 MIC；即，一方面内部不能漏音，另外一方面不能有共振。

## VI 接口设计

在物理接口上，Hi3518E 只有 1 个 VI（Video input）接口。

- VI 支持视频 RAW DATA 数据输入，位宽最高 12bit，接口频率可达 74.25MHz。
- 对于 12bit 的 sensor，Raw data 按照顺序对接 Hi3518E 芯片 VI 接口即可（即 D0~D11）。
- 对于 10bit 的 sensor，Raw data 按照顺序对接 Hi3518E 芯片 VI 接口的任意 10bit，推荐接 D2~D11。不使用的引脚推荐接一个 4.7kΩ 的电阻到地。



## VO 接口设计

在物理接口上，Hi3518E 只有 1 个 VO（Video output）接口。

- VOU 和 ETH 接口信号复用。如果使用 ETH 接口，则不能使用 VOU 接口。
- VOU 接口作为 BT.1120 输出，位宽 16bit，接口频率可达到 74.25MHz。
- VOU 接口没有外部行场同步信号，仅支持内同步。
- 对于 BT.1120 信号，高 8bit 是 Y（亮度）信号，低 8bit 是 C（色度）信号。

### 1.3.4 RTC 接口

内置 RTC 的实际计时精度主要受外置晶体的制造精度和晶体温度漂移的影响。具体校正方案可参考《RTC 校准方案应用指导.pdf》。

对计时精度有严格要求的客户，建议选择集成晶体的 RTC，或者带有温度补偿的晶体。

## 1.4 未使用管脚处理

未使用管脚处理建议如下：

- 如果不使用 JTAG 功能，请将 JTAG\_EN 做下拉处理，建议电阻阻值为  $1k\Omega \sim 4.7k\Omega$ ，并将 JTAG\_TCK、JTAG\_TMS、JTAG\_TRSTN、JTAG\_TDO、JTAG\_TDI 配置为 GPIO 功能，引脚设定为输出引脚，外部不需要处理。
- 如果设计时使用内部 POR 给主芯片复位，则 POR\_SEL 需要下拉，此时 RSTN 引脚可以悬空。
- 如果设计时不使用 SPI0、1，其对应管脚需配置成 GPIO 功能，引脚设定为输出引脚，外部不需要处理。
- SAR\_ADC、Audio codec、USB 不使用时，其相关电源也必须保持。
- USB 模块如果不使用过流保护功能的话，请将 USB\_OVRCUR 引脚配置为 GPIO 功能，引脚设定为输出引脚，外部不需要处理。

## 1.5 Sensor 板设计

- 为了保证图像质量，Sensor 的电源部分推荐采用 LDO 供电。其中 Sensor 的模拟电源和 PLL 电源需要重点关注。一般来说 Sensor 的 core 单元需要的电流较大，在设计其电源时候要考虑 LDO 的效率和散热。
- Sensor 的模拟部分和数字部分分开设计。模拟地和数字地分开，采用 0ohm 电阻单点连接；模拟电源支路采用单独的 LDO 供电，不要和数字电源共用电源支路。在设计 PCB 布局和层叠结构的时候，模拟部分和数字部分不要有任何的穿插，防止干扰相互耦合。
- Sensor 板与主板之间如果采用连接器进行互连，在设计连接器定义的时候，请注意保证连接器上面的数据信号的回流路径，以防止信号串扰。连接器定义时，每



两根数据信号加一根地线回流，时钟信号单独加一根地线回流。具体内容请参考原理图。



# 2 PCB 设计建议

## 2.1 小系统 PCB 设计建议

### 2.1.1 小系统电源

#### Core 电源

**注意** Core 电源通道必须满足至少 1A 的过电流能力。

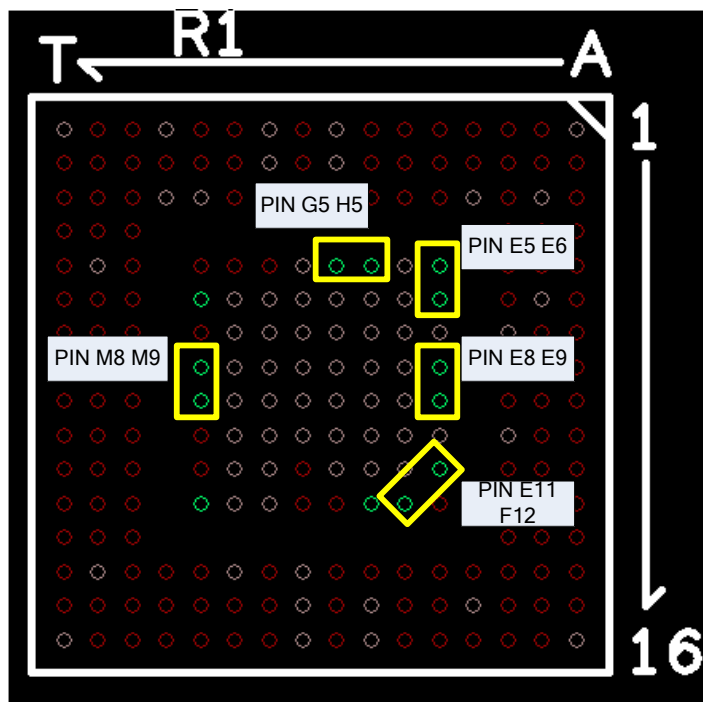
Core 电源使用平面供电，每个 100nf 滤波电容需靠近电源管脚放置，减少寄生电感。

图 2-1 是 Hi3518E 对应的 core 电源管脚，其去耦电容布局需要特别注意以下几点：

- Pin E5、E6 就近至少需放置 1 个 2.2uF 电容
- Pin G5、H5 就近至少需放置 1 个 2.2uF 电容
- pin E8、E9 就近至少需放置 1 个 2.2uF 电容
- pin M8、M9 至少需放置 1 个 2.2uF 电容
- pin E11、M12 至少需放置 1 个 2.2uF 电容
- 其他就近至少需放置 1 个 100nF 电容
- 在 core 电源的通道上至少放置一个 10uF 电容



图2-1 Hi3518E 对应的 core 电源管脚



## DDR 电源

Hi3518E 的每个 1.8V 电源管脚旁边尽可能就近摆放去耦电容，另外，1.8V 电源通道上至少有一个 10 $\mu$ F 的对地滤波电容。

Hi3518E 内置 DDR 部分的参考电源 (0.9V) 必须和其他电源隔离，可以通过较宽的走线连接，保证每个电源管脚尽可能就近摆放去耦电容，并且最好在 PCB 上对 VREF 加包地屏蔽处理。

VREF 参考电压设计建议如下：

- 参考电压设计时，需要重点关注参考电压的布线。根据 SSTL-18 协议要求，VREF 参考电压上的噪声不得超过 $\pm 1\%$ ，为了降低噪声，VREF 走线宽度尽量宽，建议将 VREF 在电源平面层通过铜皮布线，且不能作为信号线的参考平面。
- 每个 VREF pin 要加去耦电容且走线尽量宽，与其他信号线间隔 20mil~25mil。

## IO 电源

在 DVDD33 的电源通道上至少放置 1 个 10 $\mu$ F 对地滤波旁路电容，每个 DVDD33 管脚处放置 100nF 去耦电容，并紧靠供电管脚摆放。



## 2.1.2 时钟和复位电路

### 时钟

Hi3518E 的 PLL 功能单元的供电电源和地分为 AVDD12\_PLL、AVDD33\_PLL 和 AVSS\_PLL。建议 PCB 设计时采用如下原则：

- AVDD12\_PLL 为 1.2V 的 PLL 电源，建议与单板数字 1.2V 电源用磁珠隔开，1.2V 电源电平偏差控制在 $\pm 5\%$ 以内。
- AVDD33\_PLL 为 3.3V 的 PLL 电源，建议通过磁珠与数字 3.3V 电源隔离，3.3V 电源电平偏差控制在 $\pm 5\%$ 以内。
- AVSS\_PLL 为 PLL 电路的参考地，AVDD12\_PLL 和 AVDD33\_PLL 电源的去耦电容建议与磁珠组成 PI 型滤波，电容通过单独打孔到地平面来实现接地。
- 系统时钟的晶振电路走线长度尽量短，且需做包地处理。

### 复位

Hi3518E 可通过 POR\_SEL 管脚控制选择内部复位或外部复位。当上电时，POR\_SEL 逻辑为 0 时，使能内部复位；逻辑为 1 时，关闭内部复位，此时需要通过外部对芯片进行复位。具体电路设计请参照 Hi3518E DEMB 原理图。

## 2.1.3 Flash 设计

建议 PCB 设计采用以下原则：

- 相邻信号走线间距保持“3W”原则。
- 建议时钟信号上在 Hi3518E 端串联一个  $33\Omega$  电阻以获取更好的信号质量。

## 2.1.4 网口信号设计

- 相邻信号走线间距保持“3W”原则。
- 建议时钟信号上在信号源端串联一个  $33\Omega$  电阻以获取更好的信号质量。

## 2.2 典型外围接口 PCB 设计建议

### 2.2.1 USB 接口设计

#### USB PCB 设计建议

为了保证良好的信号质量，USB 2.0 Host 端口数据信号线按照差分线方式走线。为了达到 USB 2.0 高速 480MHz 的速度要求，建议 PCB 布线设计采用以下原则：

- 差分数据线走线尽可能短、直，差分数据线对内走线长度严格等长，误差建议控制在 5mil 范围内。
- 差分数据线控制  $90\Omega \pm 10\%$  的均匀差分阻抗。
- 差分数据线走线尽可能在临近地平面的布线层走线且不要换层。





- 差分数据线走线应有完整的地平面层作为参考平面，不能跨平面分割。
- 差分数据线走线应尽量用最少的过孔和拐角，拐角可考虑用圆弧或者 135 度角，避免直角，以减少反射和阻抗变化。
- 避免邻近其它高速周期信号和大电流信号，并保证间距大于 50mil，以减小串扰。此外，还应远离低速非周期信号，保证至少 20mil 的距离。
- REXT 电阻应该尽可能靠近 Hi3518E 侧。

## USB 功能单元供电电源设计建议

Hi3518E 集成了 1 路 USB 2.0 Host 接口。USB 功能单元的供电电源和地管脚分为 AVDD33\_USB/AVDD33\_USB25 和 AVSS\_USB、DVDD12\_USB 和 AVSS\_USB，分别对应 3.3V 电源和地、内核电源、地。设计建议如下：AVDD33\_USB/AVDD33\_USB25 和 AVSS\_USB 为模拟 3.3V 电源管脚和地，AVDD33\_USB/AVDD33\_USB25 电源电平偏差应控制在 $\pm 7\%$ 以内。建议使用磁珠来隔离 USB 模拟 3.3V 电源和单板数字 3.3V 电源，滤波电容就近放置，靠近 AVDD33\_USB/AVDD33\_USB25 和 AVSS\_USB 管脚。

## USB 保护电路布线建议

为了满足 ESD 保护等问题的要求，在电路设计时需要考虑在 USB 电路上设计保护电路。为了避免保护器件对 USB 走线信号造成衰减，并能够达到良好的保护效果，建议 PCB 设计时采用如下原则：

- 保护器件建议紧靠 USB 端口连接器放置。
- 保护器件建议选用低寄生电容的 TVS 管保护器件。
- 建议 USB 2.0 高速端口保护器件的寄生电容小于 2pF。

## 2.2.2 音频电路设计

- 芯片提供一个模拟 Audio codec。AC\_VREF 需要外接 1 个 2.2uF 电容和 470K  $\Omega$  电阻并联到地。
- 建议在音频输出管脚 AC\_OUTL 和 AC\_OUTR 的外围增加音频放大器以及滤波电路，详细请参考 Hi3518PERB 板最新版本原理图。
- 保护器件建议紧靠端口连接器放置。
- 保护器件建议选用低寄生电容的 TVS 管保护器件。

## 2.2.3 VI/VO 接口

Hi3518E 共有 1 个 VO 接口和 1 个 VI，其走线设计要求如下：

- VO 数据线信号走线均以 CLK 信号作为参考，偏差建议不超过 1000mil；
- VI 数据线、行场同步信号走线均以 CLK 信号作为参考，偏差建议不超过 1000mil；
- VI 接口存在 1V8 与 3V3 两种电源域，建议 VI 数据线、行同步、场同步信号走线、SPI0 在顶层走线，以地平面作为参考。防止参考电源平面时出现 1V8 和 3V3 电源不一致造成阻抗失调问题。
- 如果 VI 接口选择 1V8 电源域，其信号走线长度建议不要超过 4inch。



# 3 热设计建议

## 3.1 工作条件

Hi3518E 的功耗、温度和热阻参数请参见《Hi3518E 720p IP Camera SoC 用户指南》中的“2.6 电性能参数”小节。

## 3.2 电路热设计参考



### 注意

文档中的热设计建议是针对热设计要求高且尺寸小的单板，如将 Hi3518E 和 Sensor 集成成为“一块板”（尺寸为 38mm x 38mm）的单板。

### 3.2.1 原理图

#### 电源

考虑到要在一块板上实现多路电源方案，而由于各路电源的功耗不相同，所以在设计电源方案时需要注意以下几个方面：

- 单板电源树中的 DC-DC 转换级联级数不宜过多（导致总的电源转换效率下降），但是电源树中单独的电源分支数也不宜过多（导致单板上的 DCDC 电感较多，占用太多的 PCB 空间）。
- 单板电源树中尽可能不采用高压差 LDO 器件，减少电源自身在电源转换过程中所产生的热量。
- 选择转换效率较高的电源芯片。
- 单板上的功能模块选择低功耗模式的配置（如支持可以保持切换状态的 IR-CUT，在状态切换之后，将其驱动电源断开，减少功耗）。

客户在设计时，需要根据自己的单板的供电需求、单板的 PCB 空间限制等条件，规划合理的电源树、选择合适电源方案。



## 芯片低功耗配置

在 Hi3518E 某些产品形态应用中，有些模块（USB、SD 卡等）可能不会使用，此时应当将这些模块配置为低功耗模式。

## 3.2.2 PCB

### 器件布局

结合产品结构和热设计，器件布局建议如下：

- 单板上大功耗器件（Hi3518E、电源部分、网口 PHY 等）要均匀分布，避免局部过热，影响器件可靠性和效率，建议 Hi3518E 和电源部分不要放置太近，并且 Hi3518E 和电源部分靠近定位孔放置，这样可以使单板主要散热源经过螺丝孔和机壳，将热量散发到外部环境中。
- 热敏感的器件（sensor、flash 等）要尽可能离开大功耗器件，减少大功耗器件的热量对热敏感器件的影响，（可以将 sensor 和 flash 跟大功耗器件放置在不同的平面层），避免敏感器件过热而影响系统稳定性和图像质量。
- 将 PCB 的四个螺丝孔露铜处理，有如果条件允许，露铜的面积尽可能的大一些，方便 PCB 和机壳充分接触。

### 走线

走线热设计建议如下：

- 芯片使用 FULL 孔连接，而不是普通的花孔连接，以提高芯片散热效率。
- Hi3518E 的 1.2V/1.8V/3.3V 电源和地信号都通过平面铺铜的方式连接，在保证信号过流能力的前提下，打尽可能多的过孔连接到这些铜皮上，以增强芯片的散热能力。



说明

关于热特性的更多信息请参考《Hi3518E 评估板 热特性测试报告》。