

## Esercizio n. 5 Fabrizio nuovo

Data la seguente descrizione di circuito in VHDL

```
library ieee;
    use ieee.std_logic_1164.all;
    use ieee.std_logic_arith.all;

entity exam is port(
    d,g,h,i : in std_logic_vector(3 downto 0);
    in1,in2,in3 : in std_logic;
    clk, rst : in std_logic;
    out1 : out std_logic
);
end exam;

architecture mixed of exam is
    signal a, b, c, e, f : std_logic_vector(3 downto 0);
    signal s : std_logic;

begin

    b <= - d;

    PROC1 : process (reset, clk)
    begin
        if(reset='1') then
            out1 = '0';
        elsif (clk = '1' and clk'event) then
            out1 = s and in3;
        end if;
    end process;

    a <= b + c;

    PROC2: process( a, in1, in2 )
    begin
        if ( a<d*i ) then
            s <= in1 or in2;
        else
            s <= in2 and in2;
        end if;
    end process;

    e <= - g;
    c <= e * f;
    f <= h + i;

end mixed;
```

Disegnare un circuito composto da componenti elementari (porte logiche, multiplexer, bistabili) che implementi il modello VHDL proposto.

### Soluzione

Proc1: registro a 4 bit che commuta su fronte di discesa, con reset sincrono e ingresso che deriva da un sottrattore

Proc2: MUX a due vie

Nella descrizione strutturale il segnale f è l'uscita di un comparatore di maggioranza (la derivazione dei rimanenti segnali è banale).

## Esercizio n. 5

Data la seguente descrizione di circuito in VHDL

```
library ieee;
    use ieee.std_logic_1164.all;
    use ieee.std_logic_arith.all;

entity exam is port(
    d,g : in std_logic;
    in1,in2,in3 : in std_logic_vector(3 downto 0);
    clk, reset : in std_logic;
    out1 : out std_logic_vector(3 downto 0)
);
end exam;

architecture mixed of exam is
    signal a, b, c, e, f : std_logic;
    signal s : std_logic_vector(3 downto 0);

begin

    PROC1 : process (clk)
    begin
        if (clk = '0' and clk'event) then
            if(reset='0') then
                out1 <= "0000";
            else
                out1 <= s-in3;
            end if;
        end if;
    end process;

    PROC2: process( a, in1, in2 )
    begin
        if ( a='0' ) then
            s <= in1*in2;
        else
            s <= in2*in2;
        end if;
    end process;

    b <= not d;
    e <= not g;
    a <= b or c;
    c <= e and f;
    f <= in1 > in2;

end mixed;
```

Disegnare un circuito composto da componenti elementari (porte logiche, multiplexer, bistabili) che implementi il modello VHDL proposto.

### Soluzione

Proc1: registro a 4 bit che commuta su fronte di discesa, con reset sincrono e ingresso che deriva da un sottrattore

Proc2: MUX a due vie

Nella descrizione strutturale il segnale f è l'uscita di un comparatore di maggioranza (la derivazione dei rimanenti segnali è banale).

### Esercizio n. 5

Data la seguente descrizione di circuito in VHDL

```
entity exam is port(  
    clk, reset : in std_logic;  
    in1,in2,in3 : in std_logic_vector(2 downto 0);  
    out1, out2: out std_logic_vector(2 downto 0)  
);  
end exam;  
  
architecture mixed of exam is  
    signal c : std_logic;  
    signal a, b : std_logic_vector(2 downto 0);  
  
begin  
  
    c <= '0' when ((in1 = in2) and (in2 = in3)) else '1';  
  
    PROC1: process (clk)  
    begin  
        if( clk'event and clk = '1') then  
            if( reset = '1' ) then  
                a <= "001";  
            else  
                a <= b;  
            end if;  
        end if;  
    end process PROC1;  
  
    PROC2: process(a)  
    begin  
        if (a = "001") then  
            out2 <= "111";  
        else  
            out2 <= a*b;  
        end if;  
    end process PROC2;  
  
    out1 <= in1 when (a = "001")  
        in2 when (a= "010")  
        else in3;  
  
    b(2) <= a(0) xor c;  
    b(1) <= a(1) and b(0);  
    b(0) <= a(2) or not c;  
  
end mixed;
```

Disegnare un circuito composto da componenti elementari (porte logiche, multiplexer, bistabili, sommatori, moltiplicatori, ecc.) che implementi il modello VHDL proposto.

## Esercizio n. 6 Fabrizio fatto

Data la seguente descrizione di circuito in VHDL

```
library ieee;
    use ieee.std_logic_1164.all;
    use ieee.std_logic_arith.all;

entity exam is port(
    a,b : in std_logic;
    in1,in2,in3 : in std_logic_vector(3 downto 0);
    clk, reset : in std_logic;
    out1 : out std_logic_vector(3 downto 0)
);
end exam;

architecture mixed of exam is
    signal c, d, i : std_logic;
    signal e, f, g, h : std_logic_vector(3 downto 0);

begin

    PROC1 : process (clk)
    begin
        if (clk = '1') then
            out1 <= e;
        end if;
    end process;

    PROC2: process( d, in1, in2, in3 )
    begin
        if ( d='0' ) then
            h <= in1*in3;
            f <= in1-in2;
        else
            h <= in1*in2;
            f <= in2-in1;
        end if;
    end process;

    d <= a and i;
    g <= - f;
    e <= g when c = '1' else h;
    i <= b or a;
    c <= in1 <= in2;

end mixed;
```

Disegnare un circuito composto da componenti elementari (porte logiche, multiplexer, bistabili) che implementi il modello VHDL proposto.

### Soluzione