Esercizio n. 4
Data la seguente descrizione di circuito in VHDL

```
library ieee;
    use ieee.std_logic_1164.all;
    use ieee.std_logic_arith.all;

entity exam is port(
    a,b : in std_logic_vector(7 DOWNTO 0);
    c,d : in std_logic;
    clk, rst : in std_logic;
    out1 : out std_logic_vector(7 DOWNTO 0) );
end exam;

architecture mixed of exam is
signal e,f,h,g : std_logic;

begin
PROC1 : process (reset, clk)
  begin
    if(rst='1') then
      g <= '0';
    elsif (clk = '0' and clk'event) then
      g <= a >= b;
    end if;
  end process;

PROC2: process(c,d)
  begin
     e <= c and d;
  end process;

PROC3 : process (h,a,b)
  begin
    if(h='1') then
      out1 <= a-b;
    else
      out1 <= b-a;
    end if;
  end process;

h <= g and e and f;
f <= a(1) xor b(1);


end mixed;
```

a) Indicare se il circuito descritto è un circuito combinatorio o sequenziale con le opportune motivazioni.

b) Disegnare un circuito composto da componenti elementari (porte logiche, multiplexer, bistabili) che implementi il modello VHDL proposto

Esercizio n. 4
Data la seguente descrizione di circuito in VHDL

```
library ieee;
    use ieee.std_logic_1164.all;
    use ieee.std_logic_arith.all;

entity exam is port(
    a,b : in std_logic_vector(3 DOWNTO 0);
    c,d : in std_logic;
    clk, rst : in std_logic;
    out1 : out std_logic_vector(3 DOWNTO 0) );
    h : out std_logic;
end exam;

architecture mixed of exam is
signal e,f,g : std_logic;

begin
PROC1 : process (reset, clk)
  begin
    if(rst='1') then
      out1 <= '0000';
    elsif (clk = '0' and clk'event) then
      out1 <= a + b;
    end if;
  end process;

PROC3 : process (e,f,g)
  begin
    if(e='0') then
      h <= f;
    else
      h <= g;
    end if;
  end process;

f <= e and a(1);
e <= c or d;
g <= b(1) xor b(2);

end mixed;
```

a) Indicare se il circuito descritto è un circuito combinatorio o sequenziale con le opportune motivazioni.

b) Disegnare un circuito composto da componenti elementari (porte logiche, multiplexer, bistabili) che implementi il modello VHDL proposto

Esercizio n. 4
Data la seguente descrizione di circuito in VHDL

```
library ieee;
    use ieee.std_logic_1164.all;
    use ieee.std_logic_arith.all;

entity exam is port(
    a,b,c,d : in std_logic_vector(3 DOWNTO 0);
    e : in std_logic;
    clk, reset : in std_logic;
    out1 : out std_logic_vector(3 DOWNTO 0) );
end exam;

architecture mixed of exam is
signal g,h,k : std_logic;
signal i,j: std_logic_vector(3 DOWNTO 0);

PROC3 : process (k,i,j)
  begin
    if(k='0') then
      out1 <= i;
    else
      out1 <= j;
    end if;
  end process;

begin
PROC1 : process (reset, clk)
  begin
    if(reset='1') then
      i <= '0000';
    elsif (clk = '1' and clk'event) then
      i <= a + b;
    end if;
  end process;

begin
PROC1 : process (reset, clk)
  begin
    if(reset='1') then
      j <= '0000';
    elsif (clk = '1' and clk'event) then
      j <= c - d;
    end if;
  end process;


k <= h or b(1);
f <= e xor a(2);
g <= e and a(1);
h <= f or g;

end mixed;
```

a) Indicare se il circuito descritto è un circuito combinatorio o sequenziale con le opportune motivazioni.

b) Disegnare un circuito composto da componenti elementari (porte logiche, multiplexer, bistabili) che implementi il modello VHDL proposto

Esercizio n. 6

Data la seguente descrizione di circuito in VHDL

```
library ieee;
    use ieee.std_logic_1164.all;
    use ieee.std_logic_arith.all;

entity exam is port(
    a,b : in std_logic_vector(7 DOWNTO 0);
    c,d : in std_logic;
    clk, rst : in std_logic;
    out1 : out std_logic_vector(7 DOWNTO 0) );
end exam;

architecture mixed of exam is
signal e,f,h,i : std_logic;
signal g : std_logic_vector(7 DOWNTO 0);

begin
PROC1: process(a,g,h)
  begin
    if ( h='1' ) then
        out1 <= a+g;
    else
        out1 <= a-g;
    end if;
  end process;
PROC2 : process (clk)
  begin
    if(rst='0') then
      g <= "00000001";
    elsif (clk = '0' and clk'event) then
      g <= a*b;
    end if;
  end process;

  f <= e and d;
  i <= a <= b;
  e <= a(1) xor b(2);
  h <= c or f;

end mixed;
```

a) Indicare se il circuito descritto è un circuito combinatorio o sequenziale con le opportune motivazioni.

b) Disegnare un circuito composto da componenti elementari (porte logiche, multiplexer, bistabili) che implementi il modello VHDL proposto

Esercizio n. 6

Data la seguente descrizione di circuito in VHDL

```
library ieee;
    use ieee.std_logic_1164.all;
    use ieee.std_logic_arith.all;

entity exam is port(
    a,b : in std_logic_vector(7 DOWNTO 0);
    c,d : in std_logic;
    clk, rst : in std_logic;
    out1 : out std_logic_vector(7 DOWNTO 0) );
end exam;

architecture mixed of exam is
signal e,f,h : std_logic;
signal g : std_logic_vector(7 DOWNTO 0);

begin
PROC1 : process (rst, clk)
  begin
    if(rst='1') then
      g <= "11111111";
    elsif (clk = '0' and clk'event) then
      g <= a*b;
    end if;
  end process;
PROC2: process(a,b,g,h)
  begin
    if ( h='0' ) then
        out1 <= g*g;
    else
        out1 <= a+b;
    end if;
  end process;

  f <= a => b;
  h <= not e and d;
  e <= c xor f;

end mixed;
```

a) Indicare se il circuito descritto è un circuito combinatorio o sequenziale con le opportune motivazioni.

b) Disegnare un circuito composto da componenti elementari (porte logiche, multiplexer, bistabili) che implementi il modello VHDL proposto

Esercizio n. 6

Data la seguente descrizione di circuito in VHDL

```
library ieee;
    use ieee.std_logic_1164.all;
    use ieee.std_logic_arith.all;

entity exam is port(
    a,b : in std_logic_vector(7 DOWNTO 0);
    c,d : in std_logic;
    clk, rst : in std_logic;
    out1 : out std_logic_vector(7 DOWNTO 0) );
end exam;

architecture mixed of exam is
signal e,f,g : std_logic;
signal i : std_logic_vector(7 DOWNTO 0);

begin
PROC1 : process (rst,i)
  begin
    if(rst='1') then
      out1 <= "11111111";
    else
      out1 <= i;
    end if;
  end process;
PROC2: process(a,b,g)
  begin
    if ( g='0' ) then
        i <= a*b;
    else
        i <= a+b;
    end if;
  end process;

  g <= not c and f;
  f <= d xor e;
  e <= c xor d;

end mixed;
```

a) Indicare se il circuito descritto è un circuito combinatorio o sequenziale con le opportune motivazioni.

b) Disegnare un circuito composto da componenti elementari (porte logiche, multiplexer, bistabili) che implementi il modello VHDL proposto

Esercizio n. 6

Data la seguente descrizione di circuito in VHDL

```
library ieee;
    use ieee.std_logic_1164.all;
    use ieee.std_logic_arith.all;

entity exam is port(
    a,b : in std_logic_vector(7 DOWNTO 0);
    c,d : in std_logic;
    clk, rst : in std_logic;
    out1 : out std_logic_vector(7 DOWNTO 0) );
end exam;

architecture mixed of exam is
signal e,f,g : std_logic;
signal j : std_logic_vector(7 DOWNTO 0);

begin
PROC1: process(a,b,g)
  begin
    if ( g='0' ) then
        j <= a*a;
    else
        j <= b+b;
    end if;
  end process;
PROC1 : process (rst,j)
  begin
    if(rst='0') then
      out1 <= "00000000";
    else
      out1 <= j;
    end if;
  end process;

  g <= c xor f;
  e <= not c and d;
  f <= d or e;

 end mixed;
```

a) Indicare se il circuito descritto è un circuito combinatorio o sequenziale con le opportune motivazioni.

b) Disegnare un circuito composto da componenti elementari (porte logiche, multiplexer, bistabili) che implementi il modello VHDL proposto

Esercizio n. 6

Data la seguente descrizione di circuito in VHDL

```
library ieee;
    use ieee.std_logic_1164.all;
    use ieee.std_logic_arith.all;

entity exam is port(
    a,b : in std_logic_vector(7 DOWNTO 0);
    c,d : in std_logic;
    clk, rst : in std_logic;
    out1 : out std_logic_vector(7 DOWNTO 0) );
end exam;

architecture mixed of exam is
signal e,f,g : std_logic;
signal j : std_logic_vector(7 DOWNTO 0);

begin
PROC1: process(g,a,b,clk)
  begin
    if ( g='0' ) then
        j <= a+b;
    else
        j <= b*a;
    end if;
  end process;
PROC2 : process (rst,clk)
  begin
    if(rst='0') then
      out1 <= "00000000";
    else
      out1 <= j;
    end if;
  end process;

  g <= c and f;
  e <= c or not d;
  f <= d xor e;

 end mixed;
```

a) Indicare se il circuito descritto è un circuito combinatorio o sequenziale con le opportune motivazioni.

b) Disegnare un circuito composto da componenti elementari (porte logiche, multiplexer, bistabili) che implementi il modello VHDL proposto