

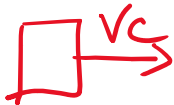
## Séquence 3 : Exercices

### ★ Seq3.Exercice 1 : Circuit combinatoire

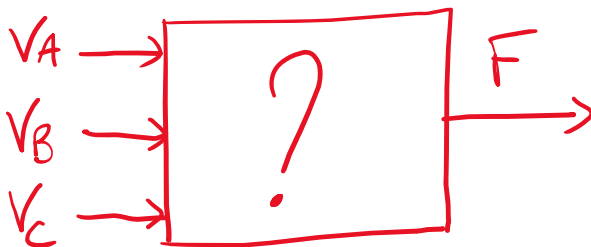
Trois cellules photoélectriques sont éclairées par trois rayons lumineux clignotants. Ces rayons doivent clignoter de manière séquentielle pour que les trois rayons ne soient jamais allumés ou éteints en même temps. Chaque cellule sert à contrôler un de ces rayons et constitue un circuit qui produit une tension de sortie BASSE quand elle est dans le noir, et une tension de sortie HAUTE quand elle est éclairée.

Créez un circuit logique dont les entrées sont les tensions de sortie de ces trois cellules et qui doit produire un signal de niveau HAUT quand les trois rayons sont allumés ou éteints en même temps.

Soit les 3 cellules dont les tensions de sortie sont  $V_A$ ,  $V_B$ ,  $V_C$  :



$V_A$ ,  $V_B$  et  $V_C$  sont les 3 entrées du système combinatoire que l'on veut concevoir, et dont la sortie  $F(V_A, V_B, V_C)$  est utilisée pour contrôler les rayons lumineux :



Cellule pas éclairée  $\Rightarrow$  Tension Basse en sortie  $V=0$

Cellule éclairée  $\Rightarrow$  Tension Haute en sortie  $V=1$

Les 3 cellules éclairées en  $\hat{m}$  temps:

$$(V_A=1) \cdot (V_B=1) \cdot (V_C=1)$$

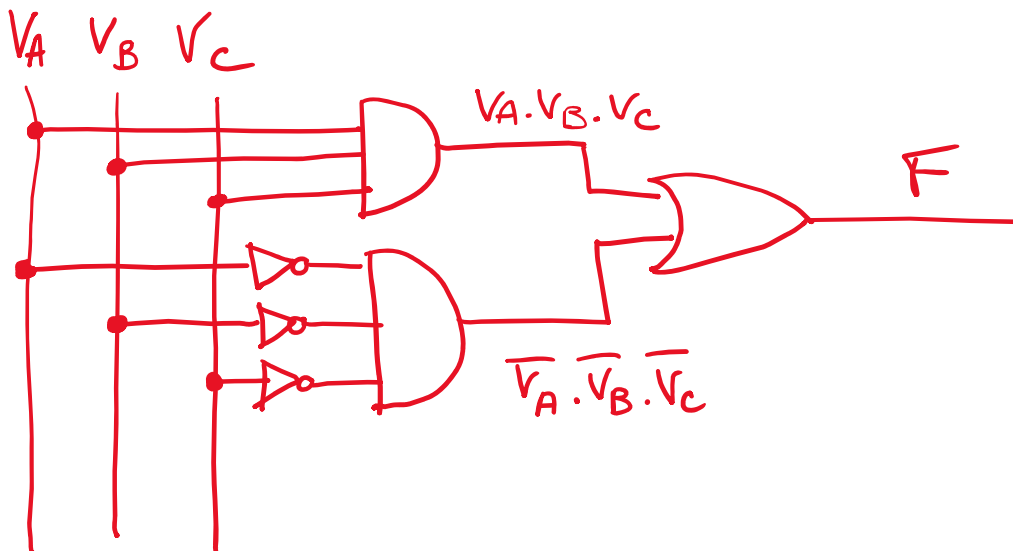
Les 3 cellules dans le noir en  $\hat{m}$  temps:

$$(V_A=0) \cdot (V_B=0) \cdot (V_C=0)$$

D'où la fonction  $F$ :

$$F = V_A \cdot V_B \cdot V_C + \bar{V}_A \cdot \bar{V}_B \cdot \bar{V}_C$$

Et le circuit combinatoire correspondant:



### ★ Seq3.Exercice 2 : Circuit combinatoire

Quatre grandes cuves dans une usine de fabrication de produits chimiques contiennent différents liquides chauffés. Des capteurs limnimétriques (de niveau) servent à déceler le dépassement d'un niveau préétabli dans les cuves A et B. Des capteurs thermométriques surveillent la température des cuves C et D pour qu'elle ne descende pas sous une température de consigne. Supposez que les capteurs limnimétriques sont à 0 quand le niveau est correct et à 1 quand il est trop haut. En outre, supposez que les capteurs thermométriques sont à 0 quand la température est acceptable et à 1 quand elle est trop basse.

Concevez un circuit logique qui sonne l'alerte quand se produisent en même temps un niveau trop haut dans A ou B et une température trop basse dans la cuve C ou la cuve D.

Les niveaux logiques correspondant aux 4 capteurs

sont :

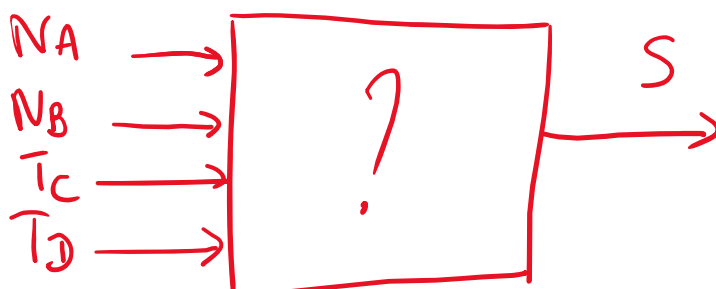
$$\begin{array}{c} \boxed{\phantom{0}} \rightarrow N_A = \begin{cases} 0 : \text{niveau correct} \\ 1 : \text{niveau trop Haut} \end{cases} \\ \text{Cuve A} \end{array}$$

$$\begin{array}{c} \boxed{\phantom{0}} \rightarrow N_B : \text{Idem} \\ \text{Cuve B} \end{array}$$

$$\begin{array}{c} \boxed{\phantom{0}} \rightarrow T_C = \begin{cases} 0 : T^\circ \text{ correcte} \\ 1 : T^\circ \text{ trop Basse} \end{cases} \\ \text{Cuve C} \end{array}$$

$$\begin{array}{c} \boxed{\phantom{0}} \rightarrow T_D : \text{Idem} \\ \text{Cuve D} \end{array}$$

Soit  $S$  la fonction de sortie du système d'Alerte, dont les 4 entrées sont  $N_A, N_B, T_C, T_D$

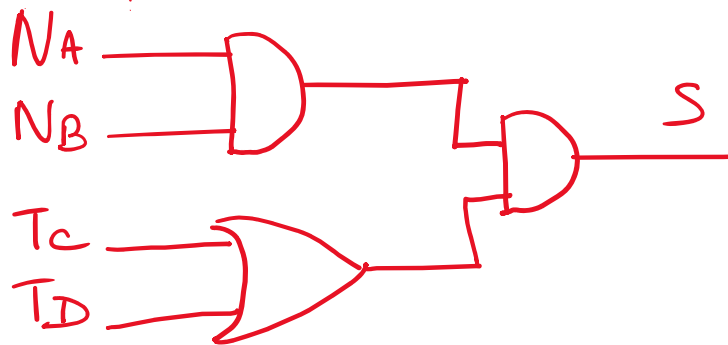


$S$  vaut 1 quand :  
 $N_A \cdot N_B \cdot (T_C + T_D)$

$S$  vaut 0 sinon

$$\Rightarrow \boxed{S = (N_A + N_B) \cdot (T_C + T_D)}$$

D'où le schéma du circuit combinatoire dont la fonction de sortie est  $S$  :



### ★ ★ Seq3.Exercice 3 : Comparateur

On rencontre très souvent la nécessité de comparer deux entiers ( $A = B$ ,  $A > B$  ou  $A < B$ ).

1. Ecrire la table de vérité correspondant à ces trois fonctions de comparaison de 2 bits. La fonction  $S_1$  doit être égale à 1 si et seulement si  $A > B$ , la fonction  $I_1$  si et seulement si  $A < B$  et la fonction  $E_1$  si et seulement si  $A = B$ . Ce qui nous donne :

A	B	$S_1 (A > B)$	$I_1 (A < B)$	$E_1 (A = B)$
0	0	0	0	1
0	1	0	1	0
1	0	1	0	0
1	1	0	0	1

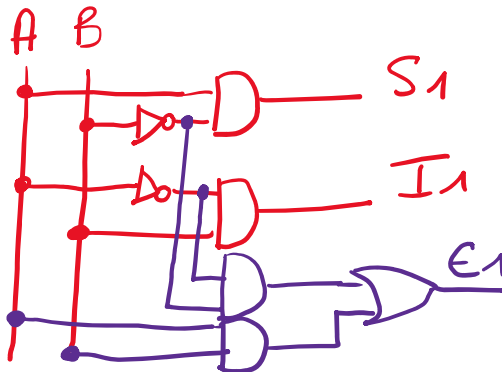
2. En déduire les expressions logiques de  $S_1$ ,  $I_1$  et  $E_1$ .

$$S_1 = A \cdot \bar{B}$$

$$I_1 = \bar{A} \cdot B$$

$$E_1 = \bar{A} \cdot \bar{B} + A \cdot B$$

3. Donner le diagramme d'un bloc logique comparant deux bits A et B, en utilisant des inverseurs, des portes ET et OU.



On désire comparer deux nombres binaires de deux bits chacun, A ( $A_1 A_0$ ) et B ( $B_1 B_0$ ), le poids des bits étant  $2^0$  pour  $A_0$  et  $B_0$  et  $2^1$  pour  $A_1$  et  $B_1$ .

Le comparateur aura 3 sorties :  $S_2$  doit être égale à 1 si et seulement si  $A > B$ , la fonction  $I_2$  si et seulement si  $A < B$  et la fonction  $E_2$  si et seulement si  $A = B$ .

- Donner la table de vérité liant  $S_2$ ,  $I_2$ ,  $E_2$  à  $A_1 A_0 B_1 B_0$ .
- Simplifier ces fonctions à l'aide de tableaux de Karnaugh.
- Dessiner le logigramme en utilisant des portes NAND

4)

$A_1$	$A_0$	$B_1$	$B_0$	$S_2$	$I_2$	$E_2$
0	0	0	0	0	0	1
0	0	0	1	0	1	0
0	0	1	0	0	1	0
0	0	1	1	0	1	0
0	1	0	0	1	0	0
0	1	0	1	0	0	1
0	1	1	0	0	1	0
0	1	1	1	0	1	0
1	0	0	0	1	0	0
1	0	0	1	1	0	0
1	0	1	0	0	0	1
1	0	1	1	0	1	0
1	1	0	0	1	0	0
1	1	0	1	0	0	0
1	1	1	0	1	0	0
1	1	1	1	0	0	1

 $S_2$ :

$A_1 A_0 \backslash B_1 B_0$	00	01	11	10
00	0	0	0	0
01	0	1	0	0
11	1	1	0	1
10	1	1	0	0

 $I_2$ :

$A_1 A_0 \backslash B_1 B_0$	00	01	11	10
00	0	1	1	1
01	0	0	1	1
11	0	0	0	0
10	0	0	1	0

5)

$$S_2 = A_1 \bar{B}_1 + A_0 \bar{B}_1 \bar{B}_0 + A_1 A_0 \bar{B}_0$$

$$I_2 = \bar{A}_1 B_1 + \bar{A}_1 \bar{A}_0 B_0 + \bar{A}_0 B_1 B_0$$

$$E_2 = \bar{A}_1 \bar{A}_0 \bar{B}_1 \bar{B}_0 + \bar{A}_1 A_0 \bar{B}_1 B_0 + A_1 \bar{A}_0 B_1 \bar{B}_0 + A_1 A_0 B_1 B_0$$

6)

$$S_2 = A_1 \bar{B}_1 + A_0 \bar{B}_1 \bar{B}_0 + A_1 A_0 \bar{B}_0$$

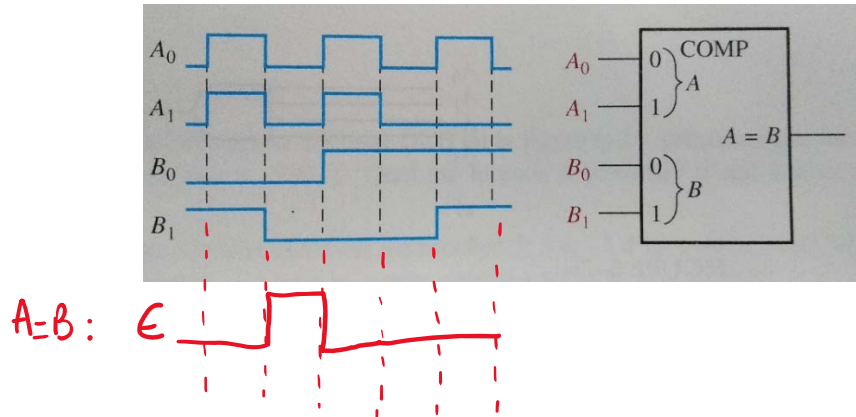
$$S_2 = \overline{A_1 \bar{B}_1} \cdot \overline{A_0 \bar{B}_1 \bar{B}_0} \cdot \overline{A_1 A_0 \bar{B}_0}$$

$$I_2 = \overline{\bar{A}_1 B_1} \cdot \overline{\bar{A}_1 \bar{A}_0 B_0} \cdot \overline{\bar{A}_0 B_1 B_0}$$

$$E_2 = \overline{\bar{A}_1 \bar{A}_0 \bar{B}_1 \bar{B}_0} \cdot \overline{\bar{A}_1 A_0 \bar{B}_1 B_0} \cdot \overline{A_1 \bar{A}_0 B_1 \bar{B}_0} \cdot \overline{A_1 A_0 B_1 B_0}$$

7. Les formes d'onde de la figure Exo3.1 sont appliquées au comparateur telles qu'illustrées. Déterminez la forme d'onde de la sortie égalité ( $A=B$ ).

Figure Exo3.1



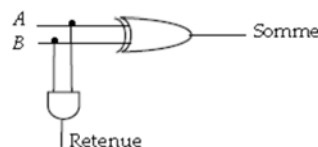
### ★★★ Seq3.Exercice 4 : Additionneur binaire

Un demi-additionneur permet de réaliser l'addition de deux bits (variables  $a_i$ ,  $b_i$ ). Le résultat de l'addition est la somme  $S_i$ , et une retenue  $R_i$ .

1. Donner la table de vérité du demi-additionneur : deux entrées  $a_i$ ,  $b_i$ , deux sorties  $S_i$  et  $R_i$ .
2. En déduire les équations booléennes de  $S_i$  et  $R_i$  en fonction de  $a_i$  et  $b_i$ .
3. Faire le schéma du demi-additionneur avec des portes logiques.

Un demi-additionneur permet d'additionner 2 bits. Il a deux sorties : la somme et la retenue. Sa table de vérité est :

A	B	S	R
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1



D'après la table de vérité, on peut écrire l'expression de la somme S et de la retenue E :

$$S = \overline{A}B + A\overline{B} = A \oplus B$$

$$R = A \cdot B$$

Pour additionner deux nombres à plusieurs bits, il faut tenir compte de l'éventuelle retenue de l'étage précédent (dans l'opération, les retenues se propagent d'un rang au rang supérieur). Un demi-additionneur ne peut donc réaliser cette opération. Il faut un circuit à 3 entrées, c'est ce que l'on appelle un additionneur complet.

Les variables  $S_i$  et  $R_i$  correspondent au résultat (somme et retenue) de l'addition de  $a_i$ ,  $b_i$  et  $R_{i-1}$ .

Donner la table de vérité de l'additionneur complet : 3 entrées  $a_i$ ,  $b_i$ ,  $R_{i-1}$ , deux sorties  $S_i$  et  $R_i$ .

1. En utilisant un tableau de Karnaugh pour chacune des deux sorties, en déduire les équations logiques de Si et de Ri.
2. Faire le schéma de l'additionneur complet avec des portes logiques.

Pour pouvoir additionner des nombres à plusieurs bits, il faut à chaque rang tenir compte de la retenue des bits de poids inférieur. Un circuit additionneur doit donc comporter 3 entrées et 2 sorties. La table de vérité d'un tel circuit est :

A	B	$R_e$	S	$R_s$
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

A partir de cette table de vérité, nous pouvons remplir les tableaux de Karnaugh et simplifier les expressions de S et  $R_s$

S :	$R_e \backslash AB$	00	01	11	10
	0	0	1	0	1
	1	1	0	1	0

$$S = A \oplus B \oplus R_e$$

R	$R_e \backslash AB$	00	01	11	10
:	0	0	0	1	0
	1	0	1	1	1

$$R = AB + AR_e + BR_e$$

Ou encore

$Re(A \oplus B) + AB$  ce qui permet de re-utiliser le  $A \oplus B$  de S

Démonstration de S :

$$\begin{aligned}
 S &= \overline{R_e} \overline{AB} + \overline{R_e} \overline{AB} + R_e \overline{AB} + R_e AB \\
 &= \overline{R_e} (\overline{AB} + \overline{AB}) + R_e (\overline{AB} + AB) \\
 &= \overline{R_e} (A \oplus B) + R_e (A \oplus B) \\
 S &= R_e \oplus A \oplus B
 \end{aligned}$$

### ★ ★ Seq3.Exercice 5 : Schéma interne d'un multiplexeur

Un multiplexeur est un circuit logique à N entrées de données (Ei) et une sortie S qui transmet les informations provenant de l'entrée sélectionnée. Pour sélectionner une entrée, le multiplexeur reçoit un code de sélection qui provient de n entrées complémentaires appelées entrées d'adresse (Aj). Les nombres N et n sont liés par la relation  $N=2^n$ .

Multiplexeur élémentaire à 2 entrées de données (donc une entrée d'adresse) :

1. Donner la table de vérité du multiplexeur
2. En déduire l'équation logique de la sortie S
3. Donner le schéma du multiplexeur



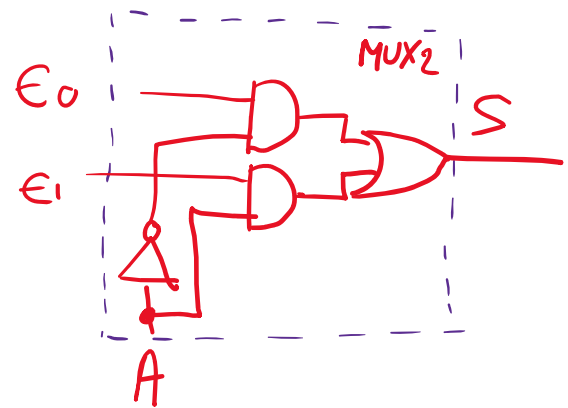
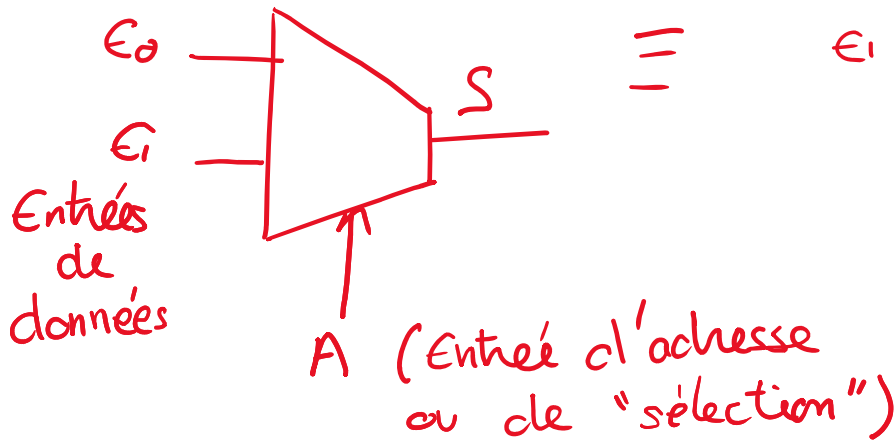
1)

$E_1$	$E_0$	$A$	$S$
0	0	0	0
0	1	0	0
1	0	0	0
1	1	0	0
0	0	1	0
0	1	1	1
1	0	1	0
1	1	1	1

Si  $A = 0$   
 $\Rightarrow S = E_0$   
 Si  $A = 1$   
 $\Rightarrow S = E_1$

} Fonct<sup>r</sup>  
du  
MUX<sub>2</sub>

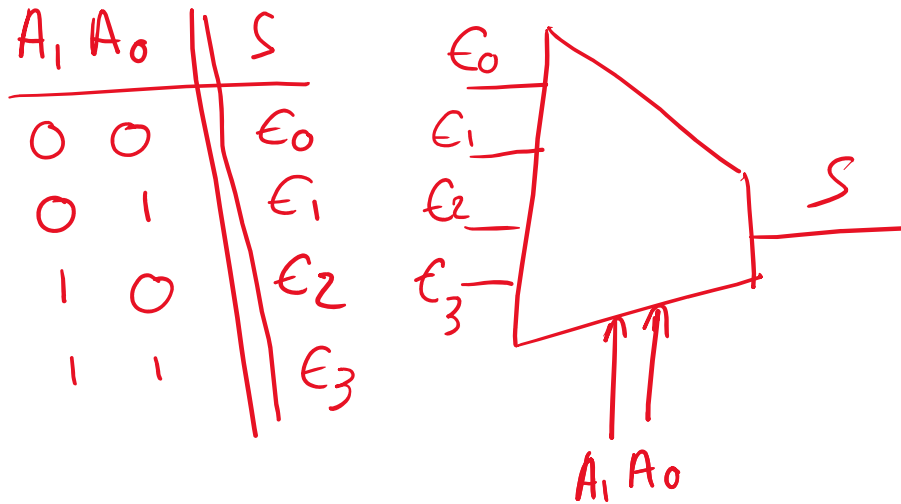
2)  $S = \bar{A} E_0 + A E_1$



Multiplexeur à 4 entrées de données (donc 2 entrées d'adresse) :

4. Donner la table de vérité du multiplexeur
5. En déduire l'équation logique de la sortie S
6. Donner le schéma du multiplexeur

4)



5) 
$$S = \bar{A}_1 \bar{A}_0 E_0 + \bar{A}_1 A_0 E_1 + A_1 \bar{A}_0 E_2 + A_1 A_0 E_3$$

6) Faire le schéma de l'équation ci-dessus

### ★★ Seq3.Exercice 6 : Application du multiplexeur – sélection de données

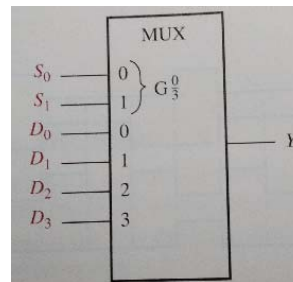
1. Pour le multiplexeur de la figure Exo6.1, déterminez la sortie en réponse aux états d'entrée suivants :  $D_0=0$ ,  $D_1=1$ ,  $D_2=1$ ,  $D_3=0$ ,  $S_0=1$ ,  $S_1=0$ .

On rappelle que  $S_0$  et  $S_1$  sont les entrées de sélection, et  $D_0$  à  $D_3$  les entrées de données.

La table de vérité du MUX est la suivante :

Entrées de sélection		Y
$S_1$	$S_0$	
0	0	$D_0$
0	1	$D_1$
1	0	$D_2$
1	1	$D_3$

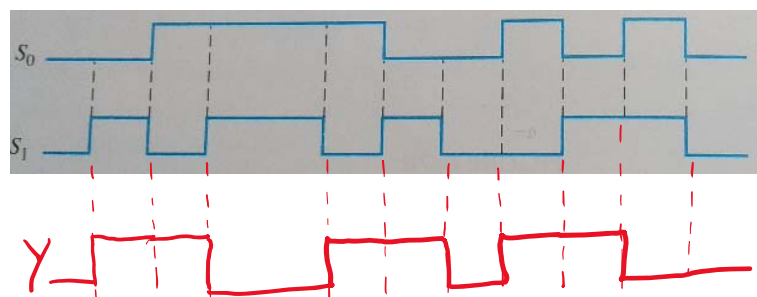
Figure Exo6.1 (p334)



$$\left. \begin{array}{l} S_0=1, S_1=0 \\ S_1 : \text{ poids fort} \end{array} \right\} \Rightarrow Y = D_1 \Rightarrow Y = 1$$

2. Si les entrées de la sélection des données du multiplexeur de la figure Exo 6.1 suivent la séquence illustrée par les formes d'onde de la figure Exo6.2, déterminez la forme d'onde de sortie en réponse aux entrées de données spécifiées à la question 1.

Figure Exo6.2



3. On observe les formes d'onde de la figure Exo6.3 aux entrées d'un multiplexeur 74HC151 à 8 entrées. Dessinez la forme d'onde de la sortie Y.

On rappelle que  $S_0$ ,  $S_1$ ,  $S_2$  sont les entrées de sélection.

Il faut un niveau BAS sur l'entrée *validation* pour permettre aux données d'entrée sélectionnées de traverser jusqu'à la sortie. Si cette entrée est au niveau HAUT, alors  $Y=0$ .

**Figure  
Exo6.3**

