计组复习

2020年1月3日

21:31

按教材顺序复习：

CH 2

摩尔定律：Moore observed that the number of transistors that could be put on a single chip was doubling every year and correctly predicated that this pace would continue into the near furture。

计算机性能的度量：

Amdahl 's law: 程序可能的加速比取决于可以被并行化的部分。

即：改进后的执行时间 = 受改进影响的执行时间/改进量 + 不受影响的执行时间

时钟周期：时钟间隔的时间称为时钟周期（计算机用时钟来驱动硬件中发生的各种事件），其倒数被称为时钟频率，时钟周期为250ps，则时钟频率为4GHz。

一个程序的CPU执行时间 = 一个程序的CPU时钟周期数 \* 时钟周期时间

当考虑到程序所需的指令数时， CPU 时钟周期数 = 程序的指令数\*每条指令的平均时钟周期数（CPI）

计算机性能的三大因素： 指令数目，时钟周期长度和每条指令所需的时钟周期数（CPI）

MIPS（每秒百万条指令） = 指令数 /（执行时间\*十的六次方）

在同一计算机上，不同的程序会有不同的MIPS

MIPS = 指令数/【(指令数 \* CPI）/时钟频率 \* 十的六次方】 = 时钟频率/ （CPI \* 十的六次方）

因此对MIPS 求平均，

算数平均 arithmetic mean:

调和平均 harmonic mean：

CH3

PC

一套指令所要求的处理过程称为指令周期。指令周期分为 取指周期（fetch cycle)【装入指令寄存器IR，以二进制代码的形式】和执行周期【 1.CPU-存储器：互相传输 2.CPU-IO：互相传输，接受或传送来自外部设备的数据 3.数据处理（Data processing）4.Control：改变原有的执行顺序】

中断

总线：

总线是连接两个或多个设备的通信通路。（共享传输介质）分为三个功能组： control lines ,address lines ,data lines.

典型的总线包含 32，64， 128根线，被称为数据总线的宽度。

对于地址总线，其指定了数据总线上的来源或去向吗，而地址总线的宽度决定了系统能够使用的最大的存储器数量。

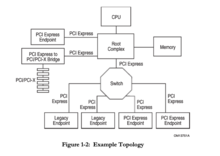
控制线则用来控制对数据地址线的存取和使用

3 ． 4 ． 2 多 总 线 层 次 结 构 
如 果 大 量 的 设 备 连 到 总 线 上 ， 性 能 就 会 下 降 ， 这 主 要 有 两 个 原 因 ： 
0 ） 总 的 来 说 ， 总 线 上 连 接 的 设 备 越 多 ， 传 输 延 迟 就 越 大 。 而 这 个 延 迟 确 定 了 设 备 协 
调 总 线 使 用 所 花 费 的 时 间 、 当 总 线 荇 制 频 繁 地 由 一 个 设 备 传 递 到 另 一 个 设 备 时 ， 传 输 延 
迟 明 显 地 影 响 性 能 。 
（ 2 ） 当 聚 集 的 传 输 请 求 接 近 总 线 容 量 时 ， 总 线 使 会 成 为 瓶 颈 · 通 过 提 高 总 线 的 数 据 
传 输 率 或 使 用 更 宽 的 总 线 （ 例 如 ， 将 数 据 线 由 32 位 增 加 到 以 位 ） ， 这 个 问 题 在 某 种 程 度 上 
能 够 得 以 缓 解 · 但 是 挂 接 设 备 （ 例 如 ， 图 形 和 视 频 控 制 、 网 络 接 口 ） 产 生 的 数 据 传 偷 率 增 
长 更 快 ， 这 是 单 一 总 线 注 定 要 失 败 的 竞 赛 · 
因 此 ． 多 数 计 算 机 系 统 在 体 系 结 构 中 都 选 择 使 用 多 总 线 结 构 · 图 3 ， 18 （ a ） 显 示 了 典 
型 的 总 线 结 构 实 例 · 局 部 总 线 连 接 处 理 器 和 高 速 缓 存 ， 它 可 用 于 支 持 一 个 或 多 个 局 部 及 
备 ． 高 速 缓 存 控 制 器 不 但 将 高 連 缓 存 连 接 到 局 部 总 线 ， 而 且 将 
器 模 块 的 系 统 总 线 。 在 
速 避 免 了 处 理 器 对 主 存 储 器 的 頻 繁 
畴 茼 《 五 ： 荐 味 器 可 以 从 局 部 总 线 移 到 系 统 总 线 ， 这 样 ， ] / 0 和 主 存 储 器 通 过 系 统 总 
线 的 传 送 就 不 会 影 响 处 理 器 的 活 动 · 
将 I/O 控 制 器 直 接 连 到 系 统 总 线 E 是 可 行 的 · 更 高 效 的 方 法 是 ， 为 此 使 用 一 个 或 多 
个 扩 充 总 线 · 系 统 总 线 和 扩 充 总 线 上 的 1/0 控 制 器 之 间 的 数 据 传 输 可 以 扩 百 总 我 
接 口 来 进 行 缓 冲 · 这 种 方 案 允 许 系 统 支 持 更 广 泛 的 1 ／ 0 设 备 ， 同 时 将 存 储 器 一 处 理 器 的 传 
输 与 L ' 0 传 输 隔 开 。 

总线的同步（总线上事件的发生由时钟决定）与异步（总线上一个事件的发生取决于前一事件的发生） ，中文书P83页 读比写在数据线上延迟一个周期

PCIe和PCI最大的改变是由并行改为串行，通过使用差分信号传输（differential transmission）

来自 <[*https://zhuanlan.zhihu.com/p/26172972*](https://zhuanlan.zhihu.com/p/26172972)>



结构是由连接一组组件的

[点对点链路](https://baike.baidu.com/item/%E7%82%B9%E5%AF%B9%E7%82%B9%E9%93%BE%E8%B7%AF/691903)组成，一个示例性结构拓扑如图1-2所示。这个图说明了一个层次结构的单个结构实例，由一个根复合体组成，多个端点（I / O设备），交换机和

[PCI Express](https://baike.baidu.com/item/PCI%20Express/216609)标准的 PCI / PCI-X桥接器，均通过PCI Express链路互连

来自 <[*https://baike.baidu.com/item/pcie*](https://baike.baidu.com/item/pcie)>

设备和处理器通信有两种不同的方法--轮询和IO中断，他们形成了IO设备和内存之间进行数据传输的基础。

中断驱动将处理器从等待中解放出来，但是开销过大，因为磁盘传输会花处理器较多时间，于是DMA机制解决了这一问题，直接内存访问，是一种独立于处理器，能在IO设备和内存之间直接传输数据的专用控制器实现，其控制器是总线控制器，1.。处理器提供参数设置DMA，启动设备上的操作，传输完成后，控制器向处理器发出中断。

中断请求中包括多个IO操作，为减少中断对处理器的需求，更为智能的IO控制器叫做channel controller。。。

在没有DMA时，所有对内存系统的访问都来自处理器，需要经过地址转换和告诉缓存的询问。采用DMA方式，就有了一条到内存系统的路径。

使用DMA困难的原因在于 page有物理和虚拟两种地址，。。。当高速缓存器以更新数据但是尚未写回内存时，DMA未获取到正确的数据，产生了一致性问题

时钟周期频率在GHz=10的八次方周期每秒，传输速率取决于时钟频率，单位为GB/s。1GB = 1 000 000 000字节

CAID 加速IO性能：用很多小的磁盘来替代少量的大磁盘， 但是因此可靠性降低，解决方案：增加冗余。