EDA实验六

1181002038 张璐矾

实验六

1. 实验目的：
   1. 掌握简单计数器的设计方法
   2. 了解分频电路的原理和设计方法
   3. 学习在quartusⅡ中使用Verilog的功能模块打包生成原理图的符号库，以便在使用原理图时调用该库。
2. 实验原理
   1. 设计一个具有异步复位，同步使能功能的十二进制计数器，计数结果显示在DP8数码管上，进位标志在led8等显示。
   2. 以1HZ为计数脉冲，计数值显示在数码管DP8上，进位标志位led8
   3. Rst:0有效，使用开关sw1，复位时（0），计数器值，进位标志清零

En1:有效，使用开关sw2，有效时，计数器工作。

1. 实验内容
   1. 实验设计

实验项目一共分为4各模块：顶层模块cnt12b，分频器模块divi\_1hz，十二进制计数器cnt12，数码管译码模块SevenSegment(上次实验做过的)。

Divi\_1hz:将原始50Mhz的时钟分为1hz的时钟，计算方式：

Cnt12:十二进制计数器，计数到11，再加一清零，进位为1

* 1. 代码
     1. 顶层模块 cnt12b：

module cnt12b(clk,rst,en,DS,A,B,C,D,E,F,G,DP,count);

input clk,rst,en;

output count;

output A,B,C,D,E,F,G,DP;

output DS;

wire count\_temp;

wire divi\_1hz;

wire [3:0] in;

assign count = ~count\_temp;

divi\_1hz u1(

.clk(clk),

.divi\_1hz(divi\_1hz));

cnt12 u2(

.clk(divi\_1hz) ,

.rst(rst) ,

.en(en) ,

.cq(in),

.count(count\_temp));

SevenSegment u3(

.in(in),

.A(A),

.B(B),

.C(C),

.D(D),

.E(E),

.F(F),

.G(G),

.DP(DP),

.DS(DS));

endmodule

* + 1. 分频器模块 divi\_1hz：

module divi\_1hz(clk,divi\_1hz);

input clk;

output reg divi\_1hz;

reg[24:0] count\_reg1;

always@(posedge clk)

if(count\_reg1==24999999)//分频，将50MHz的时钟降为1Hz的时钟

begin

divi\_1hz<=~divi\_1hz;

count\_reg1<=0;

end

else

begin

count\_reg1<=count\_reg1+1;

end

endmodule

* + 1. 十二进制计数器模块 cnt12：

module cnt12(clk,rst,en,cq,count);

input clk,rst,en;

output reg count;

output reg [3:0] cq;

always@(posedge clk or negedge rst)//异步rst

begin

if(!rst) cq<=0;

else if(en) begin//同步en

if(cq<11) cq<=cq+1;

else cq<=4'b0000;

end

end

always@(cq)

if(cq==4'hb) count=1'b1;

else count=1'b0;

endmodule

* + 1. 数码管译码模块 SevenSegment：

module SevenSegment(in,A,B,C,D,E,F,G,DP,DS);

input[3:0]in;

output DS;

output A,B,C,D,E,F,G,DP;

reg[7:0]seg;

assign DS=0;

always @(in)

case(in)

4'b0000:seg=8'b01111110;

4'b0001:seg=8'b00001100;

4'b0010:seg=8'b10110110;

4'b0011:seg=8'b10011110;

4'b0100:seg=8'b11001100;

4'b0101:seg=8'b11011010;

4'b0110:seg=8'b11111010;

4'b0111:seg=8'b00001110;

4'b1000:seg=8'b11111110;

4'b1001:seg=8'b11011110;

4'b1010:seg=8'b11101110;

4'b1011:seg=8'b11111000;

4'b1100:seg=8'b01110010;

4'b1101:seg=8'b10111100;

4'b1110:seg=8'b11110010;

4'b1111:seg=8'b11100010;

default:seg=8'b00000000;

endcase

assign A=seg[1];

assign B=seg[2];

assign C=seg[3];

assign D=seg[4];

assign E=seg[5];

assign F=seg[6];

assign G=seg[7];

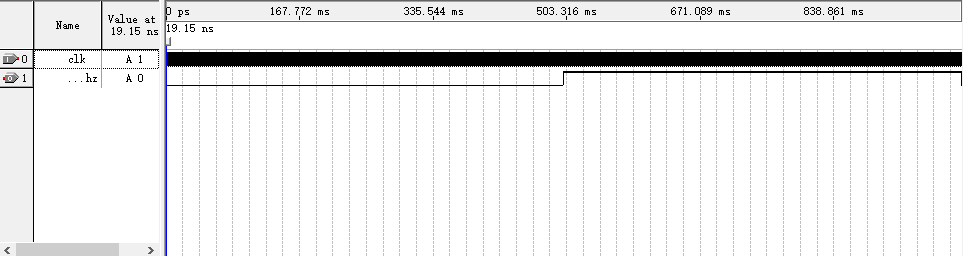
assign DP=seg[0];

endmodule

* 1. 仿真波形

Divi\_1hz：

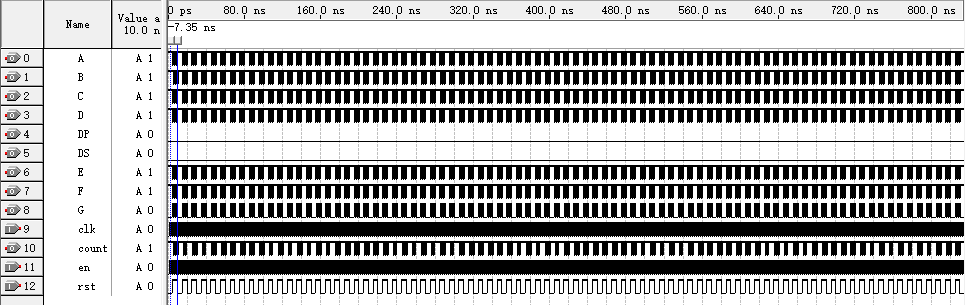
运行了2个小时才生成：



Cnt12



Cnt12b



* 1. RTL

Cnt12



Divi\_1hz



SevenSegment



Cnt12b



* 1. 门电路

Cnt12



Divi\_1hz



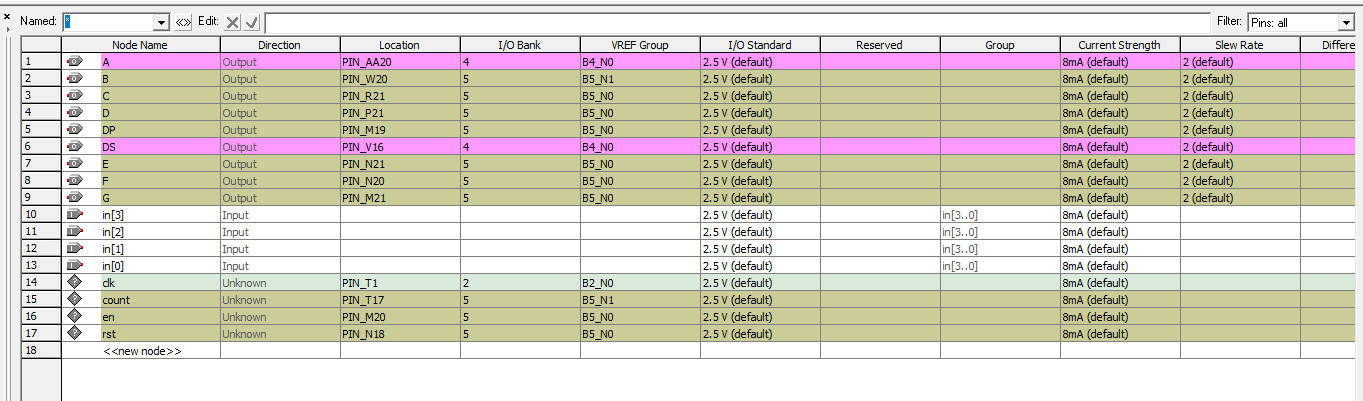
SevenSegment

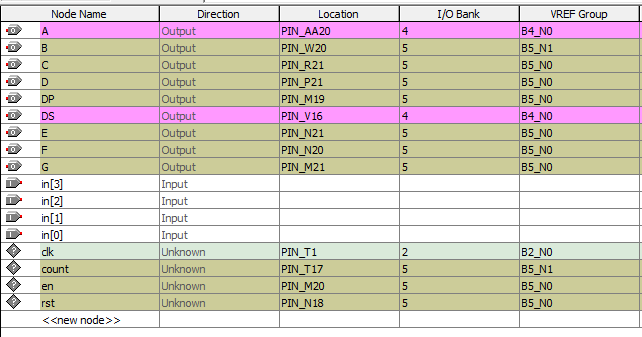


Cnt12b



* 1. 引脚绑定





* 1. 实物图

