3.数字ASK调制系统

一、设计任务

设计一个简易数字信号ASK调制系统。系统数字基带信号V1为m序列伪随机信号，载波信号V2为正弦波周期信号，V3为V1经二进制幅移键控调制后的输出。系统输入为CLOCK和RESET信号，CLOCK是系统时钟信号，上升沿触发。RESET为系统异步复位信号，高有效。

二、要求

（1）CLOCK和RESET输入信号如图1所示。

C:\Users\Administrator\Desktop\图片6.emf

图1 CLOCK和RESET信号

（2）仿真器件选择CycloneII系列EP2C35F672C6。

（3） m序列的特征方程为，数字信号V1码速率为3.2kbps。其复位状态为：最高位为‘1’，其余各位均为‘0’。

（4）正弦载波信号V2频率为10kHz，一个周期内采样16个样值，幅值分别为（以下数字以十进制数表示）：

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 128 | 179 | 222 | 249 | 254 | 238 | 202 | 154 |
| 101 | 53 | 17 | 1 | 6 | 33 | 76 | 127 |

三、说明

（1）m序列根据所给定的特征多项式采用线性移位寄存器来产生，移位寄存器状态信号M\_seq\_REG需预留仿真输出端口。

（2）V1、V2、V3信号及内部控制时钟信号均需预留仿真输出端口。

四、设计报告内容

（1）设计思路概述

（2）总体设计框图及详细说明

（3）时序说明：给出理论分析与计算

（4）模块设计框图、引脚说明、相关时序

（5）程序代码及必要的注释

（6）结果：给出系统编译综合结果；给出CLOCK及RESET输入下系统内部模块时钟信号、V1、V2、V3信号以及生成m序列的移位寄存器状态信号M\_seq\_REG的仿真结果。

（7）结论

（8）其它需要说明的内容

五、评分标准

|  |  |  |  |
| --- | --- | --- | --- |
|  | 项目 | 主要内容 | 满分 |
| 设计报告 | 电路与程序设计 | 设计思路  总体设计框图  时序说明：包括理论分析与计算  模块设计框图、引脚说明及时序  程序及注释 | 15 |
| 测试方案与测试结果 | 测试结果完整性  测试结果分析 | 10 |
| 设计报告结构及规范性 | 正文结构规范  图表的完整与准确性 | 5 |
| **总分** | | 30 |
| 设计任务 | 生成内部模块时钟信号 | | 15 |
|  | 产生基带信号V1 | | 15 |
|  | 产生正弦载波信号V2 | | 15 |
|  | 产生2ASK调制信号V3 | | 15 |
|  | 系统复位功能 | | 10 |
|  | **总分** | | 70 |
| **合计** | | | 100 |