试题三 汉明码编解码系统

设计汉明码编解码电路，包括m序列生成电路，串并转换电路，汉明码编码电路、加噪电路、汉明码解码电路、并串转换电路。题目不涉及实体硬件电路，所有功能的设计及仿真均在EDA开发环境中实现，竞赛根据总体设计框图及说明、各个模块电路设计说明、时序说明、仿真结果、资源报告、设计总结和程序源代码评定成绩。

一、设计任务

设计一个（7, 4）汉明码编解码电路，电路基本结构如图1所示。发送端由m序列发生器生成m序列伪随机信号m\_sequence，将m\_sequence信号序列进行串并转换每4位为一组输出并行数据m\_seq\_paral\_out，然后对m\_seq\_paral\_out信号进行（7, 4）汉明码编码，输出汉明编码信号hanm\_code\_out。噪声发生器在输入信号s控制下产生的噪声信号noise与汉明码编码信号hanm\_code\_out进行模二加，得到hanm\_code\_with\_noise信号。接收端对hanm\_code\_with\_noise信号进行汉明解码，得到汉明解码信号hanm\_dec\_out\_paral，然后对hanm\_dec\_out\_paral信号进行并串转换，得到串行输出序列hanm\_dec\_out\_serial。

系统输入包括clock信号、reset信号和s信号，clock是系统时钟信号；s是噪声生成控制信号；reset为系统异步复位信号，高有效。输入信号设置见testbench文件（.vht或.vt文件）。

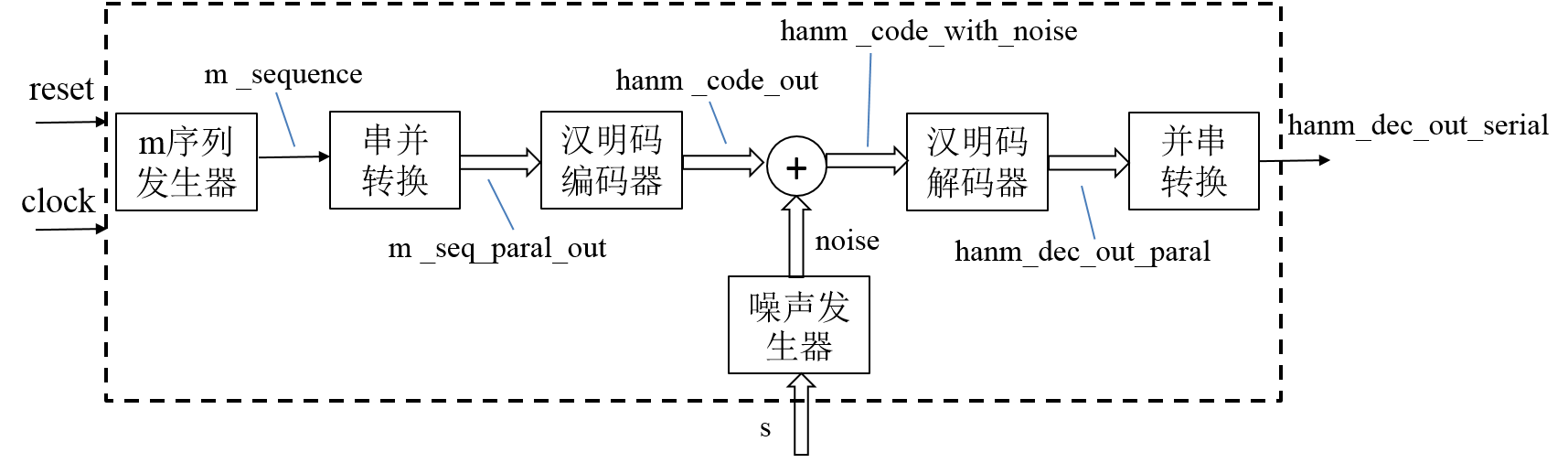


图1 (7,4) 汉明编解码系统框图

二、要求

（1）仿真器件选择CycloneII系列EP2C35F672C6。

（2）设计必要的时钟信号以满足各电路模块的工作需求，收发双方同步通信。

（3）m序列发生器电路

m序列的特征方程为，采用线性移位寄存器来产生，输出数字序列信号m\_sequence码速率为10kbps。电路在适当的时钟信号控制下工作，上升沿触发。reset信号高有效时电路异步复位，其复位状态为：最高位为‘1’，其余各位均为‘0’。移位寄存器状态信号A\_reg(3..0)需预留仿真输出端口。

（4）串并转换电路

输入数据为1位宽串行数字序列m\_sequence，输出为4位宽连续并行输出的数据流m\_seq\_paral\_out(3..0)。每4位串行输入的数据中，先输入的串行数据位于并行输出数据的高位，电路在适当的时钟信号控制下工作，上升沿触发。reset信号高有效时电路异步清零。

（5）汉明码编码电路

输入数据为4位宽并行数据流m\_seq\_paral\_out(3..0)，输出数据为7位宽并行数据流hanm\_code\_out(6..0)。输出数据码长7位，其中高4位为信息位，低3位为监督位。电路在适当的时钟信号控制下工作，上升沿触发。reset信号高有效时电路异步清零。汉明码编码原理简介见第三部分。

（6）噪声生成电路

输入3位宽噪声控制信号s(2..0)，输出7位宽噪声信号noise(6..0)。reset信号高有效时电路异步清零。输入信号与输出信号关系如表1所示。

表1 噪声生成电路输入信号与输出信号关系

|  |  |  |
| --- | --- | --- |
| reset | s(2..0) | noise(6..0) |
| 1 | - | 0000000 |
| 0 | 000 | 0000001 |
| 001 | 0000010 |
| 010 | 0000100 |
| 011 | 0001000 |
| 100 | 0010000 |
| 101 | 0100000 |
| 110 | 1000000 |
| 其它 | 1100000 |

（7）加噪电路

将7位宽噪声信号noise(6..0)与7位宽汉明编码信号hanm\_code\_out(6..0)进行模二加，输出7位宽汉明编码加噪信号hanm\_code\_with\_noise(6..0)。

（8）汉明码解码电路

输入7位宽汉明编码加噪信号hanm\_code\_with\_noise(6..0)，输出4位宽汉明解码信号hanm\_dec\_out\_paral(3..0)，误码存在指示信号ne和3位宽误码位置指示信号error\_pointer(2..0)。电路在适当的时钟信号控制下工作，下降沿触发。reset信号高有效时电路异步清零。汉明码解码原理简介见第三部分。

信号状态含义如表2和表3所示：

表2 信号ne状态含义

|  |  |
| --- | --- |
| ne | 含义 |
| 1 | 输入数据存在误码 |
| 0 | 输入数据不存在误码 |

表3 信号error\_pointer(2..0)状态含义

|  |  |
| --- | --- |
| error\_pointer(2..0) | 含义 |
| 000 | 输入汉明码第0位出错 |
| 001 | 输入汉明码第1位出错 |
| 010 | 输入汉明码第2位出错 |
| 011 | 输入汉明码第3位出错 |
| 100 | 输入汉明码第4位出错 |
| 101 | 输入汉明码第5位出错 |
| 110 | 输入汉明码第6位出错 |
| 111 | 输入汉明码无错 |

（9）并串转换电路

输入4位宽汉明码解码信号hanm\_dec\_out\_ paral(3..0)，输出串行数字序列hanm\_dec\_out\_serial。电路在适当的时钟信号控制下工作，上升沿触发。reset信号高有效时电路异步清零。

三、说明

（1）(7,4)汉明码编码原理简介

若用a6a5…a0表示(7,4)汉明码的7个码元，其中a6a5a4a3为信息位，a2a1a0为监督位；用S2S1S0表示3个监督关系式中的校正子，则S2S1S0的值与误码位置的对应关系如表4规定所示，其对应监督关系式如式（1）所示：

表4 （7,4）汉明码校正子和误码位置的关系

|  |  |  |  |
| --- | --- | --- | --- |
| S2S1S0 | 误码位置 | S2S1S0 | 误码位置 |
| 001 | a0 | 101 | a4 |
| 010 | a1 | 110 | a5 |
| 100 | a2 | 111 | a6 |
| 011 | a3 | 000 | 无错码 |

（1）

可以推导，监督位a2a1a0与信息位a6a5a4a3应满足式（2）所示关系。

（2）

因此，（7,4）汉明码输入信息位后，可以直接按式（2）算出监督位。

（2）(7,4)汉明码解码原理简介

接收端收到每个码组后，先计算出S2S1S0，若为000，则表示无错码；若不全为0，则表示有错码，这时可查表4判断错码情况。例如，若接收码组0000011，按式（1）计算可得：s2=0,s1=1,s0=1。由于S2S1S0=011，查表4，可知在a3位有1位错码，因此可以在接收端纠正1位错码。

四、设计报告内容

（1）设计思路概述

（2）总体设计框图及详细说明

（3）时序说明：给出理论分析与计算

（4）模块设计框图、引脚说明、相关时序

（5）程序代码及必要的注释

（6） 结果：给出系统编译综合结果；给出clock、reset及s信号输入下A\_reg(3..0)、m\_sequence、m\_seq\_paral\_out(3..0)、hanm\_code\_out(6..0)、noise(6..0)、hanm\_code\_with\_noise(6..0)、hanm\_dec\_out\_paral(3..0)、hanm\_dec\_out\_serial信号及内部控制时钟信号的仿真结果。

（7）结论

（8）其它需要说明的内容

五、评分标准

|  |  |  |  |
| --- | --- | --- | --- |
|  | 项目 | 主要内容 | 满分 |
| 设计报告 | 电路与程序设计 | 设计思路  总体设计框图  时序说明：包括理论分析与计算  模块设计框图、引脚说明及时序  程序及注释 | 10 |
| 测试方案与测试结果 | 测试结果完整性  测试结果分析 | 5 |
| 设计报告结构及规范性 | 正文结构规范  图表的完整与准确性 | 5 |
| **总分** | | 20 |
| 设计任务 | 生成A\_reg(3..0)信号和m\_sequence信号 | | 10 |
| 生成m\_seq\_paral\_out(3..0)信号 | | 10 |
| 产生汉明编码信号hanm\_code\_out(6..0) | | 10 |
| 产生噪声信号noise(6..0) | | 10 |
| 产生加噪的汉明编码信号hanm\_code\_with\_noise(6..0) | | 5 |
| 产生汉明解码信号hanm\_dec\_out\_ paral(3..0)、错误指示信号ne和误码位置指示信号error\_pointer(2..0) | | 15 |
| 产生汉明解码串行输出信号hanm\_dec\_out\_serial | | 10 |
| 系统内部时钟生成及复位功能 | | 10 |
|  | **总分** | | 80 |
| **合计** | | | 100 |