试题二 伪码同步电路

设计一个伪码同步电路，实现对输入数据的伪码同步。包括本地伪码生成电路，伪码调制电路和伪码同步判决控制电路。题目包含基本要求和发挥部分。题目不涉及实体硬件电路，所有功能的设计及仿真均在EDA开发环境中实现，竞赛根据总体设计框图及说明、各个模块电路设计说明、时序说明、仿真结果、资源报告、设计总结和程序源代码评定成绩。

1. **任务**

设计一个伪码同步电路，能够完成对输入的伪码调制信号进行同步。同步根据伪码的自相关特性，利用匹配滤波结构完成最终同步。

伪码同步电路的基本结构如图1所示。主要包括伪码生成模块和伪码同步两个部分。伪码生成模块根据*m*序列的原理产生伪随机序列，伪码同步模块利用匹配滤波器结构完成伪码同步与捕获，通过可靠的检测策略输出调制的信息。



图1 伪码同步电路的基本结构框图

1. **要求**
2. **器件采用CycloneII EP2C35F672C6。**
3. **基本要求**
4. 设计本地伪码发生器：
5. 伪码采用*m*序列，由移位寄存器的初始状态和反馈异或运算确定，实现原理见**说明（1）**。
6. 该*m*序列的本原多项式为*，*伪码周期为31个码片长度。复位状态下，移位寄存器的初始值设置为00001。
7. 一个码片一个采样时钟，输出伪码序列。
8. 实现要求：顶层模块数图2所示，伪码序列seq\_o连续输出，同时输出伪码周期脉冲信号seq\_p，该脉冲信号可由计数器产生，用于后续数据调制使用。



图2

1. 设计伪码调制电路
2. 实现一个伪码周期调制一个比特数据信息，调制运算为异或，数据信息为一串规律的010101….序列。
3. 调制后数据需按照下列要求映射为并输出，具体原理见**说明（2）**
4. 实现要求：顶层模块如图3所示，data\_o为调制后的输出信号，位宽为2位，data\_m为调制数据（数据序列为010101…），同时输出对应的伪码seq\_o和伪码周期脉冲seq\_p。



图3

1. 设计伪码同步电路
2. 利用（2）的输出data\_o作为伪码同步电路的输入。
3. 提取伪码一个周期码字作为匹配滤波器系数。
4. 设计匹配滤波器（可以采用IP核实现），采用全精度输出匹配结果，具体原理见**说明（3）**。
5. 实现要求：顶层模块如图4所示，mf\_o为匹配滤波输出，位宽为6位，请在modelsim仿真中以十进制(decimal)波形形式显示，seq\_p为伪码周期脉冲。



图4

1. **发挥部分**
2. 要求可靠获得伪码同步判决结果，并输出原始调制数据
3. 当匹配滤波输出的大于设定门限时确定为检测到同步信息，门限可设置约为相关峰值一半。
4. 连续两次检测到相关峰，确定为可靠获得同步信息。
5. 利用图5所示状态机实现检测过程。
6. 根据同步判决结果输出解调数据



图5 同步判决状态转移图

发挥部分实现要求：顶层模块如图6所示，要求输出状态机当前状态state\_c，位宽为2位，mf\_o为匹配滤波器的输出，flag\_o代表成功检测伪码同步的标志，data\_r是去除伪码调制后输出的数据比特。



图6

1. **说明**
2. *m*序列

*m*序列具有良好的自相关特性，一般采用移位寄存和反馈结构实现，本原多项式对应的实现结构如图7所示



图7 *m*序列的实现结构

1. 伪码调制

伪码调制的原理如图8所示，调制数据比特和伪码序列进行异或运算，之后通过映射规律映射为+1或-1信号。



图8 伪码调制原理

1. 匹配滤波器

伪码的同步是利用伪码的自相关性确定接收伪码和本地伪码间相位是否对齐，可以表示为

为接收伪码，为本地的伪码，当且仅当时，自相关值达到最大值，通过检测自相关峰值获得同步标志。

FIR滤波器的系统函数可以表示为

通过对式（1）和（2）简单分析，可得利用FIR滤波器结构可以实现伪码的匹配接收。

1. **评分标准**

|  |  |  |  |
| --- | --- | --- | --- |
| 设计报告 | 项目 | 主要内容 | 分值 |
| 系统方案 | 方案选择、论证 | 4 |
| 理论分析与计算 | 进行必要的分析、计算 | 4 |
| 电路与程序设计 | 电路设计  程序设计 | 4 |
| 测试方案与测试结果 | 表明测试方案和测试结果 | 4 |
| 设计报告结构及规范性 | 表格的规范性 | 4 |
| 小计 |  | **20** |
| 基本要求 | 完成第（1）项目 | | 15 |
| 完成第（2）项目 | | 15 |
| 完成第（3）项目 | | 20 |
| 小计 | | **50** |
| 发挥部分 | 完成第（1）项目 | | 20 |
| 完成第（2）项目 | | 10 |
| 小计 | | **30** |
| 总分 | | | **100** |

实验报告内容：

1. 设计思路概述

2. 总体设计框图及详细说明

3. 时序说明

4. 模块设计框图、引脚说明、相关时序

5. 代码及必要注释

6. 仿真结果

7. 结论

8. 其它需要说明的内容