试题一 简易电子计算器电路设计

设计一个简易的电子计算器电路，包括数据输入处理电路，算数运算电路（包含加法、减法、乘法、除法和开方算数运算），运算结果处理电路。所有运算电路的设计均不可使用IP核及查找表方式进行设计。题目包含基本要求和发挥部分。题目不涉及实体硬件电路，所有功能的设计及仿真均在EDA开发环境中实现，竞赛根据总体设计框图及说明、各个模块电路设计说明、时序说明、仿真结果、资源报告、设计总结和程序源代码评定成绩。

1. **任务**

设计一个简易的电子计算器电路，可实现整数（0～99999999）的加、减、乘、除和开方的算数运算，运算的结果可以保存在运算结果处理电路中，后续的显示电路可以访问电路中的数据并负责显示运算结果。显示电路不在题目的设计范围内，但运算结果处理电路要保留数据接口，用来验证运算结果。

电子计算器电路的系统框图如图1所示，包括独立按键电路、数据输入处理电路、算数运算电路和运算结果处理电路。



图1 简易电子计算器电路的系统框图

独立按键电路由17个独立按键组成，每一个按键的电路如图2所示，按键定义如表1所示。



图2 按键电路图

表1 独立按键定义

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 按键标识 | 按键功能 | 引脚标号 | 按键标识 | 按键功能 | 引脚标号 |
| 9 | 数字9 | KEY\_0 | AC | 输入清零 | KEY\_10 |
| 8 | 数字8 | KEY\_1 | √ | 开方运算 | KEY\_11 |
| 7 | 数字7 | KEY\_2 | ÷ | 除法运算 | KEY\_12 |
| 6 | 数字6 | KEY\_3 | × | 乘法运算 | KEY\_13 |
| 5 | 数字5 | KEY\_4 | - | 减法运算 | KEY\_14 |
| 4 | 数字4 | KEY\_5 | + | 加法运算 | KEY\_15 |
| 3 | 数字3 | KEY\_6 | = | 等于 | KEY\_16 |
| 2 | 数字2 | KEY\_7 |  |  |  |
| 1 | 数字1 | KEY\_8 |  |  |  |
| 0 | 数字0 | KEY\_9 |  |  |  |

1. **要求**
2. **基本要求**
3. **设计数据输入处理电路（U1）：**
4. **数据输入处理电路**（之后用**U1**表示）顶层实体如图3所示，其中CLK为时钟输入、KEY\_[16..0]为17个独立按键输入信号（低电平有效）、BUSY\_P为**运算结果处理电路**（之后用**U3**表示）反馈信号（高电平有效）、BUSY\_A为**算数运算电路**（之后用**U2**表示）反馈信号（高电平有效）、DATA1[26..0]为第一个运算数输出、DATA2[26..0]为第二个运算数输出、ARITH[2..0]为运算控制、EN为数据使能信号（高电平有效）

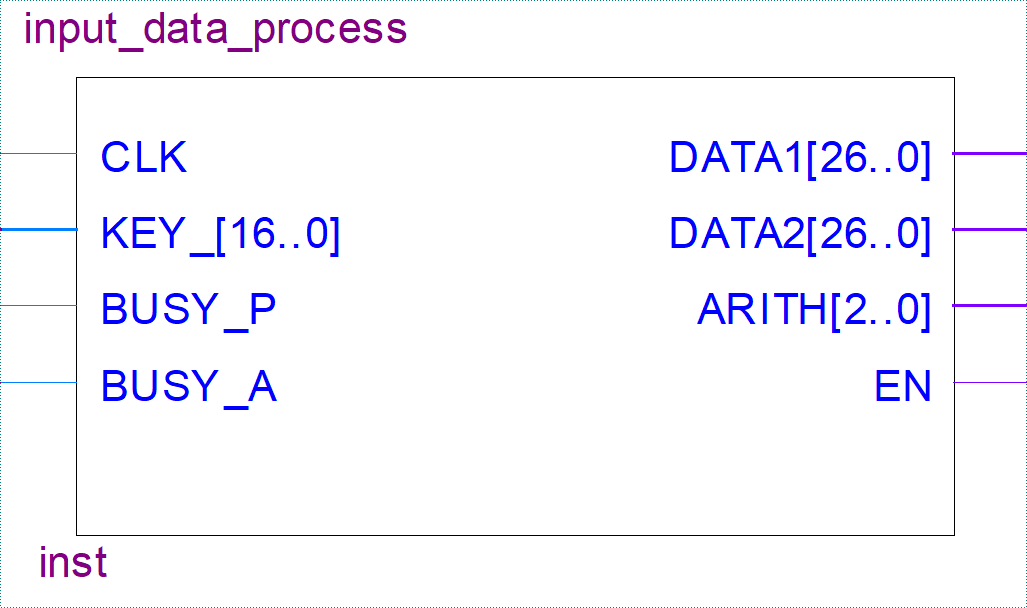


图3 数据输入处理电路顶层实体

1. 电子计算器通过17个独立按键将运算信息发送给**U1**。**U1**将独立按键输入（KEY\_[16..0]）的信息转换为二进制运算数据（DATA1[26..0]与 DATA2[26..0]）和算数命令字ARITH[2..0]，并通过数据使能EN传递给**U2**进行运算处理；参考时序如图4所示，其中按键低电平有效时间t1不小于200ms，按键与按键时间间隔t2不小于500ms，算数命令字“010”代表乘法运算（设计者需自行定义命令字）



图4 参考时序图

1. **U1**可接受的输入格式有2种，第一种为加减乘除运算输入格式，第二种为开方运算输入格式。第一种输入格式为：不超过8位的十进制数据+运算符号（加、减、乘、除运算中的一种）+不超过8位的十进制数据+等于按键，如：“10901331+166=”，“3-360=”，“13355÷631=”均为有效输入，图4的输入的内容即为“3×5=”；第二种输入格式为：不超过8位的十进制数据+开方运算符号，如：“11223344√”，“9√”均为有效输入；开方运算时**U1**将运算数值赋给DATA1[26..0]，DATA2[26..0]为无效数据，**U2**只读取DATA1[26..0]的数据
2. **U1**识别按键为有效输入时，将独立按键信号转换为二进制值赋给DATA1[26..0]、DATA2[26..0]和ARITH[2..0]，待数据稳定后触发EN使能信号，**U2**根据EN使能信号触发算数运算；当**U1**识别按键为无效输入时，EN使能信号保持低电平
3. 在按键输入过程中，当**U1**识别输入按键为“AC”时，将清除之前所有的输入信息
4. **U1**需监测反馈信号BUSY\_A和BUSY\_P，如果反馈信号为高电平，说明**U2**或**U3**还没有完成运算或处理工作；因此这时再有按键输入，**U1**不处理按键输入信号，直至BUSY\_A和BUSY\_P均为低电平时为止
5. **设计算数运算电路（U2）：**
6. **算数运算电路**顶层实体如图5所示，其中CLK为时钟输入、DATA1[26..0]为第一个运算数输入、DATA2[26..0]为第二个运算数输入、ARITH[2..0]为运算控制输入、EN为使能信号输入、DATA[53..0]为运算结果输出、DATA\_LATCH为数据锁存信号（上升沿锁存）、BUSY为工作状态反馈信号（高电平有效）

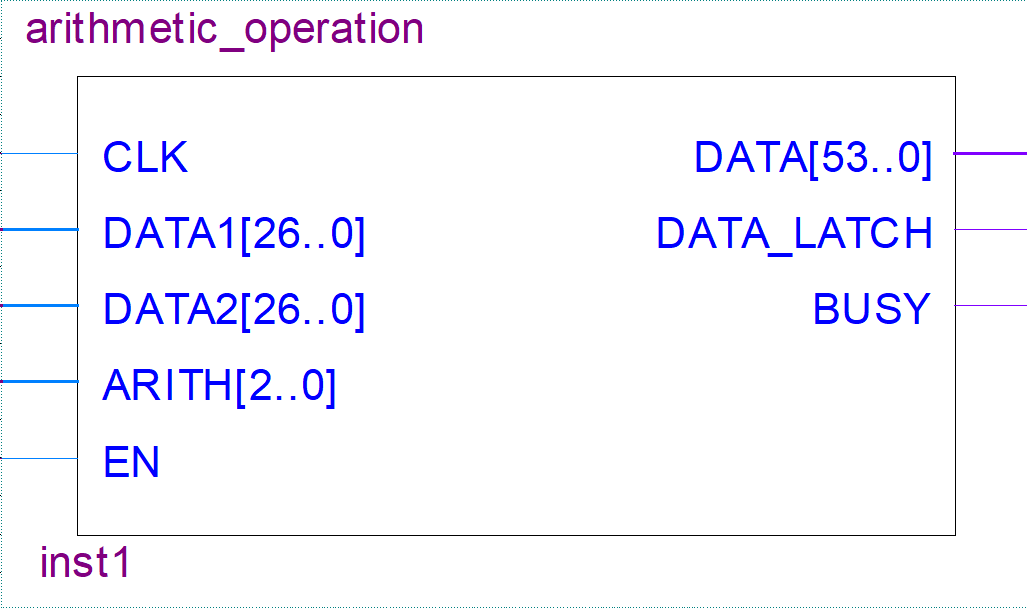


图5 算数运算电路顶层实体

1. **U2**根据EN信号使电路进行计算工作，**U2**根据ARITH[2..0]的值判断执行相应的算数运算；**U2**运算过中BUSY信号保持高电平，直至运算完成BUSY信号恢复低电平
2. 加法运算，DATA1[26..0]与DATA2[26..0]的相加结果赋给DATA[53..0]
3. 减法运算，当相减结果为正数时，相减结果直接赋给DATA[53..0]；当相减结果为负数时，DATA[53]置“1”，相减结果的绝对值赋给DATA[52..0]
4. 乘法运算，DATA1[26..0]与DATA2[26..0]的相乘结果赋给DATA[53..0]
5. 除法运算，视为两个整型数据相除，DATA1[26..0]与DATA2[26..0]相除的整数部分结果赋给DATA[53..0]
6. 开方运算，视为对整型数据开方，DATA1[26..0]开方的整数部分结果赋给DATA[53..0]
7. 当计算结果DATA[53..0]的数据总线稳定后，**U2**发出锁存数据信号DATA\_LATCH
8. **设计运算结果处理电路（U3）：**
9. **运算结果处理电路**顶层实体如图6所示，其中CLK为时钟输入、DATA[53..0]为运算结果输入、DATA\_LATCH为锁存信号（上升沿锁存）、DATA\_BCD15[3..0] ～DATA\_BCD0[3..0]为16位BCD码（8421码）输出、EN为使能信号输出（高电平有效）、BUSY为工作状态反馈信号（高电平有效）

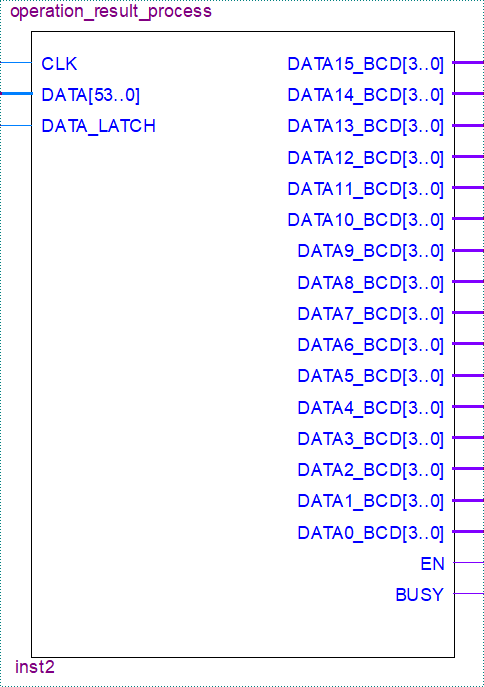


图6 运算结果处理电路顶层实体

1. **U3**根据DATA\_LATCH锁存信号触发电路进行处理工作，当**U3**检测DATA\_LATCH上升沿的时候，说明**U2**已完成计算工作；**U3**得到的DATA[53..0]为二进制数计算结果，**U3**需将计算结果转换为十进制BCD码的输出形式（详见表2），以便后续显示电路

表2 运算结果处理电路转换示例表

|  |  |  |
| --- | --- | --- |
| DATA[53..0]  （十六进制表示） | 0x0462D3A11F68B1‬‬‬ | 0x20000005F5E0FF |
| DATA\_BCD15[3..0] | 0001 | 1111 |
| DATA\_BCD14[3..0] | 0010 | 0000 |
| DATA\_BCD13[3..0] | 0011 | 0000 |
| DATA\_BCD12[3..0] | 0100 | 0000 |
| DATA\_BCD11[3..0] | 0101 | 0000 |
| DATA\_BCD10[3..0] | 0110 | 0000 |
| DATA\_BCD9[3..0] | 0000 | 0000 |
| DATA\_BCD8[3..0] | 1001 | 0000 |
| DATA\_BCD7[3..0] | 1000 | 1001 |
| DATA\_BCD6[3..0] | 0111 | 1001 |
| DATA\_BCD5[3..0] | 0110 | 1001 |
| DATA\_BCD4[3..0] | 0101 | 1001 |
| DATA\_BCD3[3..0] | 0100 | 1001 |
| DATA\_BCD2[3..0] | 0011 | 1001 |
| DATA\_BCD1[3..0] | 0010 | 1001 |
| DATA\_BCD0[3..0] | 0001 | 1001 |
| 十进制数 | 1234560987654321‬‬‬ | -99999999 |

1. **U3**处理数据过中BUSY信号保持高电平，直至数据处理完成BUSY信号恢复低电平
2. 待处理结果DATA\_BCD15[3..0] ～DATA\_BCD0[3..0]的数据总线稳定后，**U3**发出EN使能信号（EN信号保持一段高电平后自动复位为低电平）以便显示电路
3. **发挥部分**
4. **数据输入处理电路加入按键去抖电路：**

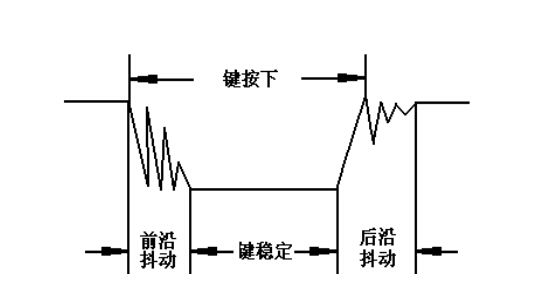


图7 按键抖动

1. 按键开关在闭合时不会马上稳定接通，在断开时也不会立刻断开。因而在闭合及断开的瞬间均伴随有一连串的抖动，导致按键输入不稳定。测试时，设**前沿和后沿抖动时间**为10ms，**键稳定时间**不小于200ms
2. **U1**加入按键去抖电路后，按键可实现正常的输入，不会出现因按键抖动造成的重复输入或错误输入的现象
3. **为除法运算和开方运算增加余数输出功能：**
4. 修改**U2**和**U3**的外部接口和内部逻辑，实现除法和开放运算的余数输出
5. 新设计的**U2**和**U3**电路需在报告和仿真图中说明接口定义及电路使用说明
6. **说明**
7. **题目相关的必要说明**

用Quartus II建立工程时，选择Cyclone II系列的EP2C35F672C6作为目标器件；硬件描述语言使用VHDL或Verilog均可，并在关键代码部分需进行注释。

1. **波形激励文件的说明**

设计过程中，按键输入的波形激励文件，根据不同的运算需自行编写。按键的波形约束条件参图4。

由于按键的波形约束条件是按照人手输入的时间考虑的，所以按照图4的时序仿真会消耗太多时间；为方便仿真快速进行，按键的波形测试文件可适当减小约束时间t1和t2的数量级。

1. **评分标准**

|  |  |  |  |
| --- | --- | --- | --- |
| 设计报告 | 项目 | 主要内容 | 分值 |
| 系统方案 | 方案选择、论证 | 4 |
| 理论分析与计算 | 进行必要的分析、计算 | 4 |
| 电路与程序设计 | 电路设计  程序设计 | 4 |
| 测试方案与测试结果 | 表明测试方案和测试结果 | 4 |
| 设计报告结构及规范性 | 表格的规范性 | 4 |
| 小计 |  | **20** |
| 基本要求 | 完成第（1）项目 | | 20 |
| 完成第（2）项目 | | 30 |
| 完成第（3）项目 | | 10 |
| 小计 | | **60** |
| 发挥部分 | 完成第（1）项目 | | 10 |
| 完成第（2）项目 | | 10 |
| 小计 | | **20** |
| 总分 | | | **100** |

**设计报告内容：**

1. 设计思路概述；
2. 总体设计框图及详细说明；
3. 时序说明；
4. 模块设计框图、引脚说明、相关时序；
5. 代码及必要注释；
6. 仿真结果：对顶层电路及中间信号的仿真时序图进行必要的截图，并做必要的说明；对顶层电路的综合结果进行截图；
7. 结论；
8. 其它需要说明的内容。