控制与驱动电路

设计用于某芯片的控制与驱动电路，包括状态控制电路，控制信号发生电路，以及参数配置电路。题目包含基本要求和发挥部分。题目不涉及实体硬件电路，所有功能的设计及仿真均在EDA开发环境中实现，竞赛根据总体设计框图及说明、各个模块电路设计说明、时序说明、仿真结果、资源报告、设计总结和程序源代码评定成绩。

1. **任务**

设计一个本振芯片的控制与驱动电路，该电路通过一系列的配置动作完成对芯片的复位、配置以及状态监测等功能，保证芯片正常使用。具体需要按照芯片的配置要求完成状态的控制，了解目的寄存器的地址已经配置字，并将地址和配置字按照要求输出，最后监测芯片状态。

1. **要求**
2. **基本要求**

设计状态控制电路，该芯片需要完成一系列的配置后方可工作，用不同状态实现，状态转换如图1所示，状态转换条件未标记，根据后续要求完成。



图1 控制状态转换

各状态编码如表1所示

表1 状态编码要求

|  |  |
| --- | --- |
| 状态 | 编码 |
| rst\_s0 | 0 |
| clk\_conf\_st1 | 1 |
| wait\_st2 | 2 |
| we\_st3 | 3 |
| rd\_st4 | 4 |

1. 准备状态控制
2. 复位状态rst\_st0，要求输出复位信号rst\_cs至少保持5个clk,复位信号高电平有效。
3. 输出时钟配置状态clk\_conf\_st1：将输入时钟clk四分频作为数据时钟输出clk\_cs，要求之前状态clk\_cs均处于低电平。
4. 等待状态wait\_st2：等待保持相应的时间，要等待至少3个clk周期，当等待保持时间到达要求且配置使能信号we\_en为高电平，即跳转到写使能状态。

实现要求：各状态编码严格参照表1完成，顶层模块如图2所示，系统复位信号rst为高电平有效，flag\_cs为配置状态返回标志位，当其为1时，证明配置成功，否则跳转到wait\_st2状态，再次配置。为方便测试，请输出当前状态情况state\_o，位宽为3，只实现rst\_st0，clk\_conf\_st1，wait\_st2和we\_st3即可。



图2 顶层模块

1. 读写状态控制
2. 写使能状态we\_st3：按照图3时序完成寄存器的配置，其中D0~D7为数据位，A0~A7为地址位，cs\_o为片选信号，为低时传输数据信号有效写入，clk\_cs为数据时钟，da\_cs为数据输出端口。



图3 寄存器配置时序

1. 读使能状态rd\_st4：读取配置状态前需等待5个clk时间，之后开始读取配置状态标志位flag\_cs，如果flag\_cs为1表示配置成功，下一状态跳入wait\_st2，否则配置失败，下一状态跳入we\_st3，继续配置当前寄存器，直到配置成功。

实现要求：各状态编码严格参照表1完成，在要求（1）的基础上，完成对某个寄存器的配置，待配置寄存器数据为B10101100，地址为B11110000。 顶层模块如图4所示。



图4顶层模块

1. 对四个寄存器完成配置
2. 写使能状态we\_st3：按照图5完成时序配置，其中D0~D3为数据位，A0~A1为地址位，cs\_o为片选信号，为低时传输数据信号有效写入，clk\_cs为数据时钟，da\_cs为数据输出端口。需要对四个寄存器完成配置，每配置完一个寄存器跳转到rd\_st4，需要读取flag\_cs状态，成功配置后进入等待状态wait\_st2再次配置下一个寄存器，配置失败进入we\_st3继续配置当前寄存器值，直到配置成功开始配置下一个寄存器。
3. 读使能状态rd\_st4：读取配置状态前需等待5个clk时间，之后开始读取配置状态标志位flag\_cs，如果flag\_cs为1表示配置成功，否则配置失败。



图5寄存器配置时序

实现要求：各状态编码严格参照表1完成，在（1）和（2）的基础上，完成对四个寄存器的配置，顶层模块如图6所示。需要配置的寄存器及地址如表2所示，***注意：不可扩展状态个数***。

表2 寄存器地址与数据

|  |  |  |
| --- | --- | --- |
| 寄存器序号 | 地址 | 数据 |
| 1 | B00 | B0010 |
| 2 | B01 | B0101 |
| 3 | B10 | B0110 |
| 4 | B11 | B0011 |



图6顶层模块

1. **发挥部分**
2. 配置字以及待配置寄存器地址以clk为时钟，从外部连续输入(按照连续输入最大为16组设计)，顶层模块如图7所示，data\_in 为8位数据，addr\_in为4位地址，wr\_data表示外部配置数据到来标志位，高电平时表示数据输入，低电平时代表数据未到来。在要求高速率写入芯片的需求下，选择并行配置芯片的方法，具体时序要求如图8所示，读写要求同基本要求（3），不可扩展状态数。



图7



图8并行配置时序图

1. **评分标准**

|  |  |  |  |
| --- | --- | --- | --- |
| 设计报告 | 项目 | 主要内容 | 分值 |
| 系统方案 | 方案选择、论证 | 4 |
| 理论分析与计算 | 进行必要的分析、计算 | 4 |
| 电路与程序设计 | 电路设计  程序设计 | 4 |
| 测试方案与测试结果 | 表明测试方案和测试结果 | 4 |
| 设计报告结构及规范性 | 表格的规范性 | 4 |
| 小计 |  | **20** |
| 基本要求 | 完成第（1）项目 | | 20 |
| 完成第（2）项目 | | 20 |
| 完成第（3）项目 | | 20 |
| 小计 | | **60** |
| 发挥部分 | 完成发挥部分 | | 20 |
|  | |  |
|  | |  |
| 小计 | | **20** |
| 总分 | | | **100** |

实验报告内容：

1. 设计思路概述

2. 总体设计框图及详细说明

3. 时序说明

4. 模块设计框图、引脚说明、相关时序

5. 代码及必要注释

6. 仿真结果

7. 结论

8. 其它需要说明的内容