数字QAM调制系统

设计一个16QAM数字调制电路，包括时钟生成电路，m伪随机序列生成电路，串并转换电路，电平映射电路、载波信号发生电路、ASK幅度调制电路及加法器，电路设计如无特殊说明不可使用IP核实现。题目不涉及实体硬件电路，所有功能的设计及仿真均在EDA开发环境中实现，竞赛根据总体设计框图及说明、各个模块电路设计说明、时序说明、仿真结果、资源报告、设计总结和程序源代码评定成绩。

一、设计要求

数字QAM调制电路原理如图1所示。输入数字基带信号使用m伪随机序列发生器生成。得到的串行m序列经串并转换电路输出I、Q两路并行数据，每路2bit位宽。电平映射电路分别对I、Q两路进行电平映射，输出a、b两路信号。载波信号发生器输出同频正交载波c\_cos=cos2πf0t和c\_sin=sin2πf0t，分别对a、b两路信号进行ASK调制。最后，将互为正交的调幅信号I\_mod和Q\_mod经加法器输出。输出调制信号qam可以表示为：qam=acos2πf0t-bsin2πf0t。系统输入为CLOCK和RESET信号。CLOCK是系统时钟信号，频率为50MHz，上升沿触发。RESET为系统异步复位信号，高有效。

C:\Users\Administrator\Desktop\图片1.emf

图1 数字QAM调制电路原理图

设计任务各模块要求具体如下：

（1）模块时钟生成电路

设计必要的模块时钟生成电路，输出满足电路各模块工作需求的时钟信号。对生成的时钟信号预留仿真输出端口。

（2）m序列发生器

m序列的特征方程为，采用线性移位寄存器来产生，输出数字序列信号m的码速率为4kbps。电路在适当的时钟信号控制下工作，上升沿触发。reset信号高有效时电路异步复位，其复位状态为：全1信号。移位寄存器状态信号A\_reg需预留仿真输出端口。

（3）串并转换电路

串并转换模块将串行输入的m序列，逐位依次交替送入I路和Q路，I、Q两路信号分别以2位为一组，生成输出信号I、Q，先输入的串行数据位于并行输出数据的高位。这样，每4位串行输入的二进制序列中，第1bit和第3bit组合成并行2位宽I信号输出；第2bit和第4bit组合成并行2位宽Q信号输出。电路在适当的时钟信号控制下工作，上升沿触发。reset信号高有效时电路异步清零。

（4）电平映射电路

分别将I、Q两信号进行电平映射，得到两路3位宽数据流a、b，映射规则如表1所示，其中a/b使用映射电平补码输出。电路在适当的时钟信号控制下工作，上升沿触发。reset信号高有效时电路异步清零。

表1 I/Q输入信号与映射电平a/b关系表

|  |  |  |
| --- | --- | --- |
| I/Q信号 | 映射电平 | a/b |
| 00 | +3 | 011 |
| 01 | +1 | 001 |
| 11 | -1 | 111 |
| 10 | -3 | 101 |

（5）载波信号发生电路

载波信号发生器输出同频正交载波信号c\_cos和c\_sin，分别表示为c\_cos=cos2πf0t和c\_sin=sin2πf0t，其中f0=10kHz。一个周期内采样200个样值。采样数据存储可以选择使用IP核实现。电路在适当的时钟信号控制下工作，上升沿触发。reset信号高有效时电路异步清零。

（6）ASK幅度调制电路

分别对a、b两路信号进行ASK幅度调制，得到互为正交的调幅信号I\_mod和Q\_mod，分别表示为：I\_mod=acos2πf0t和Q\_mod= bsin2πf0t。电路在适当的时钟信号控制下工作，上升沿触发。reset信号高有效时电路异步清零。

（7）加法电路

设计加法器电路实现输出调制信号qam=acos2πf0t-bsin2πf0t。电路在适当的时钟信号控制下工作，上升沿触发。reset信号高有效时电路异步清零。

二、说明

仿真器件选择CycloneII系列EP2C35F672C6。

三、设计报告内容

（1）设计思路概述

（2）总体设计框图及详细说明

（3）理论分析与计算

（4）模块设计框图、引脚说明、相关时序

（5）程序代码及必要的注释

（6）结果：对顶层电路及中间信号的仿真时序图进行必要的截图，并做必要的说明；对顶层电路的综合结果进行截图。

（7）结论

（8）其它需要说明的内容

四、评分标准

|  |  |  |  |
| --- | --- | --- | --- |
|  | 项目 | 主要内容 | 满分 |
| 设计报告 | 系统方案 | 设计思路  总体设计框图及说明  必要的理论分析与计算 | 5 |
| 电路与程序设计 | 模块设计框图  引脚说明及时序  程序及注释 | 5 |
| 测试结果 | 编译综合结果和仿真结果完整性结果说明与分析 | 5 |
| 设计报告结构及规范性 | 正文结构规范  图表的完整与准确性 | 5 |
| **总分** | | 20 |
| 设计任务 | 生成内部模块时钟信号 | | 10 |
| 产生基带信号m及移位寄存器状态信号A\_reg | | 10 |
| 生成串并转换输出信号I、Q | | 10 |
| 生成电平映射输出信号a、b | | 10 |
| 生成正、余弦载波信号c\_sin、c\_cos | | 10 |
| 生成ASK调制信号I\_mod、Q\_mod | | 10 |
| 生成加法器输出信号QAM | | 10 |
| 系统复位功能 | | 10 |
| **总分** | | 80 |
| **合计** | | | 100 |