电子设计自动化（EDA）实验报告

实验题号: 实验一

项目名称:Verilog入门与Quartus II9.0使用

系班: 计算机科学与技术二班

学号: 1181002038

姓名: 张璐矾

实验日期: 2020-09-25

指导老师：邱德惠

1. 实验目的

1．熟悉Quartus II9.0的Verilog文本设计流程。

2．学习用Verilog进行简单逻辑电路设计，多层次电路设计。

3．掌握Verilog设计电路的仿真、综合、和硬件测试的过程。

二、实验内容

1.2选1多路选择器

2.双2选1 层次化多路选择器

3.双2选1 行为多路选择器

三、将实验原理、设计过程、编译仿真波形、RTL、引脚绑定和分析结果写进实验报告。

**实验一**：2选1多路选择器

* 实验原理：根据1位选择信号输出输入信号a或输入信号b
* 设计过程：

真值表：

|  |  |  |  |
| --- | --- | --- | --- |
| 输入 | | | 输出 |
| a | b | s | y |
| 0/1 | 0/1 | 1 | a |
| 0/1 | 0/1 | 0 | b |

代码：

module mux21(a,b,s,y);

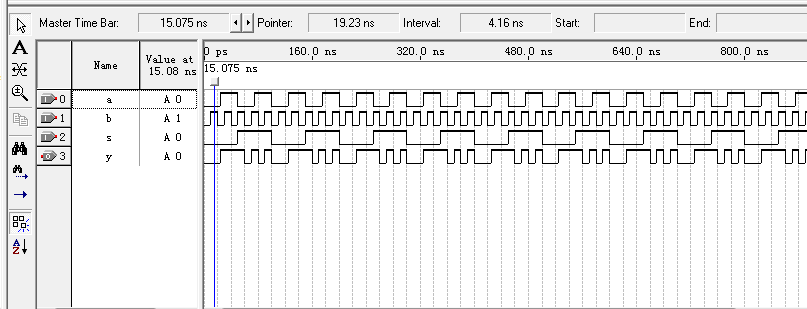
input a,b,s;

output y;

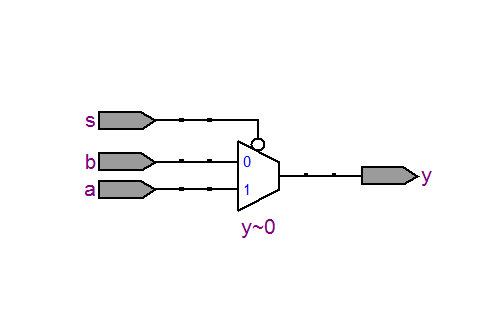
assign y=(s==0)?a:b;

endmodule

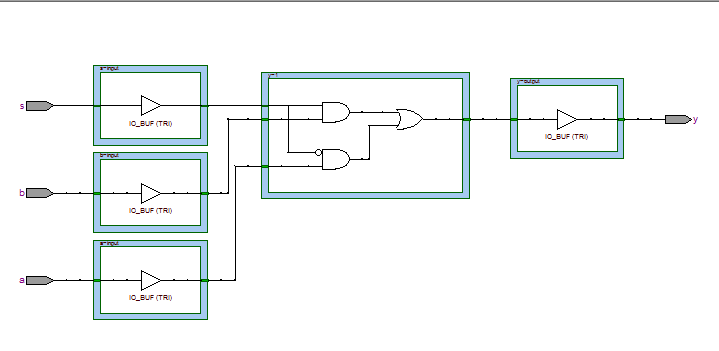
* 编译仿真波形:



* RTL：



* 门电路：



* 引脚绑定：此实验无引脚绑定

分析结果：

|  |  |  |  |
| --- | --- | --- | --- |
| 输入 | | | 输出 |
| a | b | s | y |
| 0/1 | 0/1 | 1 | a |
| 0/1 | 0/1 | 0 | b |