电子设计自动化（EDA）实验报告

实验号: 实验五

项目名称:多路数据选择器

系班: 计算机科学与技术二班

学号: 1181002038

姓名: 张璐矾

实验日期: 2020-10-16

指导老师：邱德惠

一、实验内容

实验五：多路数据选择器

三、将实验原理、设计过程、编译仿真波形、RTL、引脚绑定和分析结果写进实验报告。

**实验五：多路数据选择器**

* 实验原理：

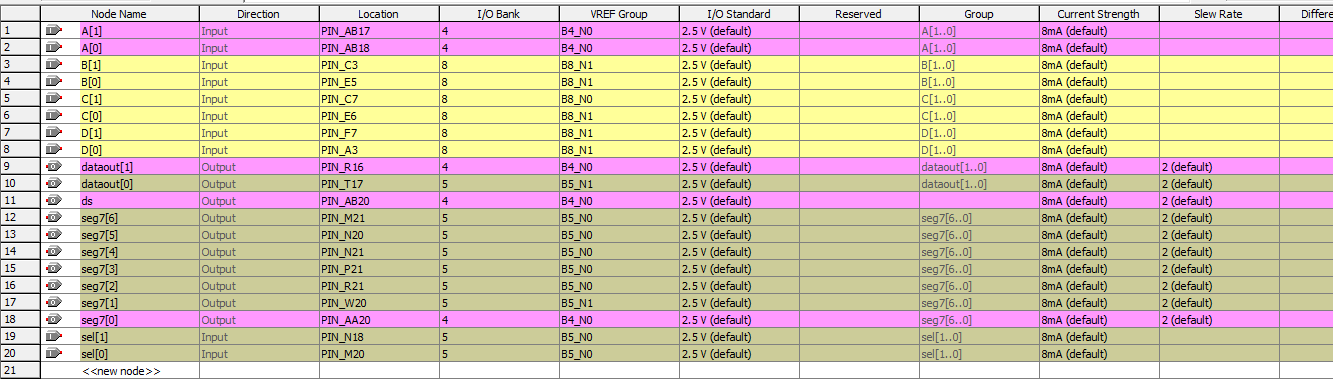
有四路数据的输入，通过开关来选择输出哪一路数据，同时使用LED指示灯和数码管来显示输出的数据内容和路数

* 实验过程：

用Verilog语言设计一个四路数据选择器程序；A,B,C,D为四路数据输入，sel为选择端，数码管DP1指示选择路数，A的时候显示0，B的时候显示1，C的时候显示2，D的时候显示3，dataout同时输出该数据,0为灯亮，1为灯灭。

* 设计过程：

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 输入 | | | | | 输出 | |
| A | B | C | D | Sel | DP1显示 | dataout |
| 二位二进制数 | | | | 00 | 0 | A |
| 01 | 1 | B |
| 10 | 2 | C |
| 11 | 3 | D |

* 引脚绑定：
* 
* 代码：

module mux(A,B,C,D,sel,dataout,ds,seg7);

output [1:0]dataout;

output ds;

output[6:0]seg7;

input [1:0]A,B,C,D;

input [1:0]sel;

reg[1:0]dataout;

assign ds=0;

reg [6:0]seg7;

always@(sel,A,B,C,D)

case(sel)

2'b00:

begin

seg7=7'b0111111;

dataout=A;

end

2'b01:

begin

seg7=7'b0000110;

dataout=B;

end

2'b10:

begin

seg7=7'b1011011;

dataout=C;

end

2'b11:

begin

seg7=7'b1001111;

dataout=D;

end

default:

begin

seg7=7'b0000000;

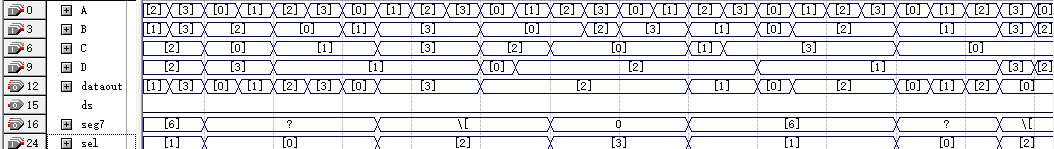
dataout=2'b00;

end

endcase

endmodule

* 仿真波形



* RTL



* 门电路



* 实物图：

