电子设计自动化（EDA）实验报告

实验号: 实验四

项目名称:多路数据选择器

系班: 计算机科学与技术二班

学号: 1181002038

姓名: 张璐矾

实验日期: 2020-10-16

指导老师：邱德惠

一、实验内容

实验四：七段译码器

三、将实验原理、设计过程、编译仿真波形、RTL、引脚绑定和分析结果写进实验报告。

**实验四**：七段译码器

* 实验原理：用拨码开关产生8421BCD码，FPGA器件产生译码电路，把BCD码显示在数码管上.
* 设计过程：输入d\_in是BCD码，g,f,e,d,c,b,a是七段数码管的不同笔画，dp是七段数码管的小数点，在这个实验中恒为0，ds为01111111是为了只控制一个七段数码管。

真值表：

|  |  |  |
| --- | --- | --- |
| 输入 | 输出 | |
| D\_in | 七段数码管显示（g,f,e,d,c,b,a,dp） | ds |
| 0000 | 0(01111110) | 01111111 |
| 0001 | 1(00001100) | 01111111 |
| 0010 | 2(10110110) | 01111111 |
| 0011 | 3(10011110) | 01111111 |
| 0100 | 4(11001100) | 01111111 |
| 0101 | 5(11011010) | 01111111 |
| 0110 | 6(11111010) | 01111111 |
| 0111 | 7(00001110) | 01111111 |
| 1000 | 8(11111110) | 01111111 |
| 1001 | 9(11011110) | 01111111 |
| 1010 | A(11101110) | 01111111 |
| 1011 | B(11111000) | 01111111 |
| 1100 | C(01110010) | 01111111 |
| 1101 | D(10111100) | 01111111 |
| 1110 | E(11110010) | 01111111 |
| 1111 | F(11100010) | 01111111 |

代码：

module SevenSegment(d\_in,a,b,c,d,e,f,g,dp,ds);

input[3:0]d\_in;

output[7:0]ds;

output a,b,c,d,e,f,g,dp;

reg[7:0]seg;

assign ds=8'b01111111;

always @(d\_in)

case(d\_in)

4'b0000:seg=8'b01111110;

4'b0001:seg=8'b00001100;

4'b0010:seg=8'b10110110;

4'b0011:seg=8'b10011110;

4'b0100:seg=8'b11001100;

4'b0101:seg=8'b11011010;

4'b0110:seg=8'b11111010;

4'b0111:seg=8'b00001110;

4'b1000:seg=8'b11111110;

4'b1001:seg=8'b11011110;

4'b1010:seg=8'b11101110;

4'b1011:seg=8'b11111000;

4'b1100:seg=8'b01110010;

4'b1101:seg=8'b10111100;

4'b1110:seg=8'b11110010;

4'b1111:seg=8'b11100010;

default:seg=8'b00000000;

endcase

assign a=seg[1];

assign b=seg[2];

assign c=seg[3];

assign d=seg[4];

assign e=seg[5];

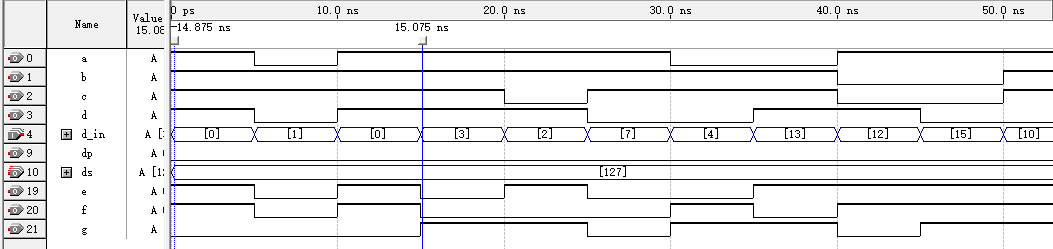
assign f=seg[6];

assign g=seg[7];

assign dp=seg[0];

endmodule

* 编译仿真波形:

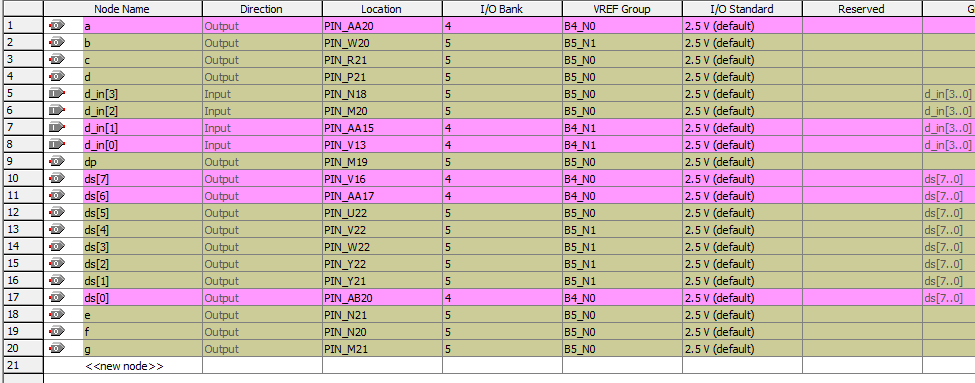


* RTL：



* 门电路：



* 引脚绑定：
* 
* 实物图

