

文章编号:1004-3365(1999) 05-0370-04

一种频率稳定的改进型 CMOS 环形振荡器

汪东旭, 孙 艺

(上海交通大学 电子工程系, 上海 200030)

摘 要: 在传统的环形振荡器基础上, 提出了一种改进的 CMOS 环形振荡器。它克服了传统 CMOS 环形振荡器振荡频率随电源电压变化而严重不稳的缺点。通过仿真, 得到了电源电压与振荡频率的对应关系, 取得了满意的结果。

关键词: 模拟电路; CMOS 集成电路; 振荡器; 环形振荡器

中图分类号: TN752; TN432

文献标识码: A

An Improved CMOS Loop Oscillator with Stable Frequency

WANG Dong-xu, SUN Yi

(Dept. Electro-Engineer., Shanghai Jiaotong Univer., Shanghai 200030)

Abstract: An improved CMOS loop oscillator is proposed in the paper, which overcomes the shortcomings of the traditional CMOS loop oscillator, whose oscillating frequency varies a lot with power supply voltage, and generates stabler frequency than the traditional loop oscillator. The relation between the power supply voltage and the frequency is obtained from simulation.

Key words: Analog circuit; CMOS IC; Oscillator; Loop oscillator

EEACC: 1230B

1 引 言

环形振荡器因其结构简单而用于许多集成电路芯片的设计, 但其振荡频率受电源电压变化的影响很大, 当电源电压降低 50% 时, 频率下降 50% 以上。用石英晶体稳定振荡频率固然有效, 但要外接晶体且占用两个管脚, 给芯片设计带来面积和成本的增加。因此, 改进环形振荡器的频率稳定性就显得十分有意义。

用稳压电源通过稳定电压来达到稳定振荡频率的方法是通常的想法, 但电路复杂性

大大增加, 并且难以稳定大的电压变化范围。本文提出一种简便易行的方法, 改进了传统的 CMOS 环形振荡器, 可大大改善因电源电压变化较大时引起的振荡频率严重变化的现象, 有利于芯片中电子系统的稳定工作, 在芯片设计中有着相当广泛的应用前景。

2 原 理

2.1 传统环形振荡器原理

传统的环形振荡器电路如图 1 所示, 由奇数级有一定延时的反相器首尾相连组成。每级反相器都有一个负载电容 C_L , 以造成输入

收稿日期: 1998-10-26

定稿日期: 1998-12-20

和输出间的时延。奇数级的时延造成的负反馈使电路产生振荡。图2(a)为 CMOS 环形振荡器中的反相器及负载电容的电路。CMOS 反相器对电容进行充放电造成的时延可从上升沿时间和下降沿时间来分析^[1]。

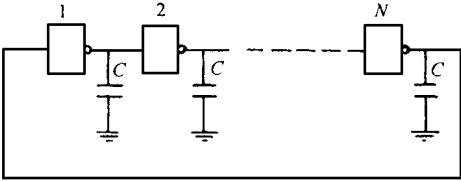


图1 环形振荡器电路图

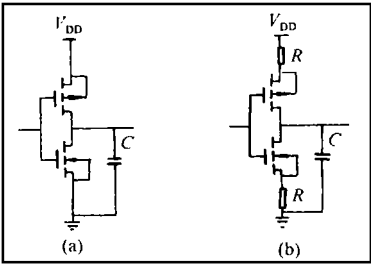


图2 CMOS 环形振荡器中的反相器电路
(a) 传统的 CMOS 反相器 (b) 改进后的 CMOS 反相器

2.1.1 上升沿时间

在分析中，我们假定 CMOS 反相器中的上拉 P 型 MOS 管对电容 C_1 充电的整个过程都处于饱和工作状态，其饱和电流为：

$$I_{dsp} = \frac{\beta_p (V_{gs} - |V_{tp}|)^2}{2}$$

式中， $\beta_p = \frac{W}{L} K_p$ ， K_p 是和材料、工艺有关的参数， W 和 L 分别为 MOS 管的宽度和长度， V_{gs} 和 V_{th} 分别为 MOS 管的栅源电压和阈值电压。 I_{dsp} 也就是对负载电容 C_1 的充电电流，可近似为恒流，因此电压为：

$$V_{out} = \int_0^{V_{out}} dV = \frac{1}{C_1} \cdot \int_0^{T_r} I_{dsp} dt = \frac{I_{dsp} \cdot t}{C_1}$$

将 I_{dsp} 代入，整理可得

$$t = \frac{2C_1 \cdot V_{out}}{\beta_p (V_{gs} - |V_{tp}|)^2}$$

设输出电压 $V_{out} = +V_{dd}$ 时的充电时间为 $T_r = t$ ，因此上升沿时间

$$T_r = \frac{2V_{dd} \cdot C_1}{\beta_p (V_{dd} - |V_{tp}|)^2} \tag{1}$$

2.1.2 下降沿时间

采用同样的方法，可以得到电容 C_1 通过 n 型 MOS 管放电的下降沿时间为：

$$T_f = \frac{2V_{dd} \cdot C_1}{\beta_n (V_{dd} - |V_{tn}|)^2} \tag{2}$$

式中， $\beta_n = \frac{W}{L} K_n$ 。

2.1.3 振荡频率

N 级门的时延可近似作为环形振荡器的振荡周期。若 N 级门相同，且设 $|V_{tp}| = V_{tn} = V_t$ ，则振荡周期 T 为：

$$T = (T_r + T_f) N / 2 = \frac{N \cdot V_{dd} \cdot C_1}{(V_{dd} - V_t)^2} \left(\frac{1}{\beta_n} + \frac{1}{\beta_p} \right) \tag{3}$$

振荡频率即为 $f = 1/T$ 。

通过上面的分析，我们不难发现，改进前环形振荡器的振荡频率随电源电压变化而发生严重变化的原因。当 V_{dd} 减小时，充放电电流随之减小，电容的充放电时间延长，即上升沿时间和下降沿时间均增大，从而导致了振荡频率大大降低。由 (3) 式可知， V_t 一定时，分母 $(V_{dd} - V_t)^2$ 减小，对门延时间增大起决定性作用。门延时间增大显然降低了振荡频率。 V_{dd} 越小，门延时间增加就越明显。

2.2 改进环形振荡器的原理

改进的 CMOS 环形振荡器中的 CMOS 反相器如图2(b)所示，在每个 CMOS 反相器的两个晶体管的源端均接入电阻 R 。通过增大晶体管的宽长比 (W/L) 来减小晶体管的导通电阻，同时，取足够大的电阻值，就可以使充放电的电流主要受电阻 R 的影响，而受晶体管的影响很小，晶体管的作用相当于两个导通电阻很小的电子开关。这样，充放电的时间基本由 R 和 C_1 决定。因为电阻 R 的导通不像晶体管那样受电源电压变化的影响，所以，充放电的时间也就不受电源电压变化的影响，从而达到稳定频率的目的。

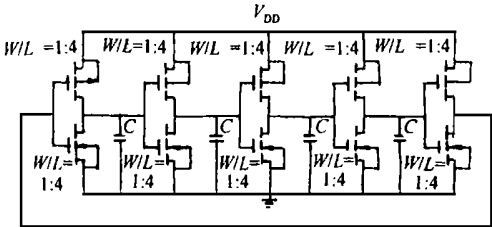
在 CMOS 工艺的芯片设计中，电阻 R 可用工艺中的扩散层来实现，通常用单位方块

电阻为1~2 kΩ的 p 阱或 n 阱区,所占芯片面积并不大。

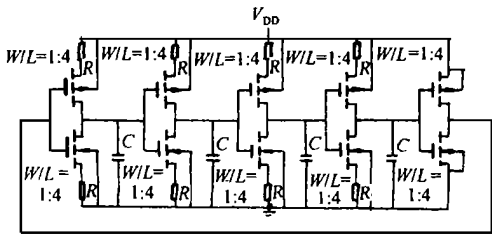
3 电源电压与振荡频率的关系

3.1 仿真电路

以图3作为仿真用的实际电路,共有五级 CMOS 反相器。延迟主要依靠前四级,第五级作为反相及波形整型用。图3(a) 为改进前的电路,电路中的 NMOST 和 PMOST 的沟道长度均取8 μm,宽度均取2 μm,宽长比 $W/L=1$ 。图3(b) 为改进后的电路,除第五级外,各 NMOST 和 PMOST 的沟道长度均取2 μm,而宽度均取8 μm。宽长比 $W/L=4$ 。此电路中晶体管的跨导均较改进前大16倍。电阻 R 一律用50 kΩ的电阻值,改进后晶体管导通的等效电阻都比串接在其源端的电阻 R 小得多。改进前后的工作频率均在2 MHz 左右。



(a) 传统的 CMOS 环形振荡器电路



(b) 改进后的 CMOS 环形振荡器电路

图3 仿真用的电路图

仿真使用的模型是在上海贝岭微电子有限公司1.2 μm生产线上提取的。主要模型参数为: $V_{tp} \approx -0.75\text{ V}$, $V_{in} \approx 0.70\text{ V}$; $K_p \approx 0.29$, $K_n \approx 0.73$;电容模型采用 MOS 电容,面积为

25 μm × 25 μm。仿真工具为 SUN 工作站下的 Cadence 公司的 Spectre 软件^[4,5]。

3.2 仿真结果及分析

图4给出了图3(a) 及(b) 电路的仿真结果。曲线 a 为改进前电路的仿真结果,曲线 b 为改进后电路的仿真结果。为了更清楚地说明问题,对仿真结果已经作了归一化处理, f_0 为 $V_{dd}=5.0\text{ V}$ 时的振荡频率。

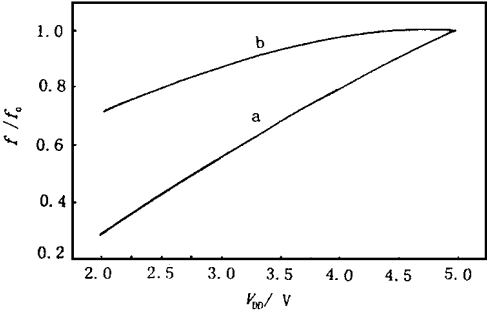


图4 仿真结果

通过对二曲线的对比可以看出,改进前的振荡器频率受电源电压变化的影响很大。当电源电压下降50%时,振荡频率降低了50%~60%,这与前面估算延迟时间的(3)式比较相吻合;而改进后的振荡器频率则相当稳定,当电源电压下降20%时,振荡频率仅下降4%;当电源电压下降50%时,振荡频率仅下降20%。此时振荡频率仍有所下降的原因是因为尽管已增大了 CMOS 反相器中晶体管的宽长比(W/L),但晶体管的导通电阻仍对振荡频率有较小的影响。即在电源电压降低时,晶体管的有效电阻增大。当其阻值可和电阻 R 的阻值相比较时,振荡频率就呈现下降的趋势。

由于体效应发生在各级反相器跳变的瞬间,所以对振荡频率影响极小。进一步的仿真结果也证实了这一点。

4 讨论

从以上的仿真结果可知,改进后的 CMOS 环形振荡器具有较好的频率稳定性。

尽管改进后 NMOST 和 PMOST 的宽长比大大增加,但源端所串接的电阻也大大增加,以维持原有的振荡频率。因此,这里提出的改进方案不会增加振荡器的功耗,甚至还会限制开关转换时较大的瞬态功耗。

本文提出的方案在实际应用时不必每级都在源端串接电阻;每级中也不必 NMOST 和 PMOST 都串电阻。可以根据需要灵活运用。

影响传统环形振荡器振荡频率不稳定的另一因素是温度。当温度增加时,振荡频率就下降,这是因为晶体管的跨导通常工作在呈负温度系数的区域。当温度增加时,载流子的迁移率下降,导致 MOS 晶体管的导通能力下降,门级的时延就增加,振荡频率下降。采用扩散层做电阻的情况与此相同。扩散层与 MOS 晶体管的导通沟道区都是硅材料,载流子迁移率的温度特性相仿,所以频率的温度特性并无改进。但当芯片制作工艺中有温度系数较低的材料可被选做电阻时,振荡频率的温度稳定性将随之改善。

5 结 论

本文提出的改进型 CMOS 环形振荡器在电源电压变化很大的情况下,振荡频率的稳定性可以大大提高,特别适合于电源电压变化较大的集成电路系统应用中。如 IC 卡芯片等电路,由于不可能外接晶振,本文所设计的电路就以其结构简单、稳频效果良好而具有广阔的应用前景。对于电源电压变化不大而又希望有较高频率稳定性的电路系统,本文的设计也是一种相当理想的选择。

[参 考 文 献]

[1] 高德远,康继昌.超大规模集成电路—系统和电路的设计原理[M].西安:西北工业大学出版社,1989.

[2] 李本俊,刘丽华.CMOS 集成电路原理与设计[M].北京:北京邮电大学出版社,1997.

[3] 阎石.数字电子技术基础(第三版)[M].北京:高等教育出版社,1989.



汪东旭 男,1941年11月生,硕士,副教授。从事过 SIC LED, Hall 元件,双漏 MOS 磁敏器件,VMOST,低压硅稳压二极管的研究与开发;MOS IC 设计,VMOST 模型, GaAs 集成电路研究,VLSI 设计,PLD 应用和厚膜集成电路测试系统的研究与开发等工作。