

## 2022 华数杯全国大学生数学建模竞赛题目

(请先阅读“华数杯数学建模竞赛论文格式规范与提交说明”)

### A 题 环形振荡器的优化设计

芯片是指内含集成电路的硅片，在我们日常生活中的手机、电脑、电视、家用电器等领域都会使用到，是高端制造业的核心基石。芯片的制造工艺非常复杂，要经历上千道工序经过复杂工艺加工制造。尤其是数字芯片，随着工艺尺寸的不断缩小，数字芯片的优化设计变得尤为重要。

而环形振荡器是数字时钟芯片中的一种重要的结构，其设计中有三个重要的指标需要考虑：速度、面积和功耗。速度是指电路运行的时钟频率，一般来说，速度越快，能处理的数据量就越多，性能越好。面积是指电路的物理实现需要占用硅片的面积，占用的面积越小，芯片成本越低。功耗是指电路工作所消耗的能量，功耗越低，发热量也越低，设备工作的时间更长，使用寿命越久。速度、面积、功耗是互相牵制的，在相同的制造工艺（制程）以及相同的电路条件下，一般来说，速度越快，晶体管尺寸越小，功耗也越高，反之亦然。相关概念与参数介绍见附录 1。

请阅读相关文档说明，回答下列问题。

1. 环形振荡器的频率公式为  $f = 1/(2n \times t_{pd})$ ，其中  $n$  为反相器的个数， $t_{pd}$  为单级反相器的延迟时间。反相器的负载电容与下一级的反相器的栅极面积成正比，为  $2\text{nF}/\mu\text{m}^2$ 。反相器工作时的电流公式可以分为以下两个阶段：饱和区和线性区。两个阶段的公式为：

$$I_d = \begin{cases} K \frac{W}{L} [(V_{gs} - V_{th})V_{ds} - \frac{1}{2}V_{ds}^2], & V_{ds} < V_{gs} - V_{th} \\ \frac{1}{2} K \frac{W}{L} (V_{gs} - V_{th})^2, & V_{ds} > V_{gs} - V_{th} \end{cases}$$

式中， $V_{gs}$ 表示栅源之间的电压， $V_{ds}$ 表示漏源之间电压， $V_{th}$ 表示阈值电压。请根据以上内容，计算表 1 中不同设计方案的环形振荡器的输出频率。

表 1 环形振荡器输出频率计算表

序号	反相器个数	PMOS 宽长比	NMOS 宽长比	电源电压/V	输出频率
1	11	400n/100n	200n/100n	1.2	
2	11	800n/200n	400n/200n	1.2	
3	11	1.6u/0.4u	0.8u/0.4u	1.2	

4	31	200n/100n	400n/100n	1.2	
5	31	400n/200n	800n/200n	1.2	
6	31	0.8u/0.4u	1.6u/0.4u	1.2	
7	51	500n/100n	500n/100n	1.2	
8	51	1000n/200n	1000n/200n	1.2	
9	51	1.8u/0.3u	1.8u/0.3u	1.2	
10	99	2u/0.5u	1u/0.5u	1.2	

2. 环形振荡器的版图见附录 1。在环形振荡器的输出频率 $f$ 为 10MHz，反相器个数为 51 时，问NMOS和PMOS的 $W$ 和 $L$ 的尺寸为多少时，环形振荡器所需面积将达到最小。

3. 功耗最小是环形振荡器设计最主要的目标。请对环形振荡器重新进行设计，在环形振荡器的输出频率 $f$ 为 5MHz时，问反相器个数和晶体管的 $W$ 及 $L$ 尺寸为多少时，环形振荡器所需功耗最小？

4. 芯片在流片时一般会选择多项目晶圆（MPW），即多个芯片在同一张晶圆上拼版制作，共同承担流片费用。拼版规则是在一块大小为 3mm\*4mm的晶圆上摆放所有芯片如图 1 所示，芯片之间通过划片道（红色实线）隔离开（划片道为 80um宽，且划片道的数量要尽可能的少，否则容易对其它芯片造成损伤）。现有 7 块芯片，其中 6 块芯片面积固定（见表 2），剩余一块芯片面积待定。接第 3 问，在输出频率为 2KHz时，如何设计环形振荡器的尺寸，在追求功耗最小的前提下力求第 7 个芯片位置上安放更多的环形振荡器？

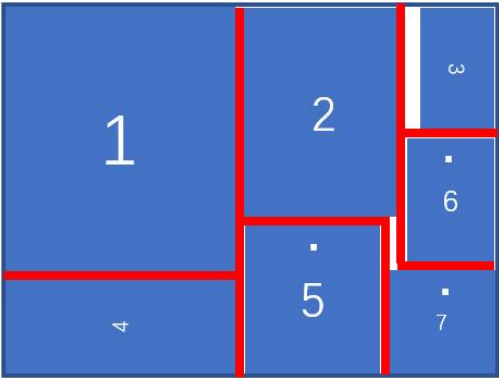


图 1 拼版示意图

表 2 芯片面积

序号	1	2	3	4	5	6
长/mm	1.76	1.046	1.096	1.05	1.77	1.5
宽/mm	1.46	1.146	0.846	2.16	0.8	0.5