

附录 1：赛题的相关知识介绍

1、反相器：是集成电路设计中基本的逻辑单元，常称为反相器，其电路结构和元件符号如图 1 所示，由一个 PMOS 管（P 型金属氧化物半导体）和一个 NMOS 管（N 型金属氧化物半导体）串联而成，G、S、D、B 分别代表晶体管的栅极、源极、漏极和衬底。反相器可以实现逻辑非的功能，即输出始终和输入保持相反。当输入端为高电平（逻辑“1”）时，输出端为低电平（逻辑“0”）。NMOS 在输入为高电平时，将输出端拉低，由高电平到低电平时的时间即下降沿延迟。反之，当输入端为低电平（逻辑“0”）时，输出端则为高电平（逻辑“1”）。PMOS 管在输入为低电平时，将输出端电压拉高，此时，由低电平到高电平的转换时间即为反相器的上升沿延迟。详见附录 2 中的参考文献 1、参考文献 2。现提供的晶体管最小栅长 $L=60\text{nm}$ ，最小栅宽 $W=120\text{nm}$ ，最大栅长和最大栅宽均为 $100\mu\text{m}$ 。PMOS 阈值电压为 0.398V ，NMOS 的阈值电压为 0.42V 。NMOS 管和 PMOS 管的 K 值分别为 $111.6634\mu\text{A/V}$ 和 $68.7134\mu\text{A/V}$ 。

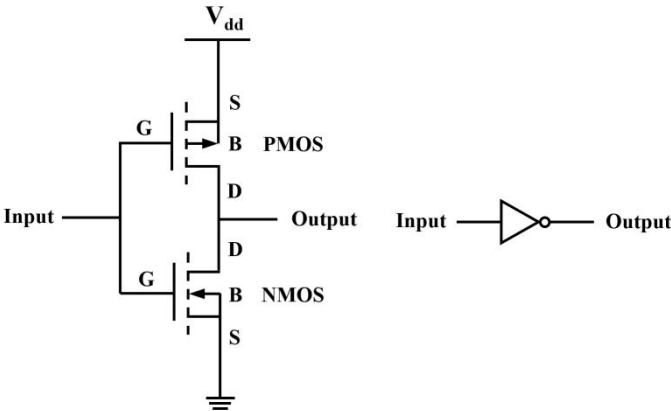


图 1 反相器的电路结构和元件符号

2、环形振荡器由三个反相器或更多奇数个反相器输出端和输入端首尾相接，构成环状的电路，如图 2 所示。以三个反相器为例，假定某一时刻 T_0 ，反相器 A 输入端变为高电平，则反相器 A 输出端（反相器 B 输入端）在反相器延迟时间 ΔT 后（ $T=T_0+\Delta T$ ）变为低电平， $T=T_0+2\Delta T$ 后反相器 B 输出端（反相器 C 输入端）变为高电平， $T=T_0+3\Delta T$ 后反相器 C 输出端（即反相器 A 输入端）由高电平变为低电平，此时反相器 A 输入端电平与 T_0 时正好相反……依次类推， $6\Delta T$ 后反相器 A 输入端又变回高电平完成一个周期的振荡，如此往复。

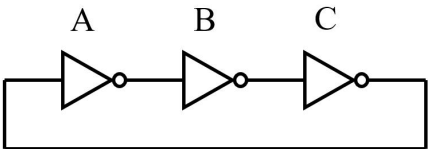


图 2 三个反相器组成的环形振荡器

3、环形振荡器的版图结构如图 3 所示。黄色散点区域覆盖的红色实心矩形位置为 PMOS，蓝色斜线区域覆盖的红色实心矩形位置为 NMOS。PMOS 和 NMOS 中间区域的深蓝色矩形为栅极，栅长（ L ）为蓝色矩形的横向的长度，栅宽（ W ）为蓝色矩形覆盖红色矩形的纵向的长度，PMOS 和 NMOS 的栅长必须

保持一致。NMOS 和 PMOS 的面积由两部分组成：栅极覆盖的沟道面积 ($W \cdot L$) 以及源漏面积（栅极两侧的绿色矩形面积，每侧面积大小为 $190\text{nm} \cdot W$ ）。单个反相器的面积为 PMOS 的面积加上 NMOS 的面积（不考虑连线占用的面积）以及 NMOS 和 PMOS 的间隔面积： $70\text{nm} \cdot (L + 2 \cdot 190\text{nm})$ 。

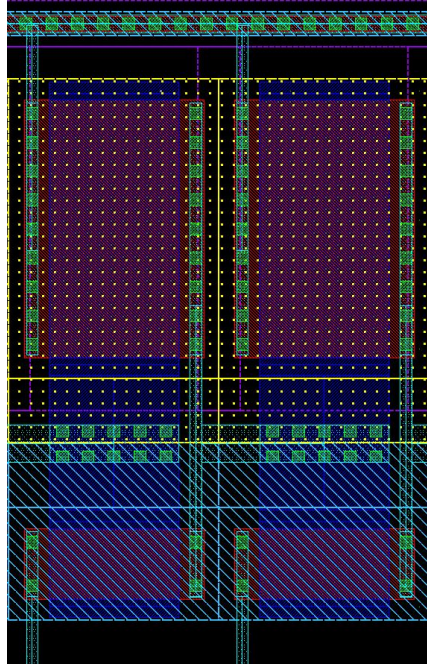


图 3 反相器版图