

所属类别	2022 年“华数杯”全国大学生数学建模竞赛	参赛编号
本科生组		CM2200450

## 基于智能优化算法的环形振荡器设计模型

### 摘要

芯片在我们日常生活中的使用十分广泛，但是芯片的制造工艺十分复杂，尤其是数字芯片。作为数字时钟芯片中的一种重要结构，环形振荡器在设计过程中有三个重要指标需要考虑：速度、面积、功耗。由于三个指标是互相牵制的，即在相同的制造工艺（制程）以及相同的电路条件下，一般来说，速度越快，晶体管尺寸越小，但是功耗越高。本题将分别以上述三种指标作为最主要设计目标，分别求解不同目标下的最优设计方案。

**针对问题一**，该题旨在分析设计指标与输出频率之间的关系，以此求解出在不同设计方案下环形振荡器的输出频率的具体数值。结合参考文献[1]和[3]，我们建立了**基于一阶分析法的输出频率求解模型**以及**基于频率稳定的输出频率求解模型**用于求解输出频率。这两个模型的原理相似，但在部分参数处理上略有不同，因此，我们将两个模型求解得到的输出频率的均值作为输出频率的最终计算结果。

**针对问题二**，该题要求在给定环形振荡器的输出频率和反相器个数的条件下，以环形振荡器的面积最小作为主要设计目标，求解最优设计方案。为此，我们以 51 个反相器构成的环形振荡器面积最小为目标，建立目标函数，以题目已知参数的取值或范围作为约束条件，建立了**非线性规划模型**。为了求解该优化问题，我们利用**粒子群算法**进行求解。考虑到粒子群算法的计算结果具有随机性，我们进行了 1000 次实验，选择环形振荡器所需面积最小的一组解作为最优解。最终计算出在环形振荡器的输出频率为 10MHz，反相器个数为 51 时，使得环形振荡器所需面积最小的晶体管尺寸为：NMOS 的  $W = 2.513\mu m$ ， $L = 60nm$ ；PMOS 的  $W = 11.007\mu m$ ， $L = 60nm$ ，此时面积最小值为  $3.0496 \times 10^{-10}m^2$ 。

**针对问题三**，该题要求在给定环形振荡器的输出频率的条件下，以环形振荡器的功耗最小作为主要设计目标，求解最优设计参数。为了求解该问题，我们以环形振荡器所需功耗最小为目标，建立目标函数，以题目已知参数的取值或范围作为约束条件，建立了**非线性规划模型**。为了求解该优化问题，我们利用了**遗传算法**求解最优解，最终计算出在环形振荡器的输出频率为 5MHz 时，使得环形振荡器所需功耗最小的晶体管尺寸为：NMOS 的  $W = 220.6nm$ ， $L = 481.4nm$ ；PMOS 的  $W = 181.4nm$ ， $L = 481.4nm$ ，反相器的个数为 3 个，此时功耗最小值为  $1.31 \times 10^{-5}m^2$ 。

**针对问题四**，该题需要求解在满足功耗最小的前提下，环形振荡器最优的布图方案。因此，我们首先利用问题三的方法求解得到输出频率为 2KHz 时，满足功耗最小时环形振荡器的设计方案。在此条件下，建立了一个**考虑缺陷率模型的多项目晶圆布图规划模型**，利用 **HQ-GVOCO 算法**求解最优布图，同时采用自适应的**模拟退火算法**，解决了求解过程中可能陷入局部最优的问题。最后，建立了一个**线性规划模型**求解得到第 7 个芯片位置上最多安放 8418 个环形振荡器。

**关键词：**非线性规划模型、粒子群算法、遗传算法、HQ-GVOCO 算法、模拟退火算法

## 一、问题重述

### 1.1 问题背景

在我们日常生活中，数字芯片的使用十分广泛。不论是在手机、电脑还是家用电器领域都离不开数字芯片。现如今，随着数字芯片工艺尺寸的不断缩小，数字芯片的优化设计变得越来越重要。

数字时钟芯片中的一种重要结构是环形振荡器。速度、面积、功耗是其设计需要考虑的三个重要指标。其中，速度是指电路运行的时钟频率；面积是指电路的物理实现需要占用硅片的面积；功耗是指电路工作所消耗的能量。

如果只考虑这三个指标中的任意一个指标，那么一般来说，速度越快，能处理的数据量越多；面积越小，芯片成本越低；功耗越低，发热量越低。因此，我们希望制造出速度快、面积小、功耗低的芯片。但这三个指标并不是相互独立的，它们互相牵制，即在相同的制造工艺（制程）以及相同的电路条件下，速度越快，晶体管尺寸越小，但功耗也越高。因此，如何平衡三个指标之间的关系，设计出更优的芯片是一个需要我們不断思考的问题。

### 1.2 问题提出

在此背景下，要求我们根据相关文档说明考虑以下四个问题：

（1）问题一已知了环形振荡器的频率公式以及反相器工作时的电流公式，需要我们根据环形振荡器的不同设计方案求解出对应的输出频率。

（2）问题二以面积最小作为主要设计指标，要求我们在满足环形振荡器的输出频率  $f$  是 10MHZ, 反相器个数为 51 的条件下, 求解能够使得环形振荡器所需面积最小的 NMOS 和 PMOS 的尺寸。

（3）问题三以功耗最小作为主要设计指标，要求我们在满足环形振荡器的输出频率  $f$  是 5MHZ 的条件下，求解能够使得环形振荡器所需功耗最小时的晶体管尺寸以及反相器个数。

（4）问题四已知了一种拼版规则，且已知现有 7 块芯片，其中 6 块芯片面积固定，剩余一块芯片面积待定。在第 3 问的前提下，求解在输出频率为 2KHz 时，如何设计环形振荡器的尺寸，在追求功耗最小的前提下力求第 7 个芯片位置上安放更多的环形振荡器。

## 二、问题分析

### 2.1 问题一的分析

在问题一中，需要求解不同设计方案的环形振荡器的输出频率。由题干中的公式  $f = 1/(2n \times t_{pd})$  可知，在我们已知了不同设计方案的环形振荡器中反相器的个数  $n$  时，要求得输出频率  $f$  只需要求得单级反相器的延迟时间  $t_{pd}$ 。而要想求解单级反相器的延迟时间  $t_{pd}$ ，由反相器传播时延的一阶分析法可知， $t_{pd} = (\ln 2/2) \times (R_{eqp} + R_{eqn})C_L$ ，因此要求解  $t_{pd}$  则需要分别求解出 PMOS 管的平均导通电阻  $R_{eqp}$ 、NMOS 管的平均导通电阻  $R_{eqn}$ 、负载电容  $C_L$ 。

由题目已知条件可知，反相器的负载电容  $C_L$  与下一级栅极面积成正比，为  $3.137 \text{ pF}/\mu\text{m}^2$ ，由此根据不同设计方案中已知的 PMOS 管与 NMOS 管的宽度与长度的数据，即可求出负载电容  $C_L$ 。同样，根据 MOS 晶体管的平均导通电阻的计算公式，即可计算出 PMOS 管的平均导通电阻  $R_p$  与 NMOS 管的平均导通电阻  $R_n$ 。由此，我们可以根据反相器传播时延的一阶分析法，计算得到不同设计方案的环形振荡器的输出频率。此外，我们还可以结合参考文献[1]中的理论推导求解输出频率。为了降低单个模型存在误差的风险，我们取两种模型求解结果的平均值作为最终输出频率的结果。

## 2.2 问题二的分析

问题二需要求解在环形振荡器的输出频率  $f$  为 10MHZ，反相器个数为 51 时，能够使得环形振荡器所需面积最小的晶体管尺寸。因此我们可以将 51 个反相器构成的环形振荡器面积最小作为目标，建立目标函数，将环形振荡器的输出频率、晶体管的最大最小栅长等条件作为约束，建立一个非线性规划模型。为了求解该非线性规划问题，我们可以利用粒子群优化算法，通过调用 MATLAB 自带的粒子群函数 `particleswarm` 函数来求解模型的最优解。考虑到粒子群算法得到的结果具有一定的随机性，因此我们重复大量实验，取求解得到的环形振荡器面积最小的一组值作为最优解。

## 2.3 问题三的分析

问题三需要求解在环形振荡器的输出频率  $f$  为 5MHZ 时，能够使得环形振荡器所需功耗最小的晶体管尺寸以及反相器个数。通过查阅相关文献资料，我们知道反相器的功耗包括电容充放电引起的动态功耗  $P_{dyn}$ 、NMOS 与 PMOS 同时导通（过渡区）引起的功耗  $P_{dp}$  以及静态功耗  $P_{static}$  三部分。通过计算以及相关理论推导，我们发现 NMOS 与 PMOS 同时导通（过渡区）引起的功耗  $P_{dp}$  以及静态功耗  $P_{static}$  在理想条件下是不存在的，在实际应用场景中也可以控制在限定范围之内，因此在建模时只需要考虑电容充放电引起的动态功耗  $P_{dyn}$ 。以环形振荡器所需功耗最小作为目标，建立目标函数，将环形振荡器的输出频率、晶体管的最大最小栅长等条件作为约束，建立一个非线性规划模型。为了求解该非线性规划问题，我们可以采用遗传算法来求解最优解。

## 2.4 问题四的分析

问题四给出了一个拼版规则，且现有 7 块芯片，其中 6 块芯片面积固定剩余一块芯片面积待定。在第三问的前提下，求解在输出频率为 2KHz 时，如何设计环形振荡器的尺寸，在追求功耗最的前提下力求第 7 个芯片位置上安放更多的环形振荡器。对于这一问题，因为题目要求在追求功耗最的前提下进行方案设计，因此，我们可以先利用第三问的方法求解出功耗最小时单个环形振荡器的最优设计方案。然后结合与多项目晶圆（MPW）相关的专业文献，建立考虑缺陷率模型的多项目晶圆布图规划模型，利用 HQ-GVOCO 算法求解最优布图，同时采用模拟退火流程，通过接受不满足条件的中间布图方法，跳出了局部最优解。最终求解出最优的布图方案使得第 7 个芯片位置上能够安放更多的环形振荡器。

# 三、模型假设

- **假设一：**假设 NMOS 和 PMOS 都工作在理想情况下，NMOS 与 PMOS 同时导通（过渡区）引起的功耗  $P_{dp}$  以及静态功耗  $P_{static}$  均可以忽略。

- 假设二：假设反相器以（假设的）最大可能的速率开关，即  $T=1/f=t_{pLH}+t_{pHL}=2t_{pd}$ 。
- 假设三：假设版图所画尺寸与实际有效尺寸差别很小，可以忽略。

#### 四、符号说明

符号	说明	单位
$f$	输出频率	Hz
$n$	反相器的个数	个
$t_{pd}$	单级反相器的延迟时间	s
$R_{eqp}$	PMOS 管的平均导通电阻	$\Omega$
$R_{eqn}$	NMOS 管的平均导通电阻	$\Omega$
$R_{eq}$	MOS 管的平均导通电阻	$\Omega$
$C_L$	负载电容	F
$V_{out}$	输出电压	V
$t_{pLH}$	$V_{out}$ 由低电平翻转至高电平的传输延时	s
$t_{pHL}$	$V_{out}$ 由高电平翻转至低电平的传输延时	s
$R_{on}$	导通电阻	$\Omega$
$L$	栅长	m
$W$	栅宽	m
$W_P$	PMOS 的栅宽	m
$W_N$	NMOS 的栅宽	m
$\lambda$	沟道长度调制系数	$\mu m$
$V_{th}$	阈值电压	V
$V_{DD}$	电源电压	V
$I_d$	饱和电流	A
$P_{dym}$	电容充放电引起的动态功耗	W
$P_{dp}$	NMOS 与 PMOS 同时导通（过渡区）引起的功耗	W
$P_{static}$	静态功耗	W

#### 五、模型的建立与求解

##### 5.1 环形振荡器输出频率计算模型

###### 5.1.1 模型的建立

###### ➤ 模型一：基于一阶分析法的输出频率求解模型

利用一阶分析法求解单级反相器的延迟时间，所以单级反相器的延迟时间  $t_{pd}$  可以表示为负载电容的充（放）电电流积分，如式（1）所示：

$$t_{pd} = \int_{v_1}^{v_2} \frac{C_L(v)}{i(v)} dv \quad (1)$$

其中， $i$  是充（放）电电流， $v$  是电容上的电压， $v_1$  和  $v_2$  分别是初始和最终电压。

由于  $C_L(v)$  和  $i(v)$  都是  $v$  的非线性函数，因此难以确切地求解这个方程，因此建立简化的反相器开关模型来求解单级反相器的延迟时间的近似公式，如图 1 所示。对于一个 CMOS 反相器而言，当输出电压  $V_{out}$  由低电平翻转至高电平时，可以等效为图 1 (a)，当输出电压  $V_{out}$  由高电平翻转至低电平时，可以等效为图 1 (b)。

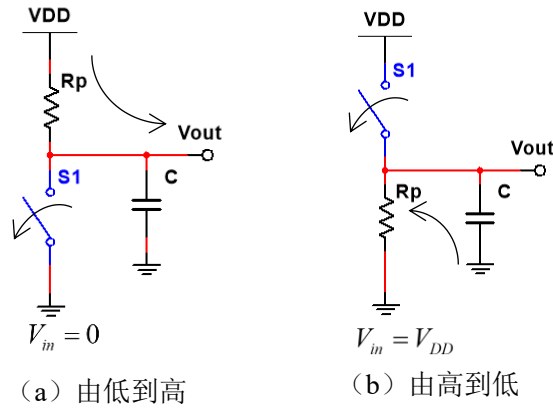


图 1 简化的反相器开关模型

设  $t_{pLH}$  为  $V_{out}$  由低电平翻转至高电平的传输延时， $t_{pHL}$  为  $V_{out}$  由高电平翻转至低电平的传输延时。因此，单级反相器延迟时间  $t_{pd}$  可以表示为：

$$t_{pd} = \frac{t_{pLH} + t_{pHL}}{2} \quad (2)$$

要求解  $t_{pLH}$  与  $t_{pHL}$  相当于要求解图 1 所示的等效电路的传输时延。根据题目中所给参考文献 2 的相推导可知，低转高等效电路可以等价为一个电容充电电路，高转低等效电路可以等价为一个电容放电电路，因此从电容充放电的角度可以得到  $t_{pLH}$  与  $t_{pHL}$  的表达式，如式 (3) (4) 所示。

$$t_{pLH} = R_{eqp} C_L \ln 2 \quad (3)$$

$$t_{pHL} = R_{eqn} C_L \ln 2 \quad (4)$$

其中， $R_{eqp}$  和  $R_{eqn}$  分别为 PMOS 管和 NMOS 管在所关注时间内的等效导通电阻， $C_L$  为负载电容。

根据题目中所述，反相器的负载电容与下一级的反相器的栅极面积成正比，为  $3.137 \text{ pF}/\mu\text{m}^2$  可以得到负载电容  $C_L$  的表达，如式 (5) 所示。

$$C_L = \alpha WL \quad (5)$$

其中,  $\alpha = 3.137 \text{ pF}/\mu\text{m}^2$ 。

建立 MOS 晶体管的开关模型用于求解 MOS 管的等效导通电阻  $R_{eq}$ , 以 NMOS 管为例推导等效导通电阻  $R_{eq}$  的表达式, NMOS 管的开关模型如图 2 所示。

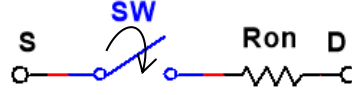


图 2 NMOS 晶体管开关模型

对于 MOS 晶体管的开关模型, 由于导通电阻  $R_{on}$  是非线性时变的, 它取决于晶体管的工作状态, 而我们希望求得一个线性电阻  $R_{eq}$ , 因此将导通电阻  $R_{eq}$  定义为所关注时间内电阻的平均值, 如式 (6) 所示。

$$R_{eq} = \text{average}_{t=t_1 \dots t_2} (R_{on}(t)) = \frac{1}{t_2 - t_1} \int_{t_1}^{t_2} R_{on}(t) dt = \frac{1}{t_2 - t_1} \int_{t_1}^{t_2} \frac{V_{DS}(t)}{I_D(t)} dt \quad (6)$$

借助式 (6) 即可推导出导通电阻  $R_{eq}$  的表达式, 它是在过渡期间器件电阻的平均值:

$$R_{eq} = \frac{1}{V_{DD}/2} \int_{V_{DD}/2}^{V_{DD}} \frac{V}{I_{DSAT}(1 + \lambda V)} dV \approx \frac{3}{4} \frac{V_{DD}}{I_{DSAT}} (1 - \frac{7}{9} \lambda V_{DD}) \quad (7)$$

其中,  $I_{DSAT}$  为饱和电流,  $\lambda$  为沟道长度调制系数。

饱和电流  $I_{DSAT}$  可以表示为:

$$I_{DSAT} = K \frac{W}{L} [(V_{DD} - V_T)V_{DSAT} - \frac{V_{DSAT}^2}{2}] \quad (8)$$

其中,  $V_T$  是阈值电压, 即  $V_T = V_{th}$ , 在饱和区  $V_{DSAT} = V_{DS} = V_{GS} - V_{th}$ 。

沟道长度调制系数  $\lambda$  又可以由式 (9) 求解得到:

$$r_o = \frac{\partial V_{DS}}{\partial I_D} = \partial V_{DS} / \partial [\frac{1}{2} K \frac{W}{L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS})] \approx \frac{1}{\lambda I_d} \quad (9)$$

其中,  $V_T$  是阈值电压, 即  $V_T = V_{th}$ ,  $I_d$  为饱和电流, 即  $I_d = I_{DSAT}$ 。

将式 (5) (7) (8) 代入式 (3) (4), 即可求解得到  $V_{out}$  由低电平翻转至高电平的传输延时  $t_{pLH}$  以及  $V_{out}$  由高电平翻转至低电平的传输延时  $t_{pHL}$  的具体表达式如式 (10) (11) 所示。

$$t_{pLH} = \frac{3 \ln 2}{4} \frac{V_{DD} (1 - \frac{7}{9} \lambda V_{DD}) \alpha W_p L}{K_p \frac{W_p}{L} [(V_{DD} - V_{thP})V_{DS} - \frac{V_{DS}^2}{2}]} \quad (10)$$

$$t_{pHL} = \frac{3\ln 2}{4} \frac{V_{DD}(1 - \frac{7}{9}\lambda V_{DD})\alpha W_N L}{K_N \frac{W_N}{L} [(V_{DD} - V_{thN})V_{DS} - \frac{V_{DS}^2}{2}]} \quad (11)$$

其中， $\alpha = 3.137 \text{ pF}/\mu\text{m}^2$ ，沟道长度调制系数 $\lambda$ 可由式（9）计算得到。

因此，输出频率可以表示为：

$$f = \frac{1}{2n \times t_{pd}} = \frac{1}{n \times (t_{pLH} + t_{pHL})} \quad (12)$$

### ➤ 模型二：基于频率稳定的频率求解模型

由参考文献[1]可知，输出频率 $f$ 满足：

$$f = \frac{1}{\frac{nV_{DD}C_L}{(V_{DD} - V_{th})^2} (\frac{1}{\beta_N} + \frac{1}{\beta_P})} \quad (13)$$

其中， $\beta_N = \frac{W_N}{L} K_N$ ， $\beta_P = \frac{W_P}{L} K_P$ ， $C_L$ 可由式（5）求解得到。

将 $\beta_N$ 、 $\beta_P$ 以及 $C_L$ 的表达式代入式（13），代换化简之后可以求得输出频率 $f$ 的计算式为：

$$f = \frac{1}{\frac{nV_{DD}\alpha(W_P + W_N)L}{(V_{DD} - V_{th})^2} (\frac{1}{W_N K_N} + \frac{1}{W_P K_P})} \quad (14)$$

其中， $\alpha = 3.137 \text{ pF}/\mu\text{m}^2$ 。

综合上述两个模型，输出频率 $f$ 的计算表达式为：

$$f = \begin{cases} \frac{1}{\frac{3\ln 2}{4} n \times (\frac{V_{DD}(1 - \frac{7}{9}\lambda V_{DD})\alpha W_P L}{K_P \frac{W_P}{L} ((V_{DD} - V_{thP})V_{DS} - \frac{V_{DS}^2}{2})} + \frac{V_{DD}(1 - \frac{7}{9}\lambda V_{DD})\alpha W_N L}{K_N \frac{W_N}{L} ((V_{DD} - V_{thN})V_{DS} - \frac{V_{DS}^2}{2})})} & \text{(模型一)} \\ \frac{1}{\frac{nV_{DD}\alpha(W_P + W_N)L}{(V_{DD} - V_{th})^2} (\frac{1}{W_N K_N} + \frac{1}{W_P K_P})} & \text{(模型二)} \end{cases} \quad (15)$$

### 5.1.2 模型的求解

#### ➤ 利用模型一求解输出频率 $f_1$

Step1.求解饱和电流  $I_d$ 。

因为  $I_d = I_{DSAT}$ ，因此由式（8）可以求解饱和电流  $I_d$  的值。在式（8）中，因为  $V_T$  是阈值电压，即  $V_T = V_{th}$ ，在饱和区又满足  $V_{GS} = V_{DD}$ ， $V_{DSAT} = V_{DS} = V_{GS} - V_T = V_{DD} - V_{th}$ ，因此由式（8）可得到饱和电流  $I_d$  的表达式：

$$I_d = K \frac{W}{L} \frac{(V_{DD} - V_{th})^2}{2} \quad (16)$$

根据题目条件代入不同设计方案中环形振荡器的相关参数，即可求解得到不同条件下对应的饱和电流  $I_d$  的取值。

Step2.求解沟道长度调制系数  $\lambda$ 。

因为式（9）中， $V_T$  是阈值电压， $I_d$  为饱和电流，因此  $V_T = V_{th}$ ， $I_d = I_{DSAT}$ 。在饱和区，满足  $V_{GS} = V_{DD}$ ， $V_{DSAT} = V_{DS} = V_{GS} - V_T = V_{DD} - V_{th}$ ，所以式（9）又可以化简为：

$$r_o = \frac{\partial(V_{DD} - V_{th})}{\partial i_D} = \partial(V_{DD} - V_{th}) / \partial \left( \frac{1}{2} K \frac{W}{L} (V_{DD} - V_{th})^2 (1 + \lambda(V_{DD} - V_{th})) \right) \approx \frac{1}{\lambda I_d} \quad (17)$$

由已知条件， $V_{DD} = 1.2V$ ，PMOS 的阈值电压  $V_{th} = 0.398V$ ，NMOS 的阈值电压  $V_{th} = 0.42V$ 。因为  $I_d = I_{DSAT}$ ，所以由式（8）即可求出饱和电流  $I_d$  的取值。最终可以求解得到沟道长度调制系数  $\lambda$  分别为  $0.1 \mu m$  和  $0.125 \mu m$ 。

Step3.求解导通电阻  $R_{eq}$ 。

因为式（7）中， $I_{DSAT}$  为饱和电流， $\lambda$  为沟道长度调制系数，因此根据 Step1 和 Step2 可以求解得到  $I_{DSAT}$  和  $\lambda$  的取值。又由已知条件可知  $V_{DD} = 1.2V$ ，因此代入相关数据，很容易求得不同条件对应的导通电阻  $R_{eq}$  的取值。

Step4.求解负载电容  $C_L$ 。

根据式（5），代入不同条件下对应的 PMOS 和 NMOS 宽度和长度数值，即可计算出不同条件下负载电容  $C_L$  的取值。

Step5. 求解单级反相器的延迟时间  $t_{pd}$ 。

联立式（2）（3）（4），依次代入 Step1-4 中所求得的相关数据，即可求解出不同条件下单级反相器的延迟时间  $t_{pd}$  的取值。

Step6.求解输出频率  $f$ 。

由题目中所给公式  $f = 1/(2n \times t_{pd})$ ，根据不同设计方案的具体参数，代入反相器个数并由 Step5 求得的单级反相器的延迟时间  $t_{pd}$ ，即可得到不同设计方案对应的输出频率。



根据以上思路，利用 MATLAB 编程求解得到不同设计方案对应输出频率的结果。

### ➤ 利用模型二求解输出频率 $f_2$

若使用模型二求解输出频率，则只需将题目中的已知数据代入式 (14)，即可求解得到同设计方案对应的输出频率。

### ➤ 取两种模型求解得到的输出频率的均值作为输出频率 $f$

考虑到两种模型所得到的结果与真实值之间存在误差，我们将由模型一和模型二求解得到的输出频率的均值作为不同方案下环形振荡器的输出频率的结果。由此可以得到输出频率的计算表达式为：

$$f = \frac{f_1 + f_2}{2} \quad (18)$$

### 5.1.3 结果分析

利用 MATLAB 求解上述两个模型的结果，经过计算可以得到模型一和模型二求解得到的输出频率结果，具体计算数据见附录一。取两个模型计算结果的均值作为环形振荡器的输出频率，由此可以得到环形振荡器输出频率的最终结果如表 1 所示。

表 1 环形振荡器输出频率计算表

序号	反相器个数	PMOS 宽长比	NMOS 宽长比	电源电压/V	输出频率/Hz
1	11	400n/100n	200n/100n	1.2	$3.04 \times 10^7$
2	11	800n/200n	400n/200n	1.2	$7.60 \times 10^6$
3	11	1.6u/0.4u	0.8u/0.4u	1.2	$1.90 \times 10^6$
4	31	200n/100n	400n/100n	1.2	$9.36 \times 10^6$
5	31	400n/200n	800n/200n	1.2	$2.34 \times 10^6$
6	31	0.8u/0.4u	1.6u/0.4u	1.2	$5.85 \times 10^5$
7	51	500n/100n	500n/100n	1.2	$6.86 \times 10^6$
8	51	1000n/200n	1000n/200n	1.2	$1.71 \times 10^6$
9	51	1.8u/0.3u	1.8u/0.3u	1.2	$7.62 \times 10^5$
10	99	2u/0.5u	1u/0.5u	1.2	$1.35 \times 10^5$

## 5.2 基于环形振荡器所需面积最小的非线性规划模型

### 5.2.1 模型的建立

#### (1) 模型准备：

#### Step1. 目标建立：

根据题意，单个反相器的面积由 PMOS 的面积、NMOS 的面积以及 NMOS 和 PMOS 的间隔面积三部分组成。其中，NMOS 和 PMOS 的面积又由两部分组成，即栅极覆盖的沟道面积 ( $W \cdot L$ ) 以及源漏面积 (栅极两侧的矩形面积，每侧面积大小为

190nm\*W)。又已知 NMOS 和 PMOS 的间隔面积为 70nm\* (L+2\*190nm)，PMOS 和 NMOS 的栅长必须一致,因此我们对 PMOS 和 NMOS 的栅长( $L$ )、PMOS 的栅宽( $W_p$ )、NMOS 的栅宽( $W_N$ )建立非线性规划模型,以 51 个反相器构成的环形振荡器面积最小为目标,建立目标函数:

$$\min u = 51 \times \{[(W_p + W_N) \times L] + 2 \times 190 \times 10^{-9} \times (W_p + W_N) + 70 \times 10^{-9} \times (L + 2 \times 190 \times 10^{-9})\} \quad (19)$$

Step2. 条件约束:

### ①环形振荡器输出频率约束

根据题目要求,环形振荡器的输出频率  $f$  为 10MHZ,将式 (2) (3) (4) 代入题目所给公式  $f = 1/(2n \times t_{pd})$ ,由此建立以下约束条件:

$$\frac{1}{f} = 2n(R_{eqn} + R_{eqp})C_L \quad (20)$$

$$f = 10 \times 10^6 \quad (21)$$

其中,  $C_L$  可由式 (5) 求得,  $R_{eqp}$ 、 $R_{eqn}$  可由式 (7) 求得,  $n$  满足约束条件②。

### ②反相器个数约束

题目中规定,环形振荡器中由 51 个反相器,因此可以建立以下约束条件:

$$n = 51 \quad (22)$$

### ③晶体管栅长的范围约束

根据题意,现提供的晶体管最小栅长  $L = 60nm$ ,最大栅长  $L = 100\mu m$ ,因此我们求得的最优解对应的栅长应该在此范围内,根据这一要求,建立以下约束条件:

$$60 \times 10^{-9} \leq L \leq 100 \times 10^{-6} \quad (23)$$

### ④晶体管栅宽的范围约束:

根据题意,现提供的晶体管最小栅宽  $W = 120nm$ ,最大栅宽  $W = 100\mu m$ ,因此我们求得的最优解对应的栅宽应该在此范围内,根据这一要求,建立以下约束条件:

$$120 \times 10^{-9} \leq W_p \leq 100 \times 10^{-6} \quad (24)$$

$$120 \times 10^{-9} \leq W_N \leq 100 \times 10^{-6} \quad (25)$$

## (2) 模型建立

根据上述分析,我们以 51 个反相器构成的环形振荡器面积最小为目标,建立以下模型:

目标函数:  $\min u = 51 \times \{[(W_p + W_N) \times L] + 2 \times 190 \times 10^{-9} \times (W_p + W_N) + 70 \times 10^{-9} \times (L + 2 \times 190 \times 10^{-9})\}$



根据图 3 所示结果，很容易得到一个全局最优解，满足最优解的设计参数如表 2 所示，求得的面积最小值为  $3.0496 \times 10^{-10} m^2$ 。

表 2 环形振荡器所需面积最小时的设计参数

反相器数( $n$ )	输出频率( $f$ )	PMOS 栅宽( $W_P$ )	PMOS 栅长( $L$ )	NMOS 栅宽( $W_N$ )	NMOS 栅长( $L$ )	环形振荡器面积最小值
51	10 MHz	11.007 $\mu m$	60 nm	2.513 $\mu m$	60 nm	$3.0496 \times 10^{-10} m^2$

### 5.3 基于环形振荡器所需功耗最小的非线性规划模型

#### 5.3.1 模型的建立

##### (1) 模型准备：

##### Step1. 目标建立：

根据题意，本题需要确定晶体管的尺寸以及反相器的个数使得环形振荡器所需功耗最小。因此我们需要建立环形振荡器的功耗与题目已知变量之间的关系。查阅相关文献可知，对于一个 CMOS 反相器，其功耗由电容充放电引起的动态功耗  $P_{dyn}$ 、NMOS 与 PMOS 同时导通（过渡区）引起的功耗  $P_{dp}$  以及静态功耗  $P_{static}$  三部分组成。下面依次求解各功耗的表达式。

##### ①电容充放电引起的动态功耗 $P_{dyn}$ ：

以一个反相器为例，当负载电容  $C_L$  通过 PMOS 充电时，电源  $V_{DD}$  提供的能量一部分被 PMOS 消耗，一部分存储在  $C_L$  中。当负载电容  $C_L$  通过 NMOS 放电时，NMOS 将消耗之前存储在  $C_L$  中的能量。我们使用图 4 所示的等效电路进行分析，计算负载电容  $C_L$  通过 PMOS 充电时，电源  $V_{DD}$  提供的能量，该电路与图 1（a）中的等效电路本质相同。

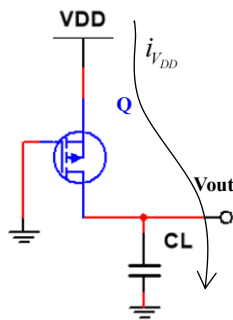


图 4 计算能耗的等效电路

因为  $i_{V_{DD}}$  与  $V_{out}$  是随时间变化的，所以在  $0 \sim dt$  的时间范围内，电源  $V_{DD}$  提供的能量微元可以表示为：

$$dE_{V_{DD}} = i_{V_{DD}}(t)V_{DD}dt \quad (26)$$

因此，负载电容  $C_L$  充电过程中电源  $V_{DD}$  提供的能量可以表示为：

$$E_{V_{DD}} = \int_0^{\infty} i_{V_{DD}}(t) V_{DD} dt \quad (27)$$

我们已知电容电流的微分公式为：

$$i(t) = C \frac{dV(t)}{dt} \quad (28)$$

将式 (21) 代入 (20)，可以计算得到负载电容  $C_L$  充电过程中电源  $V_{DD}$  提供的能量表达式，如式 (22) 所示。

$$E_{V_{DD}} = C_L V_{DD}^2 \quad (29)$$

而负载电容  $C_L$  充电过程中电源  $V_{DD}$  提供的能量中，储存在负载电容  $C_L$  中的能量可以表示为：

$$E_{C_L} = \int_0^{\infty} i_{V_{DD}}(t) V_{out} dt = \frac{1}{2} C_L V_{DD}^2 \quad (30)$$

根据式 (22) (23) 可以看出，在负载电容的一次充放电过程中，PMOS 和 NMOS 分别消耗了  $\frac{1}{2} C_L V_{DD}^2$  的能量。因此，对于一个输出频率为  $f$  的环形振荡器，由电容充放电引起的动态功耗  $P_{dym}$  可以表示为：

$$P_{dym} = n C_L V_{DD}^2 f \quad (31)$$

其中， $n$  为环形振荡器中反相器的个数。

## ②NMOS 与 PMOS 同时导通（过渡区）引起的功耗 $P_{dp}$

在理想状态下，输入波形的上升和下降时间为 0，但在实际电路中输入波形的上升和下降时间不为 0，当反相器中的 PMOS 与 NMOS 同时导通时，电源对地会有一条直流通路，如图 5 所示。

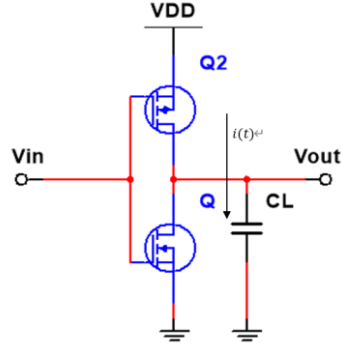


图 5 过渡区等效电路图

因此，在输入电平上升和下降期间存在直流通路能耗  $E_{dpr}$  和  $E_{dpf}$ ，且满足：

$$E_{dpr} = E_{dpf} = \int_0^{t_{sc}} i(t)V_{DD}dt = \frac{1}{2}V_{DD}I_{peak}t_{sc} \quad (32)$$

其中， $t_{sc}$  是输入电平上升（下降）的时间， $I_{peak}$  是直流脉冲的峰值。

因此，对于一个输出频率为  $f$  的环形振荡器过渡区引起的功耗  $P_{dp}$  可以表示为：

$$P_{dp} = nE_{dp}f = nV_{DD}I_{peak}t_{sc}f \quad (33)$$

其中， $n$  为环形振荡器中反相器的个数。

### ③静态功耗 $P_{static}$

在理想状态下，反相器在稳态工作时 PMOS 与 NMOS 不会同时导通，即稳态时电源与地之间没有通路不会形成通路电流，静态功耗为零。但实际电路里总有微弱的泄漏电流  $I_{static}$  流过源极或漏极与衬底之间的反偏二极管，从而产生静态功耗，如图 6 所示。

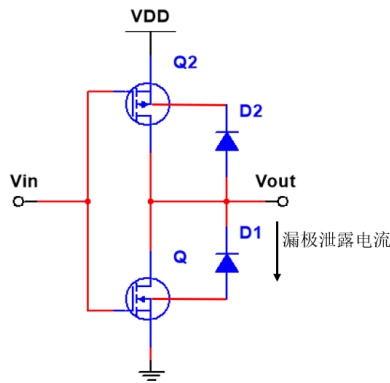


图 6 考虑漏极泄露电流的等效电路图

此时，对于一个输出频率为  $f$  的环形振荡器，其静态功耗  $P_{static}$  可以表示为：

$$P_{static} = nV_{DD}I_{static} \quad (34)$$

其中， $n$  为环形振荡器中反相器的个数。

在实际情况下，环形振荡器的总功耗应该等于三种功耗之和。但是由于在理想状态下 NMOS 与 PMOS 同时导通（过渡区）引起的功耗  $P_{dp}$  以及静态功耗  $P_{static}$  均不存在，在实际应用场景中，由 NMOS 与 PMOS 同时导通（过渡区）引起的功耗  $P_{dp}$  可以通过调整过渡区宽度控制在限定范围内，且静态功耗依然可以忽略。因此，本题在计算环形振荡器的功耗时只计算电容充放电引起的动态功耗  $P_{dym}$ 。

因此，我们以环形振荡器所需功耗最小为目标，对 PMOS 和 NMOS 的栅长（ $L$ ）、PMOS 的栅宽（ $W_p$ ）、NMOS 的栅宽（ $W_N$ ）以及反相器的个数  $n$ ，建立非线性规划模型，以环形振荡器所需面积最小为目标，建立目标函数。由式（24）可知， $P = nC_L V_{DD}^2 f$ ，将式（5）代入，即可建立目标函数：

$$\min P = n\alpha(W_p + W_N)Lf \quad (35)$$

Step2. 条件约束：

#### ①环形振荡器输出频率约束

根据题目要求，环形振荡器的输出频率  $f$  为 5MHZ，由题目所给公式  $f = 1/(2n \times t_{pd})$ ，建立以下约束条件：

$$\frac{1}{f} = 2n(R_{eqn} + R_{eqp})C_L \quad (36)$$

$$f = 5 \times 10^6 \quad (37)$$

其中， $C_L$  可由式（5）求得， $R_{eqp}$ 、 $R_{eqn}$  可由式（7）求得。

#### ②晶体管栅长的范围约束

根据题意，现提供的晶体管最小栅长  $L = 60nm$ ，最大栅长  $L = 100\mu m$ ，因此我们求得的最优解对应的栅长应该在此范围内，根据这一要求，建立以下约束条件：

$$60 \times 10^{-9} \leq L \leq 100 \times 10^{-6} \quad (38)$$

#### ③晶体管栅宽的范围约束：

根据题意，现提供的晶体管最小栅宽  $W = 120nm$ ，最大栅宽  $W = 100\mu m$ ，因此我们

求得的最优解对应的栅宽应该在此范围内，根据这一要求，建立以下约束条件：

$$120 \times 10^{-9} \leq W_p \leq 100 \times 10^{-6} \quad (39)$$

$$120 \times 10^{-9} \leq W_N \leq 100 \times 10^{-6} \quad (40)$$

## (2) 模型建立

根据上述分析，我们以 51 个反相器构成的环形振荡器所需功耗最小为目标，建立以下模型：

$$\text{目标函数: } \min P = n\alpha(W_p + W_N)Lf$$

$$\text{约束条件: } s.t. \begin{cases} \frac{1}{f} = 2n(R_{eqn} + R_{eqp})C_L \\ 60 \times 10^{-9} \leq L \leq 100 \times 10^{-6} \\ 120 \times 10^{-9} \leq W_p \leq 100 \times 10^{-6} \\ 120 \times 10^{-9} \leq W_N \leq 100 \times 10^{-6} \\ C_L = \alpha WL \\ f = 5 \times 10^6 \end{cases}$$

### 5.3.2 模型的求解

与问题二一样，本题建立的非线性规划模型仍然较为复杂，因此我们依然可以考虑使用智能优化算法求解最优解。因此，可以使用智能优化算法中的遗传算法来求解本题的结果。利用遗传算法求解目标函数的最优解的流程图如图 7 所示。

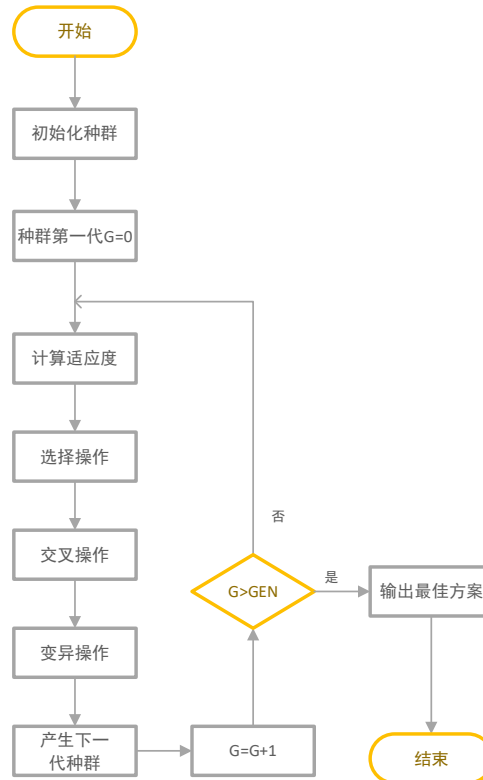


图 7 遗传算法流程图



### 5.3.3 结果分析

#### (1) 分析反相器初始值对最优反相器个数的影响

由于本题中反相器个数是未知量，因此我们改变反相器个数的初始值，将初始值从 1 不断增加到 100，利用遗传算法求解环形振荡器功耗最小时反相器的个数。不同反相器个数初值求解得到的最佳反相器个数的关系如图 8 所示。

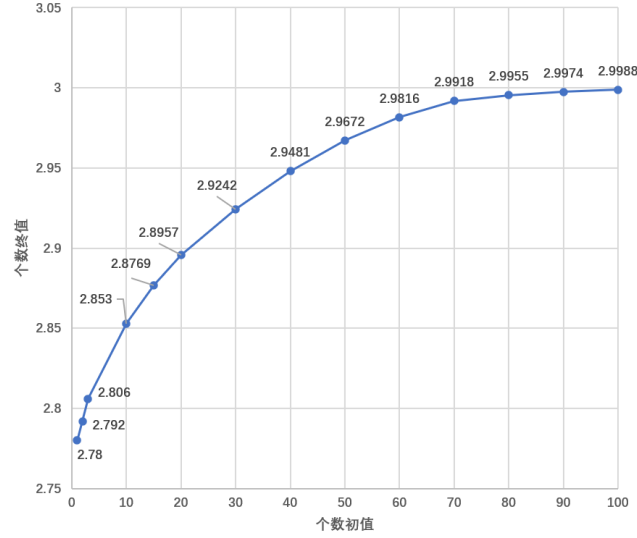


图 8 个数作为因变量的遗传算法结果图

#### (2) 最优设计方案的求解

由图 8 可知，在反相器个数的初值不断增大的过程中，利用遗传算法求解得到的反相器个数的最优解不断逼近 3。因此，环形振荡器所需功耗最小时的反相器个数为 3 个。此时，可以进一步计算出环形振荡器所需功耗最小时的 NOMS 和 PMOS 的尺寸如表 3 所示。此时，求解得到的环形振荡器所需最小功耗为  $1.31 \times 10^{-5} W$ 。

表 3 环形振荡器所需功耗最小时的设计参数

反相器数	PMOS 栅宽	PMOS 栅长	NMOS 栅宽	NMOS 栅长	最小功耗
3	181.4 nm	481.4 nm	220.6 nm	481.4 nm	$1.31 \times 10^{-5} W$

## 5.4 考虑缺陷率模型的多项目晶圆布图规划模型

### 5.4.1 模型的建立

#### (1) 建立 HQ-GVOCO 算法模型

在给定参与多项目晶圆 (MPW) 的每个芯片的长 ( $L$ ) 和宽 ( $W$ ) 以及芯片数量 ( $V$ ) 和布图最大尺寸 ( $W_{\max} \times L_{\max}$ ) 的条件下，在参考文献[2]提出的 HQ-VOCO 算法的基础上，建立了 HQ-GVOCO 算法用于求解最优布局。与 HQ-VOCO 算法相比，该模型采用式 (41) 作为模拟退火流程的代价函数。

$$\min F = \delta \sum_{p=1}^{N-1} \sum_{q=p+1}^N E_{pq} (N_p + N_q) + (1 - \delta) \beta W L \quad (41)$$

其中， $N_p$  是在缺陷率  $Y_p$  给定的情况下，确保得到  $V$  个良好工作的芯片至少需要生产的芯片数量； $\beta = (N-1) \sum_{p=1}^N N_p / (W_{\max} L_{\max})$  为常量，用以标准化代价函数。

为寻找到最优的布局，HQ-GVOCO 算法需要在 0~1 范围内变动  $\delta$  值：当  $\delta=0$  时，利用模拟退火算法找到面积最小的布局；当  $\delta=1$  时，利用模拟退火算法找到使得处于切割位置的芯片最少的布局。

## (2) 建立自适应模拟退火算法

考虑到布图尺寸存在约束条件，即布图的尺寸需要满足尺寸的最大值约束。因此，在利用模拟退火算法进行布图规划的过程中，可能存在由一个满足尺寸约束的布图 (RSC-floorplanning, RSC-FP) 向另一个 RSC-FP 转变的过程中，需要经历不满足 RSC 的中间布图。如果在选择临近布图时仅接受 RSC-FP，模拟退火算法很可能因无法遍历解空间而陷于局部最优解中。

为了解决该问题，我们建立了自适应的模拟退火算法，即在较高的温度时，给出的退火流程接受非 RSC-FP 的概率较高，而随着温度降低，退火流程将降低接受的概率。通过此方法，可以避免传统模拟退火算法很可能因无法遍历解空间而陷于局部最优解中的问题。

### 5.4.2 模型的求解

Step1. 求解第 7 个芯片所在位置可能的最大面积。

要求解第 7 个芯片所在位置可能的最大面积，我们首先利用考虑缺陷率模型的多项目晶圆布图规划模型求解得到了已知面积的 6 块芯片在晶圆上的最优布局，如图 9 所示。

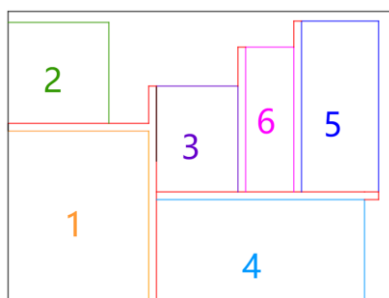


图 9 六块已知面积的芯片在晶圆上的最优布局

接下来，需要在剩余区域放置第 7 块芯片。要使得第 7 块芯片所在位置面积最大，那么其所在位置有两种可能的情况，一种是所在区域的长等于空白区域的最大长度，另一种是所在区域的宽等于空白区域的最大宽度。由此可以得到可能使得第 7 块芯片所在位置面积最大的芯片摆放位置，如图 10 (a) (b) 所示。

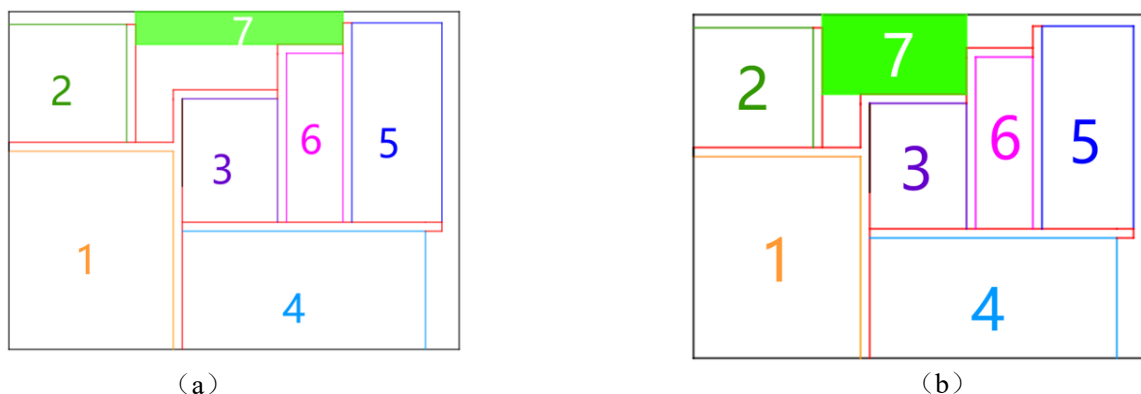


图 10 可能使得第 7 块芯片面积最大的芯片摆放示意图

通过计算可知，图 10（b）的芯片摆放方式能够使得第 7 块芯片的面积最大，最大面积为 $0.87444mm^2$ ，对应尺寸为 $1.26mm \times 0.694mm$ 。

Step2.求解在输出频率为 2KHz 时，能够使得环形振荡器功耗最小的设计方案。

与第三问的计算方法相同，我们利用遗传算法利用遗传算法求解得到在功耗最小时，环形振荡器所需功耗最小时的 NOMS 和 PMOS 的尺寸以及反相器个数如表 4 所示。此时，求解得到的环形振荡器所需最小功耗为 $9.05 \times 10^{-7}W$ 。

表 4 环形振荡器所需功耗最小时的设计参数

反相器数	PMOS 栅宽	PMOS 栅长	NMOS 栅宽	NMOS 栅长	最小功耗
3	4881 nm	6880 nm	120 nm	6880 nm	$9.05 \times 10^{-7}W$

Step3.求解在环形振荡器功耗最小时，环形振荡器可能的尺寸。

因为一个环形振荡器是由三个反相器并排首尾相连构成，因此环形振荡器的构成有两种情况，一种是以反相器的长度方向作为基准，将三个反相器进行排列，如图 11（a）所示；第二种情况是以反相器的宽度方向作为基准，将三个反相器进行排列，如图 11（b）所示。

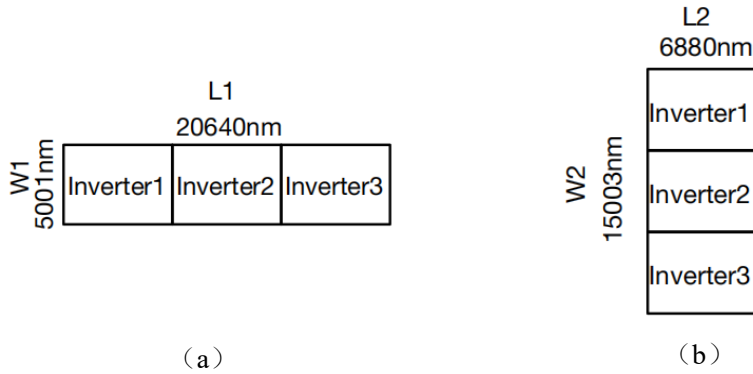


图 11 环形振荡器可能的结构

Step4.求解第 7 个芯片位置上最多可能安放的环形振荡器的个数

首先，在第 7 个芯片所在位置，对于一个确定大小的环形振荡器而言，也有两种放置的方式。因此，在求解在环形振荡器功耗最小的前提下讨论环形振荡器安放的最大个数，实际上需要考虑四种情况（两种环形振荡器的结构，每种结构又对应两种安放方式），由此我们建立以下线性规划模型进行求解：

假设组合方式一使用的个数为 $x_1$ ，组合方式二使用的个数为 $x_2$ 。

目标函数：  $\max N = x_1 + x_2$

$$\text{约束条件: } \begin{cases} S = a \times b \\ a = 1260000, b = 6940000 \\ W_1 L_1 x_1 + W_2 L_2 x_2 \leq S \\ 0 \leq x_1 \leq \left\lfloor \frac{a}{L_1} \right\rfloor \times \left\lfloor \frac{b}{W_1} \right\rfloor \\ 0 \leq x_2 \leq \left\lfloor \frac{a}{L_2} \right\rfloor \times \left\lfloor \frac{b}{W_2} \right\rfloor \end{cases} \quad \begin{cases} S = a \times b \\ a = 1260000, b = 6940000 \\ W_1 L_1 x_1 + W_2 L_2 x_2 \leq S \\ 0 \leq x_1 \leq \left\lfloor \frac{a}{L_1} \right\rfloor \times \left\lfloor \frac{b}{W_1} \right\rfloor \\ 0 \leq x_2 \leq \left\lfloor \frac{a}{W_2} \right\rfloor \times \left\lfloor \frac{b}{L_2} \right\rfloor \end{cases}$$

$$\left\{ \begin{array}{l} S = a \times b \\ a = 1260000, b = 6940000 \\ W_1 L_1 x_1 + W_2 L_2 x_2 \leq S \\ 0 \leq x_1 \leq \left\lfloor \frac{a}{W_1} \right\rfloor \times \left\lfloor \frac{b}{L_1} \right\rfloor \\ 0 \leq x_2 \leq \left\lfloor \frac{a}{L_2} \right\rfloor \times \left\lfloor \frac{b}{W_2} \right\rfloor \end{array} \right. \quad \left\{ \begin{array}{l} S = a \times b \\ a = 1260000, b = 6940000 \\ W_1 L_1 x_1 + W_2 L_2 x_2 \leq S \\ 0 \leq x_1 \leq \left\lfloor \frac{a}{L_1} \right\rfloor \times \left\lfloor \frac{b}{W_1} \right\rfloor \\ 0 \leq x_2 \leq \left\lfloor \frac{a}{W_2} \right\rfloor \times \left\lfloor \frac{b}{L_2} \right\rfloor \end{array} \right.$$

求解上述线性规划模型，可以得到第 7 个芯片位置上可以安放的环形振荡器的最大数目为 8418 个，此时环形振荡器共有 2 种安放方式，如图 12 所示。

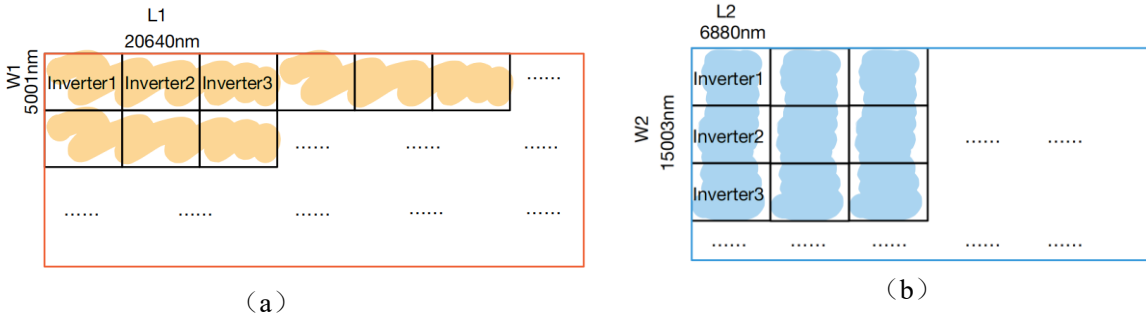


图 12 安放的环形振荡器数目最大时的排列方式

## 六、模型的评价

### 6.1 模型的优点

- 1.问题一在建立模型时使用了两种模型进行结果的计算，考虑到单个模型可能存在的误差，取两个模型结果的均值作为最终结果，减少了误差。
- 2.问题二在利用粒子群算法求解模型时，调用了搜索过程中采用自适应的邻域模式的粒子群函数 `particleswarm` 函数来求解模型的最优解，能够避免在搜索过程中陷入局部最优。同时，还考虑到粒子群算法的计算结果具有随机性，因此进行了大量重复实验，再取最优解，使得求解结果更加准确。
- 3.问题四在建模时考虑了传统模拟退火算法在该模型中运用时可能存在的陷于局部最优解中的问题，建立了自适应的模拟退火算法，避免了该问题的产生，具有创新性。

### 6.2 模型的缺点

- 1.在计算环形振荡器的功耗时忽略了 MOS 与 PMOS 同时导通（过渡区）引起的功耗  $P_{dp}$  以及静态功耗  $P_{static}$ ，因此计算结果与真实值之间可能存在一定误差。
- 2.问题二和问题三在模型求解时均采用的是启发式的算法，计算结果具有不稳定性 and 不可重现性，因此所求得的结果不一定是最优解，可能只是一个接近最优解的结果。

## 七、参考文献

- [1]汪东旭,孙艺.一种频率稳定的改进型 CMOS 环形振荡器[J].微电子学,1999(05):67-70.
- [2] Chen Y G, Tsao H W, Hwang C S. A Fast-locking All-digital Deskew Buffer with Duty-cycle Correction[J]. IEEE Transactions on Very Large Scale Integration Systems, 2012, 21(2): 1-11.
- [3]周润德, 数字集成电路——电路、系统与amp;设计, 北京: 电子工业出版社, 2004.
- [4]张腾,史峥,廖海涛.考虑缺陷率模型的多项目晶圆布图规划算法[J].计算机工程,2014,40(04):258-261+268.
- [5] Wang Lei, Lin Leibo, Chen Hongyi. An Implementation of Fast-locking and Wide-range 11-bit Reversible SAR DLL[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2010, 57(6): 421-425.
- [6] 容允祚. 低噪声 CMOS 数字锁相环设计 [D]. 电子科技大学,2022.DOI:10.27005/d.cnki.gdzku.2022.003006.
- [7] 张腾. 多项目晶圆布图规划与切割算法研究[D]. 浙江大学, 2013.
- [8] 刘皓, 景为平. 一种频率可调 CMOS 环形振荡器的分析与设计[J]. 电子器件, 2006, 29(4): 1023-1026.

## 八、附录

### 8.1 附录一：问题一两个模型求解的具体结果

表 5 和表 6 分别展示了利用基于一阶分析法的输出频率求解模型和基于频率稳定的输出频率求解模型求解得到的环形振荡器在不同设计方案下输出频率的结果。

表 5 利用模型一求解的输出频率计算表

序号	反相器个数	PMOS 宽长比	NMOS 宽长比	电源电压/V	输出频率/Hz
1	11	400n/ 100n	200n/ 100n	1.2	$2.99 \times 10^7$
2	11	800n/200n	400n/200n	1.2	$7.47 \times 10^6$
3	11	1.6u/0.4u	0.8u/0.4u	1.2	$1.87 \times 10^6$
4	31	200n/ 100n	400n/ 100n	1.2	$9.20 \times 10^6$
5	31	400n/200n	800n/200n	1.2	$2.30 \times 10^6$
6	31	0.8u/0.4u	1.6u/0.4u	1.2	$5.75 \times 10^5$
7	51	500n/ 100n	500n/ 100n	1.2	$6.74 \times 10^6$
8	51	1000n/200n	1000n/200n	1.2	$1.68 \times 10^6$
9	51	1.8u/0.3u	1.8u/0.3u	1.2	$7.49 \times 10^5$
10	99	2u/0.5u	1u/0.5u	1.2	$1.33 \times 10^5$

表 6 利用模型二求解的输出频率计算表

序号	反相器个数	PMOS 宽长比	NMOS 宽长比	电源电压/V	输出频率/Hz
1	11	400n/ 100n	200n/ 100n	1.2	$3.09 \times 10^7$
2	11	800n/200n	400n/200n	1.2	$7.73 \times 10^6$
3	11	1.6u/0.4u	0.8u/0.4u	1.2	$1.93 \times 10^6$
4	31	200n/ 100n	400n/ 100n	1.2	$9.53 \times 10^6$
5	31	400n/200n	800n/200n	1.2	$2.38 \times 10^6$
6	31	0.8u/0.4u	1.6u/0.4u	1.2	$5.95 \times 10^5$
7	51	500n/ 100n	500n/ 100n	1.2	$6.97 \times 10^6$
8	51	1000n/200n	1000n/200n	1.2	$1.74 \times 10^6$
9	51	1.8u/0.3u	1.8u/0.3u	1.2	$7.75 \times 10^5$
10	99	2u/0.5u	1u/0.5u	1.2	$1.37 \times 10^5$

## 8.2 附录二：关键代码

### 8.2.1 问题一的关键代码

#### ➤ 模型一：基于一阶分析法的输出频率求解模型

```
1. % 初始化
2. clear
3. close all
4. clc
5. %% Step1 定义初值
6. Vdd = 1.2 % Vdd -> 电源电压(单位: V)
7. Vthp = 0.398 % Vthp -> PMOS 阈值电压(单位: V)
8. Vthn = 0.42 % Vthn -> NMOS 阈值电压(单位: V)
9. Kp = 68.7134 % Kp -> PMOS 管的 K 值(单位:  $\mu\text{A}/\text{V}$ )
10. Kn = 111.6634 % Kn -> NMOS 管的 K 值(单位:  $\mu\text{A}/\text{V}$ )
11. Kp = Kp * 1e-6; % 转换单位
12. Kn = Kn * 1e-6;
13. %% Step2 输入变量
14. n = input('反相器数量 -> '); % 单位: 个
15. Wp = input('PMOS 管宽度 -> '); % 单位: nm
16. Wp = Wp * 1e-9;
17. Lp = input('PMOS 管长度 -> '); % 单位: nm
18. Lp = Lp * 1e-9;
19. Wn = input('NMOS 管宽度 -> '); % 单位: nm
20. Wn = Wn * 1e-9;
21. Ln = input('NMOS 管长度 -> '); % 单位: nm
22. Ln = Ln * 1e-9;
23. %% Step3 计算终值
24. % 计算 NMOS 时延
25. Idn = 0.5*Kn*(Wn/Ln)*(Vdd-Vthn)*(Vdd-Vthn); % 计算 NMOS 电流值
26. Rn = 0.75*(Vdd/Idn)*(1-0.7778*0.125*1e-6*Vdd); % 计算 NMOS 电阻值
27. Cn = 3.137*(Wn+Wp)*Ln; % 计算 NMOS 电容值
28. Tn = Rn*Cn*0.69; % NMOS 时延
29. % 计算 PMOS 时延
30. Idp = 0.5*Kp*(Wp/Lp)*(Vdd-Vthp)*(Vdd-Vthp); % 计算 PMOS 电流值
31. Rp = 0.75*(Vdd/Idp)*(1-0.7778*0.125*1e-6*Vdd); % 计算 PMOS 电阻值
32. Cp = 3.137*(Wp+Wn)*Lp; % 计算 PMOS 电容值
33. Tp = Rp*Cp*0.69; % PMOS 时延
34. % 计算频率
35. Tpd = (Tp+Tn)/2;
36. f = 1/(2*n*Tpd);
```

#### ➤ 模型二：基于频率稳定的输出频率求解模型

```
1. % 初始化
2. clear
3. close all
4. clc
```

```

5. %% Step1 定义初值
6. Vdd = 1.2 % Vdd -> 电源电压(单位: V)
7. Vthp = 0.398 % Vthp -> PMOS 阈值电压(单位: V)
8. Vthn = 0.42 % Vthn -> NMOS 阈值电压(单位: V)
9. Kp = 68.7134 % Kp -> PMOS 管的 K 值(单位:  $\mu\text{A/V}$ )
10. Kn = 111.6634 % Kn -> NMOS 管的 K 值(单位:  $\mu\text{A/V}$ )
11. Kp = Kp * 1e-6; % 转换单位
12. Kn = Kn * 1e-6;
13. %% Step2 输入变量
14. n = input('反相器数量 -> '); % 单位: 个
15. Wp = input('PMOS 管宽度 -> '); % 单位: nm
16. Wp = Wp * 1e-9;
17. Lp = input('PMOS 管长度 -> '); % 单位: nm
18. Lp = Lp * 1e-9;
19. Wn = input('NMOS 管宽度 -> '); % 单位: nm
20. Wn = Wn * 1e-9;
21. Ln = input('NMOS 管长度 -> '); % 单位: nm
22. Ln = Ln * 1e-9;
23. %% Step3 计算终值
24. % 计算上升时延
25. Cp = 3.137 * (Wp+Wn)*Lp; % 计算 PMOS 电容值
26. Beta_p = (Wp/Lp)*Kp; % 计算 PMOS  $\beta$  值
27. Tr = (Vdd*Cp)/(Beta_p*(Vdd-Vtp)*(Vdd-Vtp));
28. % 计算上升时延
29. Cn = 3.137 * (Wp+Wn)*Ln; % 计算 NMOS 电容值
30. Beta_n = (Wn/Ln)*Kn; % 计算 NMOS  $\beta$  值
31. Tf = (2*Vdd*Cn)/(Beta_n*(Vdd-Vtn)*(Vdd-Vtn));
32. % 计算频率
33. Tpd = (Tr+Tf)/2;
34. f = 1/(2*n*Tpd)

```

### 8.2.2 问题二的关键代码

```

1. clear; clc
2. t = zeros(10^3,3);
3. S = zeros(10^3,1);
4. F = zeros(10^3,1);
5. % 第一步: 规定常量
6. Vdd = 1.2;% Vdd 为电源电压 (单位: V)
7. Vtp = 0.398;% Vtp 为 PMOS 电压 (单位: V)
8. Vtn = 0.42;% Vtn 为 NMOS 电压 (单位: V)
9. Kp = 68.7134 ;% PMOS 管的 K 值 (单位:  $\mu\text{A/V}$ )
10. Kp = Kp * 1e-6;
11. Kn = 111.6634; % NMOS 管的 K 值 (单位:  $\mu\text{A/V}$ )
12. Kn = Kn * 1e-6;
13. lamda = 0.125*1e-6;

```



```

14. for i = 1:10^3
15.     narvs = 3;
16.     % 使用粒子群算法，不需要指定初始值，只需要给定一个搜索的范围
    lb = [60*1e-9 120*1e-9 120*1e-9]; ub = [100*1e-6 100*1e-6 100*1e-6];
17.     options = optimoptions('particleswarm','FunctionTolerance',1e-
        12,'MaxStallIterations',100,'MaxIterations',100000,'SwarmSize',100);
18.     [x, fval] = particleswarm(@Obj_fun,narvs,lb,ub,options)
19.     S(i,:) = 51*((x(2)+x(3))*x(1)+2*190*1e-9*(x(2)+x(3))+70*1e-
        9*(x(1)+2*190*1e-9));
20.     t(i,:) = x;
21.     F(i) = 1/(3.137*0.69*1.5*Vdd*51*x(1)*x(1)*(1-
        0.7778*lamda*Vdd)*(1/(Kp*(Vdd-Vtp)*(Vdd-Vtp))*(1+x(3)/x(2))+1/(Kn*(Vdd-
        Vtn)*(Vdd-Vtn))*(1+x(2)/x(3))));
22. end
23. count = 1;
24. for i = 1:1e3
25.     if S(i) > 3*1e-10
26.         In(count)=i;
27.         count = count+1;
28.     end
29. end
30. m = size(In,2);
31. Ss = zeros(m,1);
32. L = zeros(m,3);
33. for j = 1:m
34.     Ss(j) = S(In(j));
35.     L(j,:) = t(In(j),:);
36. end
37. Smindex = find(Ss==min(Ss));
38. Smin = Ss(Smindex)
39. Length = L(Smindex,:).*1e+9
40. Fre = 1/(3.137*0.69*1.5*Vdd*51*L(Smindex,1)*L(Smindex,1)*(1-
        0.7778*lamda*Vdd)*(1/(Kp*(Vdd-Vtp)*(Vdd-
        Vtp))*(1+L(Smindex,3)/L(Smindex,2))+1/(Kn*(Vdd-Vtn)*(Vdd-
        Vtn))*(1+L(Smindex,2)/L(Smindex,3))));
41. disp('AreaLeast(m2):');disp(Smin)
42. disp('L Wp Wn:(nm)');disp(Length)
43. disp('此时 Frequency: (MHz)');disp(Fre/1e6)

```

### 8.2.3 问题三的关键代码

✓ 主函数：

```

1. % 初始化
2. clear
3. close all

```

```

4. clc
5. % 规划
6. % 决策变量: Wp Lp Wn Ln
7. % 约束条件: 120 <= Wp <= 100 000
8. %          60 <= Lp <= 100 000
9. %          120 <= Wn <= 100 000
10.%          60 <= Ln <= 100 000
11.%          Lp = Ln
12.%          f = 5MHz
13.min_p = @(data) data(5) * 5 * 1e6 * 1.2 * 1.2 * 3.137 * (data(1)+ data(3)
    )) * data(2) * 1e-18; % 目标函数: min_p = n * C * f * Vdd * Vdd
14.lb = [120,60,120,60]; % 左边界
15.ub = [100000,100000,100000,100000]; % 右边界
16.x0 = [182,500,220,500,100]; %初始值
17.
18.[x,y]=fmincon(min_p,x0,[],[],[],[],lb,ub,@inherit)

```

✓ 遗传算法:

```

1. function [ans,ceq]=inherit(data)
2. %% step1 定义初值
3. Vdd = 1.2 % Vdd 为电源电压 (单位: V)
4. Vthp = 0.398 % Vthp 为 PMOS 阈值电压 (单位: V)
5. Vthn = 0.42 % Vthn 为 NMOS 阈值电压 (单位: V)
6. Kp = 68.7134*1e-6 % PMOS 管的 K 值 (单位: A/V)
7. Kn = 111.6634*1e-6 % NMOS 管的 K 值 (单位: A/V)
8. %% step2 计算中间
9. C = 3.137 * (data(1)+data(3)) * data(2) * 1e-18;%计算电容值
10.% 上升沿
11.Idn = 0.5*Kn*(data(1)/data(2))*(Vdd-Vthn)*(Vdd-Vthn);%NMOS 电流值
12.Rn = 0.75*(Vdd/Idn)*(1-0.7778*0.125*1e-6*Vdd);%NMOS 电阻值
13.Tr = Rn*C*0.69;%计算上升沿
14.% 下降沿
15.Idp = 0.5*Kp*(data(3)/data(4))*(Vdd-Vthp)*(Vdd-Vthp);
16.Rp = 0.75*(Vdd/Idp)*(1-0.7778*0.125*1e-6*Vdd);
17.Tf = Rp*C*0.69;
18.
19.%% step3 计算最终值
20.Tpd = (Tr+Tf)/2 %最终时延
21.f = 1/(2*data(5)*Tpd) %最终频率
22.ans=[];
23.ceq = [5*1e6-f,data(2)-data(4)];
24.end

```

#### 8.2.4 问题四的关键代码

✓ 主函数:

```

1. % 清空环境变量

```

```

2. clear
3. close all
4. clc
5. % 规划
6. % 决策变量: Wp Lp Wn Ln
7. % 约束条件: 120 <= Wp <= 100 000
8. %           60 <= Lp <= 100 000
9. %           120 <= Wn <= 100 000
10.%           60 <= Ln <= 100 000
11.%           Lp = Ln
12.%           一个等式令 f = 2KHz
13.f = 5 * 1e6
14.m = @(data) data(5) * 2 * 1e3 * 1.2 * 1.2 * 3.137 * (data(1)+ data(3)) *
    data(2) * 1e-18;
15.lb = [120,60,120,60];
16.ub = [100000,100000,100000,100000];
17.x0 = [182,500,220,500,3];
18.
19.[x,y]=fmincon(m,x0,[],[],[],[],lb,ub,@question4_f)
✓ 子函数:
1. function [ans,ceq]=question4_f(data)
2. %% step1 定义初值
3. Vdd = 1.2 % Vdd 为电源电压 (单位: V)
4. Vthp = 0.398 % Vthp 为 PMOS 阈值电压 (单位: V)
5. Vthn = 0.42 % Vthn 为 NMOS 阈值电压 (单位: V)
6. Kp = 68.7134*1e-6 % PMOS 管的 K 值 (单位: A/V)
7. Kn = 111.6634*1e-6 % NMOS 管的 K 值 (单位: A/V)
8. %% step2 计算中间
9. C = 3.137 * (data(1)+data(3)) * data(2) * 1e-18;%计算电容值
10.% 上升沿
11.Idn = 0.5*Kn*(data(1)/data(2))*(Vdd-Vthn)*(Vdd-Vthn);%NMOS 电流值
12.Rn = 0.75*(Vdd/Idn)*(1-0.7778*0.125*1e-6*Vdd);%NMOS 电阻值
13.Tr = Rn*C*0.69;%计算上升沿
14.% 下降沿
15.Idp = 0.5*Kp*(data(3)/data(4))*(Vdd-Vthp)*(Vdd-Vthp);
16.Rp = 0.75*(Vdd/Idp)*(1-0.7778*0.125*1e-6*Vdd);
17.Tf = Rp*C*0.69;
18.%% step3 计算最终值
19.Tpd = (Tr+Tf)/2 %最终时延
20.f = 1/(2*data(5)*Tpd) %最终频率
21.ans=[];
22.ceq = [2*1e3-f,data(2)-data(4),mod(data(5),2)-1];
23.end

```