指令集

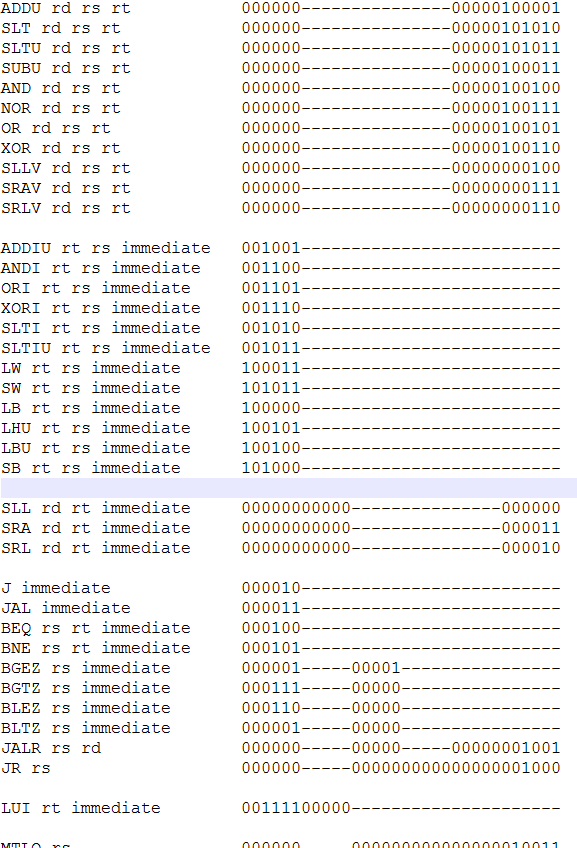
实验指导文档

ADDIU ADDU SLT SLTI SLTIU SLTU SUBU MULT MFLO MFHI MTLO MTHI BEQ BGEZ BGTZ BLEZ BLTZ BNE J JAL JALR JR LW SW LB LBU LHU SB AND ANDI OR ORI NOR LUI XOR XORI SLL SLLV SRA SRAV SRL SRLV SYSCALL ERET MFC0 MTC0 TLBWI

共47条

部分指令考虑中

本周工作研究指令集特点，参考往届代码，完成取码、译码操作，构思ALU等部件



流水线3段

IFID（已完成，尚未严格测试）

EXMEM

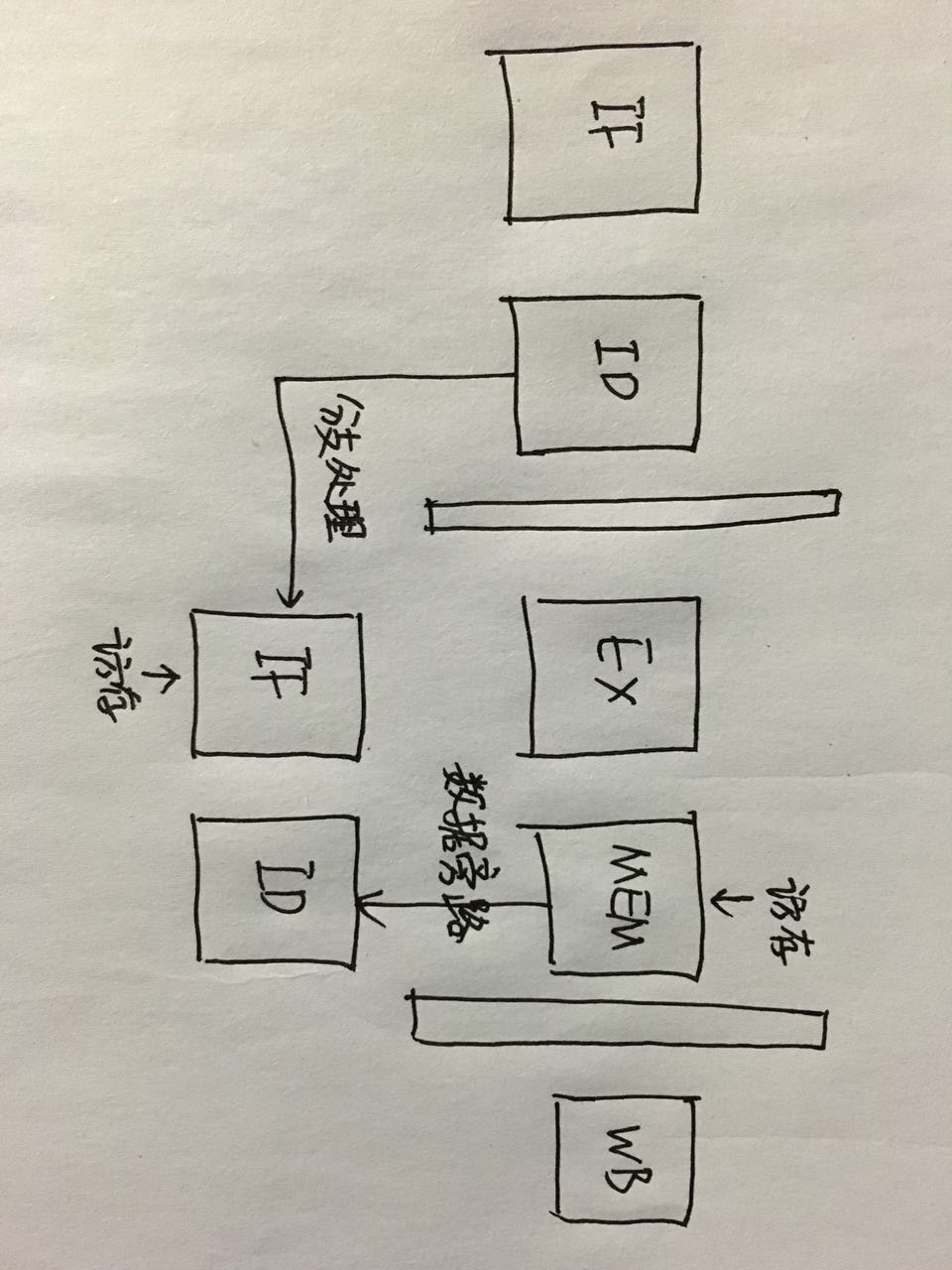
WB

相比多周期

加速比2.5

相比五段流水线

分支预测、访存冲突、数据冲突



ALU思路：使用VHDL原生的+, -, \*, sll等操作

MEM思路：和IF段访存类似，没有结构冲突，为ID段提供数据旁路

WB思路：写回寄存器与ID段读取寄存器类似

寄存器HI和LO没有涉及访存操作，所以保存在EX段中，不用使用旁路