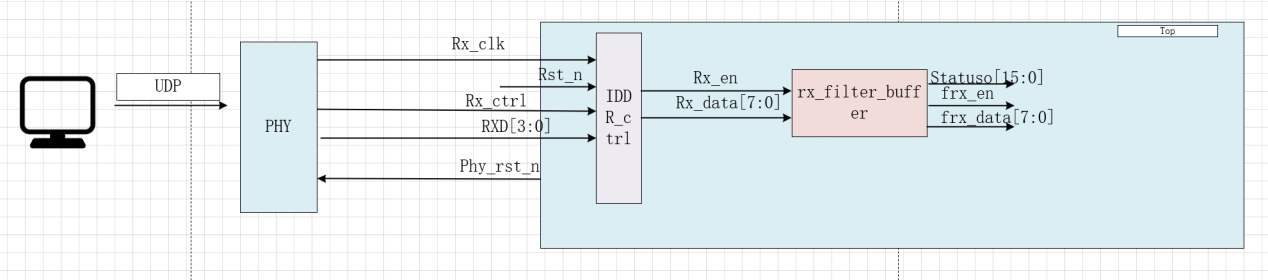
**UDP 以太网包结构**



# PHY-FPGA我们需要做什么？

我们的phy网卡将会通过RMGII发包给FPGA，下图是PHY与FPGA之间RMGII协议的结构



我们将通过IDDR\_ctrl模块对双沿触发的4位数据转换成单沿触发的8位数据发送给rx\_filter\_buffer模块，rx\_filter\_buffer模块会过滤不是我们的报文或者不是UDP协议的报文

IDDR\_ctrl: 双沿触发的4位数据转换成单沿触发的8位数据

Rx\_filter\_buffer: 在此模块中需要将上述模块的功能整合，首先需要过滤报文，之后输出有效的报文，Rx\_filter\_buffer有两个fifo，buffer和sta，buffer是用来存储报文的Sta是用来存储检测信息，如果检测信息正确就将报文发送，如果不正确就丢弃



等板卡到了之后还有Rx\_filter\_buffer部分需要上板测试，顶层已经例化好，只需要将烧写板卡之后使用matlab发送udp报文即可。

总体架构

****

|  |  |
| --- | --- |
| 模块 | 功能 |
| IDDR\_ctrl | 双沿触发的4位数据转换成单沿触发的8位数据 |
| Rx\_filter\_buffe | 此模块中需要将上述模块的功能整合，首先需要过滤报文，之后输出有效的报文，Rx\_filter\_buffer有两个fifo，buffer和sta，buffer是用来存储报文的Sta是用来存储检测信息，如果检测信息正确就将报文发送，如果不正确就丢弃 |
| Get\_image\_pixel | 从报文中提取出数据 |
| bit8to128 | 将八位数据转换成128。因为我们使用的ddr3中每次存储128位数据 |
| Timer | 每一秒产生一个脉冲 |
| Gen\_frame\_ctrl | 产生除验证位以外的UDP报文数据 |
| Checksum\_ctrl | 产生ip和udp验证数据 |
| Crc\_ctrl | 产生crc验证数据 |
| Oddr\_ctrl | 单沿触发的8位数据转换成双沿触发的4位数据 |