

# 面向实时控制应用的 RISC-V架构DSP处理器

FDMTEK 中科本原

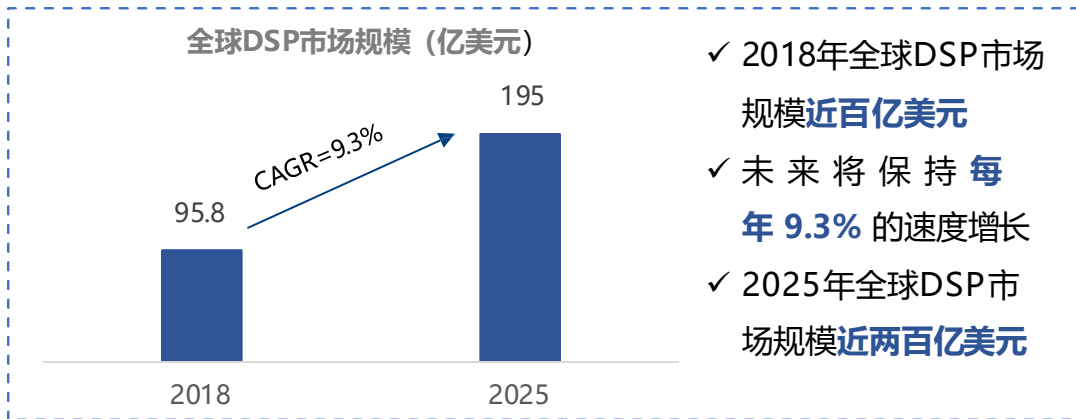


RISC-V Summit China 2024 Short  
Talk

# DSP作为信息产业的核心芯片，应用领域广阔

DSP芯片是一种专门针对数字信号处理优化设计的高性能微处理器，可快速实现各种数字信号处理算法，在处理FFT、矩阵运算、滤波等运算时具有极高的性能功耗比，是信号处理系统的核心芯片。

- ✓ DSP芯片结构复杂、设计难度大，与CPU、GPU和FPGA共称“高端芯片四大件”
- ✓ 具有自己独特的优势：
  - 灵活可编程
  - 更低成本
  - 更高计算效能
  - 强实时性



资料来源：半导体协会、TI 2018年报、Market Study Report LLC、WIND

应用  
领域



**多媒体及通讯**  
基站、手持终端等



**工业控制**  
电机控制、继电器控制等



**新能源**  
光伏交变、逆变器、储能等



**电动汽车**  
电机控制、多媒体等



**语音图像**  
语音处理、图像处理等



**消费电子**  
数字电视、手机、大家电等

# 超百亿市场规模DSP严重依赖进口，亟待全面自主可控

DSP作为高端芯片四大件之一，全面实现自主可控是必然趋势。

DSP芯片与IP严重依赖进口

系统	设备	核心芯片	国产率
计算机系统	服务器	CPU	<0.5%
	个人电脑	CPU/GPU	<0.5%
	工业应用	CPU	10%
通用电子系统	可编程逻辑设备	FPGA/CPLD	1%
	数字信号处理设备	DSP	<0.5%
	嵌入式系统	Embedded CPU	10%
通信装备	移动通信终端	Application Processor	23%
		Communication Processor	25%
		Embedded CPU/GPU	<0.5%
	核心网络设备	Embedded DSP	<0.5%
		NPU	15%
储存设备	半导体储存器	DRAM	<0.5%
		Nand Flash	<0.5%
		Nor Flash	12%
显示及视频系统	高清电视/智能电视	图像处理器	15%
		显示驱动	8%

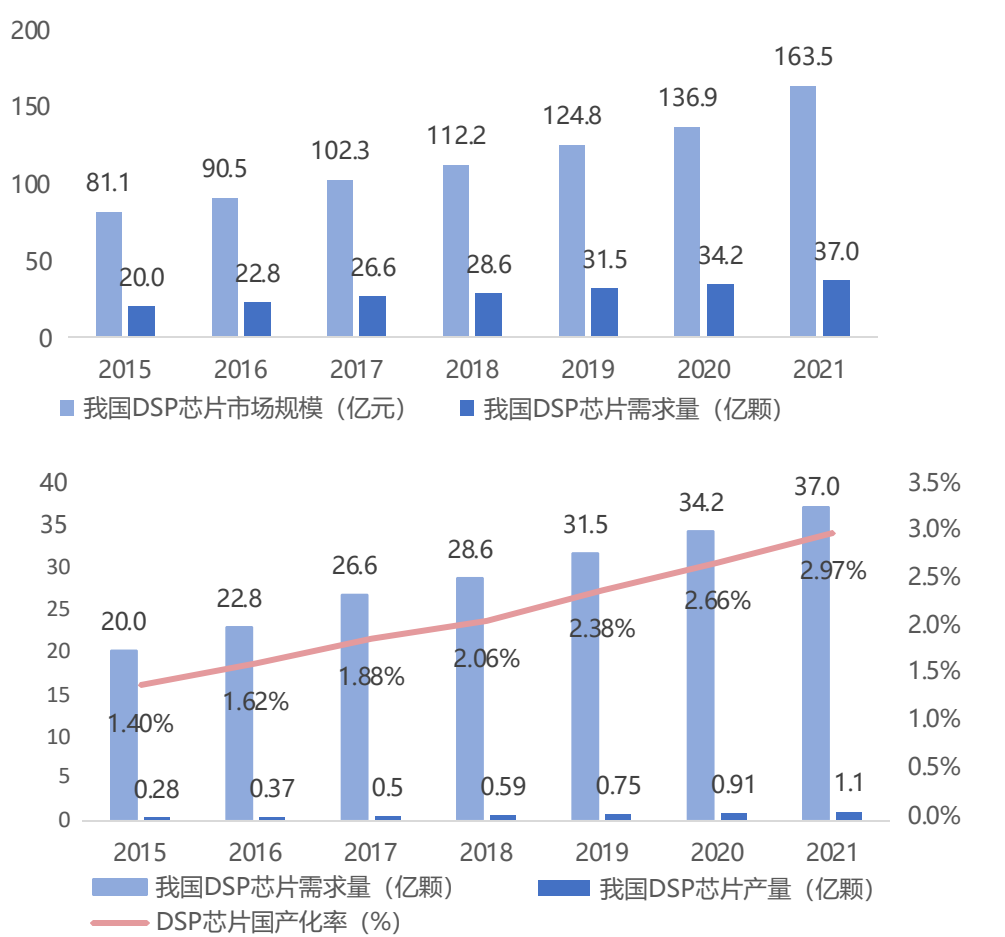
DSP芯片主要提供商



DSP IP主要提供商



我国DSP市场超过百亿元



数据来源：央视财经，智研咨询，新思界产业研究中心

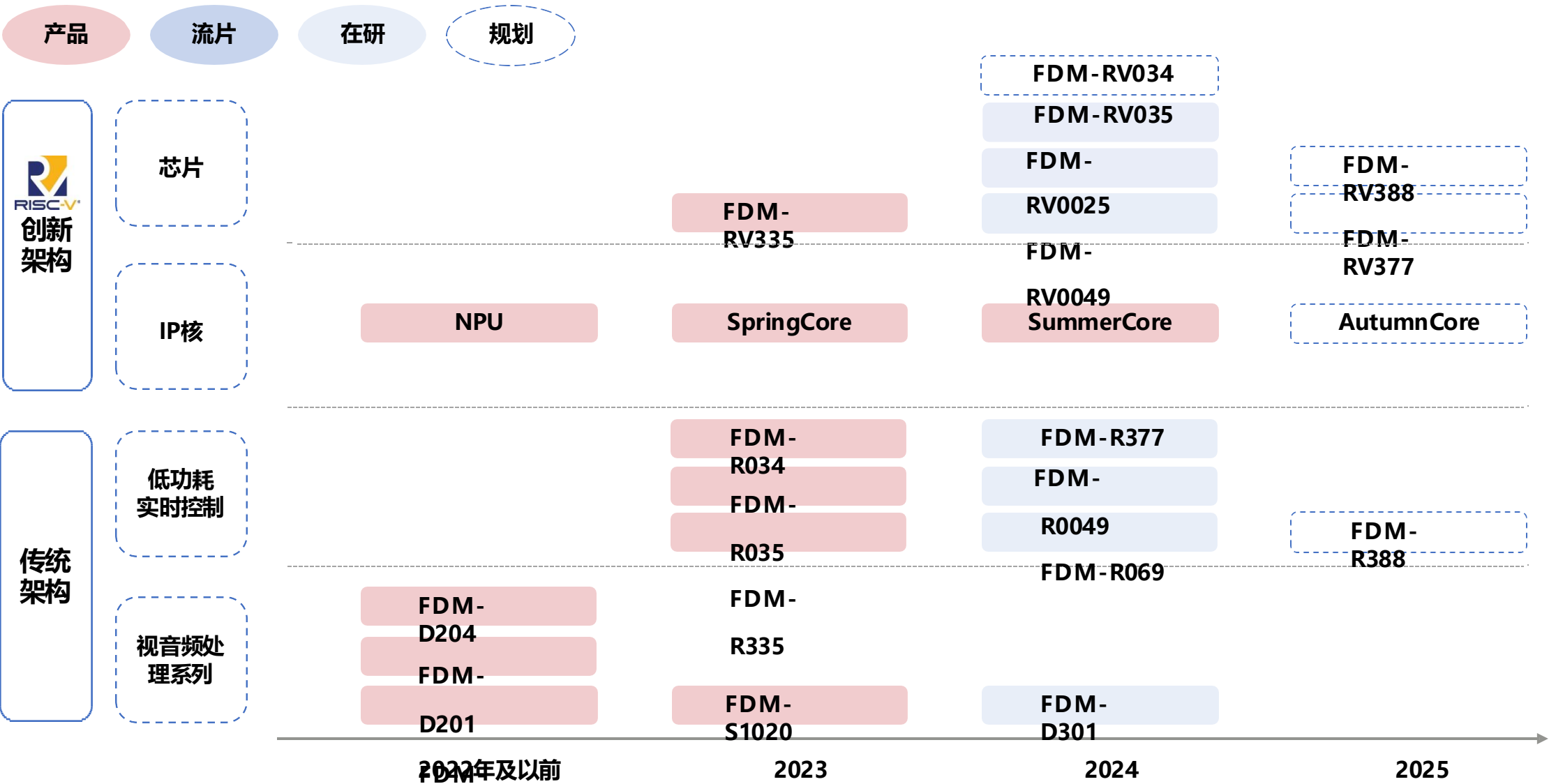


# 中科本原简介

- ✓ 源于DSP国家队中科院自动化研究所，为数字信号处理器DSP芯片供应商。
- ✓ 采用自主创新架构，面向工业控制、新能源、电动汽车、家电和轨道交通等领域。
- ✓ 提供具有国际竞争力的DSP产品和解决方案，致力于成为全球一流的DSP企业。



# 产品路线图：从内核到芯片的完整系列化DSP矩阵，覆盖传统架构及自主创新

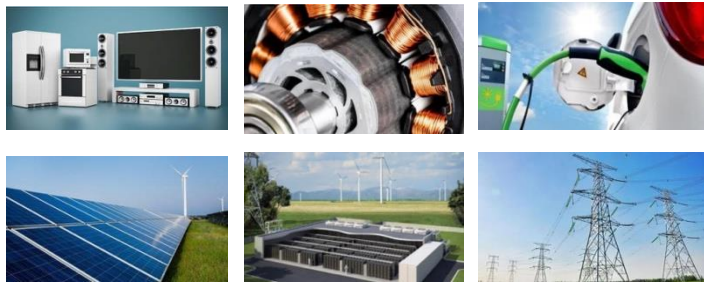


注：芯片按流片节点，IP核按测试完成节点

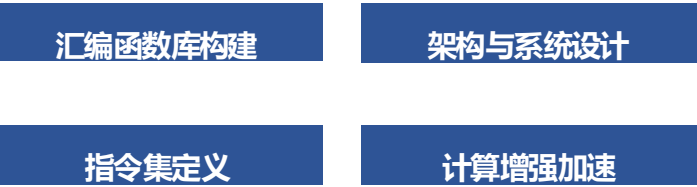
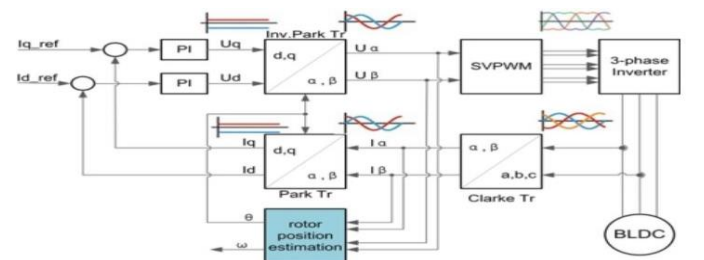
# RISC-V架构DSP技术路线

## 需求端：应用领域调研分析

### 应用场景

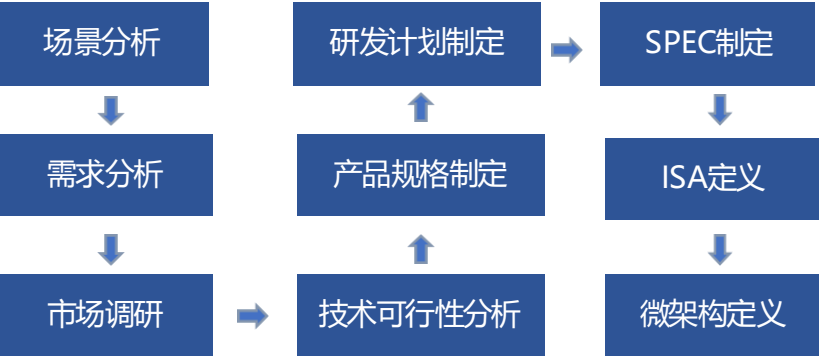


### 实时控制领域函数



## 研发端：软硬件设计流程

### 从应用场景到体系结构



### 自研标准化硬件设计流程



Hardware Design Flow

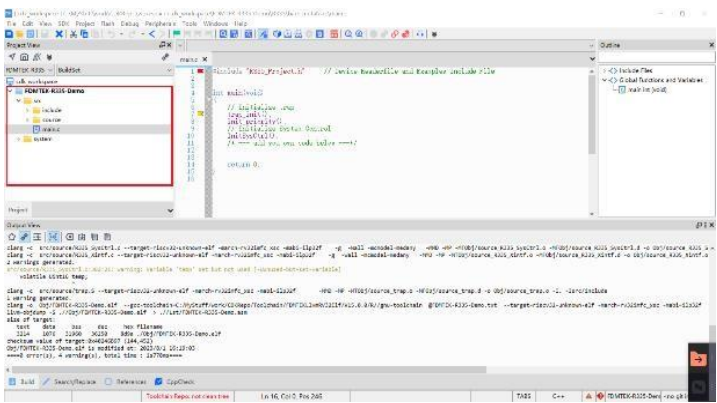
### 自研标准化软件设计流程



Software Design Flow

## 用户端：软硬件生态

### 集成开发环境及软件工具链



### 系统级与芯片级安全



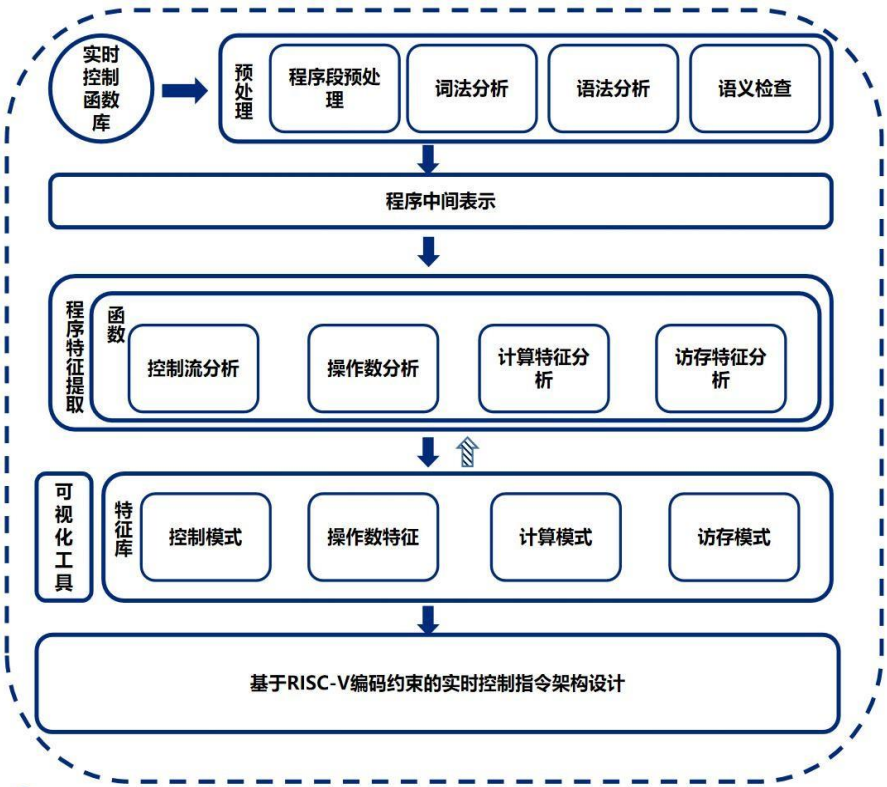
双区域代码安全

### 调试生态



# 实时控制领域算法库

函数类别	函数描述	函数功能
FastRTS	三角函数、log数学运算	用于加速基础数学类型运算
Fixpoint/FFT	定点FFT相关算法	用于32位的步倒序、步计算、虚实部分离等定点运算操作
Fixpoint/Filter	定点滤波算法	用于16与32位FIR滤波函数运算
FPU32/FFT	32位浮点FFT算法	用于32位的步倒序、步计算、虚实部分离等浮点运算操作
FPU32/filter	浮点滤波类算法	用于16与32位FIR滤波函数浮点运算
FPU32/vector	向量类型运算	用于乘累加等向量类型运算



## 面向领域优化的目标与意义：

- ❑ 优化程序所调用算法的性能：扩展指令集编写汇编函数库，通过**调度指令与优化控制流**，可以提升算法库性能。
- ❑ 基于算法库进行指令扩展设计：面向领域的算法库包含**数据格式**以及**运算、控制、访存**类操作的规律。对于RISC-V架构指令扩展起到关键作用。

# SummerCore：指令集定义

面向**工业控制、新能源**等应用领域，结合领域计算需求，将RISC-V架构与DSP技术相结合，自定义扩展指令集。

应用场景的深刻理解



RISC-V基础指令集



DSP扩展指令集

DSP设计核心技术体系

指令集组成	解释	版本号	数量
RV32I	32位基本整数指令集	2.1	52
M	标准整数乘法和除法扩展	2.0	8
A	标准原子指令扩展	2.1	11
F	标准单精度浮点扩展	2.2	26
C	标准压缩指令扩展	2.0	31
B	标准位操作扩展	1.0	32
DSP Ext	自定义信号处理扩展	1.0	236
TMU Ext	自定义三角函数扩展	1.0	
CRC Ext	自定义循环冗余校验扩展	1.0	
Viterbi Ext	自定义维特比扩展	1.0	
Complex Math Ext	自定义复数计算扩展	1.0	
FINTDIV Ext	自定义快速除法扩展	1.0	



# SummerCore：指令集定义

## □ 计算类扩展指令

分类	功能	指令
DSP计算类扩展指令	饱和运算	SADD/SSUB/KABSW
	乘累加运算	DMAC/MPYA/MPYS/QMPYA/QMPYS
	位反运算	BITREV/BITREVI
	移位运算	ASR64I/ASR64/LSL64I/LSL64/LSR64I/LSR64
TMU快速除法	除法/取模	MDIV/MREM/EDIV/EREM/DIVREM/MDIVREM
	$\pi$ 运算	MPY2PIF32/DIV2PIF32
	三角函数	SINPUF32/COSPUF32/ATANPUF32/QUADF32
	指/对数	IEXP2F32/LOG2F32
VCU计算类	VCU基础运算	VASHL32/VASHR32/VBITFLIP/VLSH32等xxxx
	复数FFT运算	VCFFT1/2/3/4/5/6/7/8/9/10
	有限域	VGFACC.I/VGFACC/VGFADD4/VGFMAC4/VGFM PY4
	复数/复数共轭	VCADD/VCCMAC/VCFLIP/VCMAC等
	分支度量/维特比蝶形运算度量	VITBM2/VITBM3/VITDHADDSUB等
VCU寄存器	VRF寄存器操作	VSETSHR(L)/VSATON/VRNDON等
VCRC	VCRC指令	VCRC8/VCRC16P1/VCRC16P2/VCRC24/VCRC32等

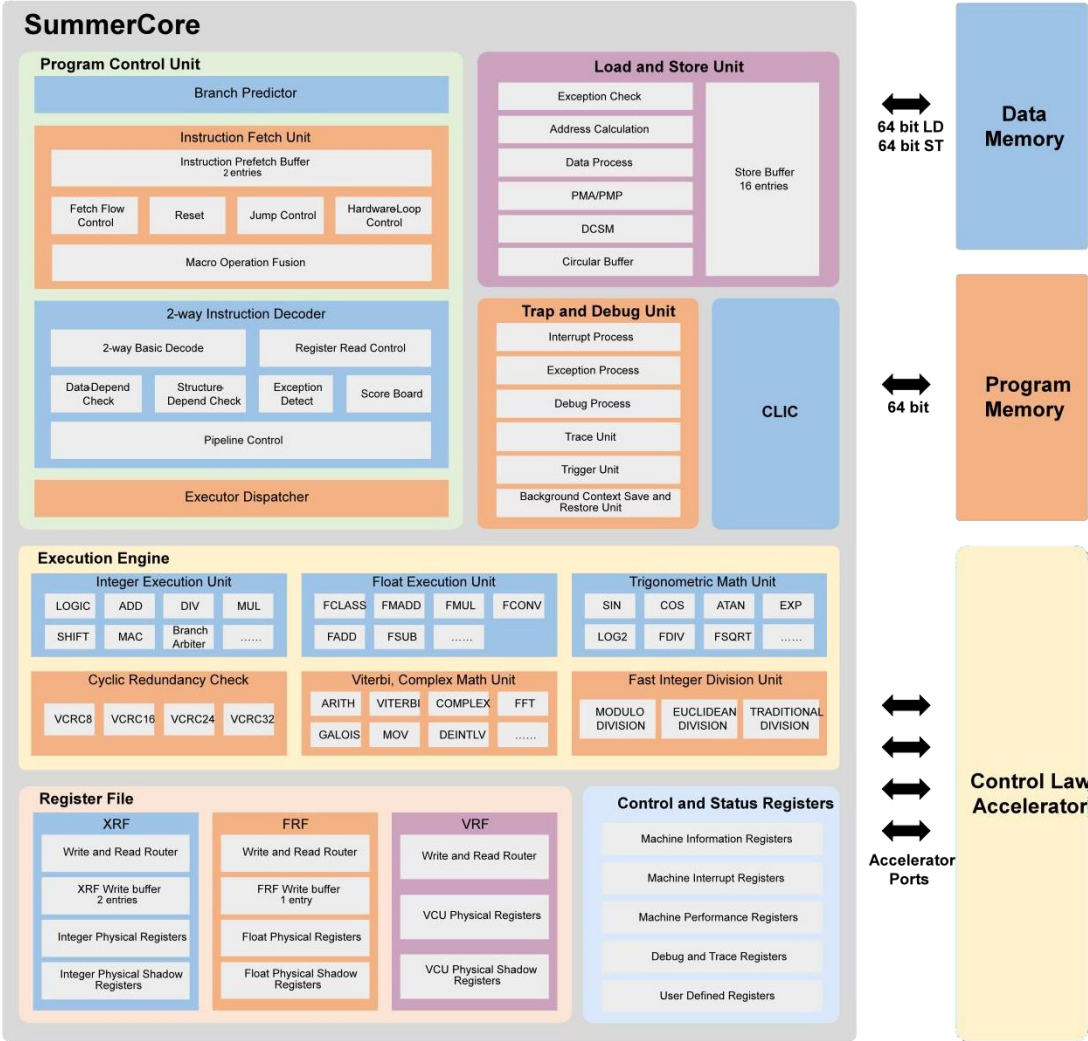
## □ 访存类扩展指令

分类	功能	指令
DSP计算类扩展指令	后增访存 (Load)	{LB/LH/LW/LD64/LBU/LHU/FLD64/FLW}.P M
	后增访存 (Store)	{SB/SH/SW/SD64/SBU/SHU/FSD64/FSW}.P M
	循环访存	{LW/SW/FLW/FSW/LD64/ST64/等
VCU访存类	VCU访存	VLD16/VLD32/VSMINIT/VGFINIT等
外设增强指令	读-运算-写指令	OR.B/OR.H/OR.W/AND.B/AND.H/AND.W

## □ 流水线控制类扩展指令

分类	功能	指令
跳转扩展	位比较跳转	BBEQZ/BBNEZ
循环扩展	零开销循环	RPTB/RPTBI

# SummerCore：微架构

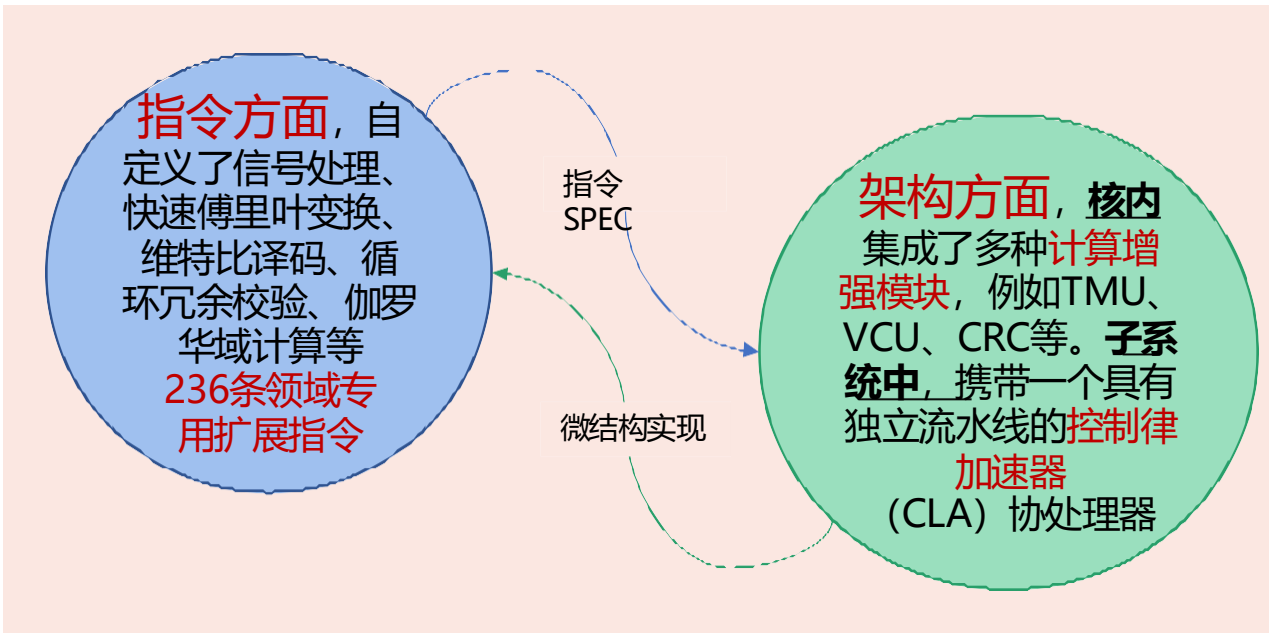


## 基本概况

SummerCore™是本原第二代RISC-V架构的32位浮点DSP处理器内核

指令集支持	RV32IMAFCB-Ext
流水线	静态双发射七级流水线
工作频率	500MHz@40nm
峰值计算性能	2000MIPS

## 领域专用优化



## 内核特性

### 流水线

- 解耦合的静态双发射七级流水线结构
- 高效细粒度指令FIFO
- 基于GSHARE two-level的分支预测器
- 零开销硬件循环
- 多种常用模式的指令融合
- 访存和运算双发，不同功能部件双发执行

### 加速器

- 专用计算增强部件（FXU、TMU、VCU、CRC、FID）
- 独立的控制律加速器CLA

## 子系统特性

### 访存

- 片上集成ROM、RAM、FLASH等多种存储资源
- 可定制大小、紧密耦合的存储器TCM（指令和数据）
- 多访存口并发
- 高带宽（64bit）访存

### 中断

- 快速响应的增强型ELIC中断机制
- 中断咬尾
- 晚到中断
- 中断嵌套
- 精确异常

### 多核

- 高并发支持原子操作的总线接口
- 遵循RVWMO一致性协议的多核交互系统弱

## 调试、性能与安全特性

### 调试

- 支持RV Debug 0.13.2规范的调试机制
- 支持两个硬件断点
- 四线JTAG调试
- 自定义Trace功能

### 安全

- 双区域代码安全模块

### 性能

- 符合RISC-V特权标准的硬件性能监视器
- 提供微结构级别的性能瓶颈分析能力

# 内核特性

## 指令融合

- 友商的指令架构用一条指令完成加法运算
- RISC-V32I用两条或三条指令指令完成。
- 通过SummerCore高效的细粒度指令FIFO，动态地进行指令融合
- 减少指令数，提升代码密度

la/lla rd, symbol	auipc + addi
la/lga rd, symbol	auipc + l{w/d}
l{bu/hu/wu} rd, symbol	auipc + l{bu/hu/wu}
s{b/h/w/d} rd, symbol, rt	auipc + s{b/h/w/d}
fl{w/d} rd, symbol, rt	auipc + fl{w/d}
fs{w/d} rd, symbol, rt	auipc + fs{w/d}
nop	addi zero
call / tail offset	auipc + jalr

## 友商指令

#ADD No.1  
ADD ACC, #16bit<<#0..15  
(ACC = ACC + S/0 : 16bit<<shift value)

#ADD No.2  
ADD AX, loc16  
(AX = [loc16] +

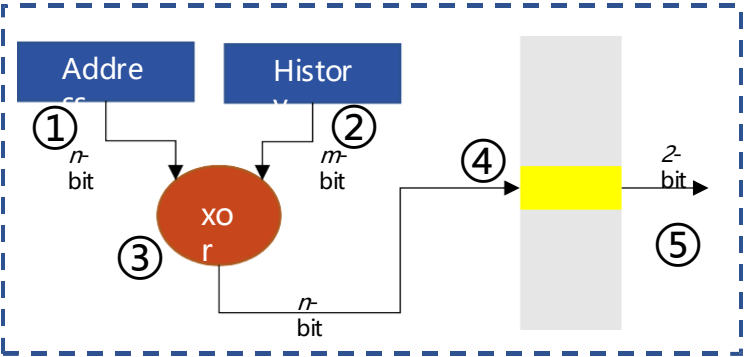
## RISC-V(I)基础指令

#ADD No.1  
lw rd, offset(rs1) slli rd, rs1, shamt add rd, rs1, rs2

#ADD No.2  
lh rd, offset(rs1) add

## 基于GSHARE的两级分支预测器

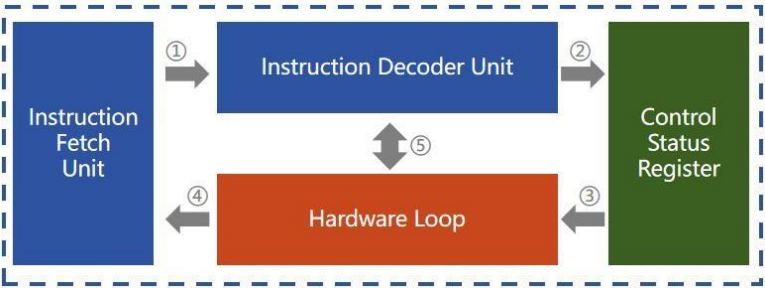
提高标准及本原自定义扩展指令集的分支指令跳转预测准确性



- ①: 指令PC地址
- ②: m位的实际跳转全局历史
- ③: 二者进行异或操作
- ④: 使用地址与跳转历史信息索引二级历史表
- ⑤: 生成2位预测结构表示分支预测概率

## 零开销循环取指

处理器拥有零开销支持硬件循环的能力



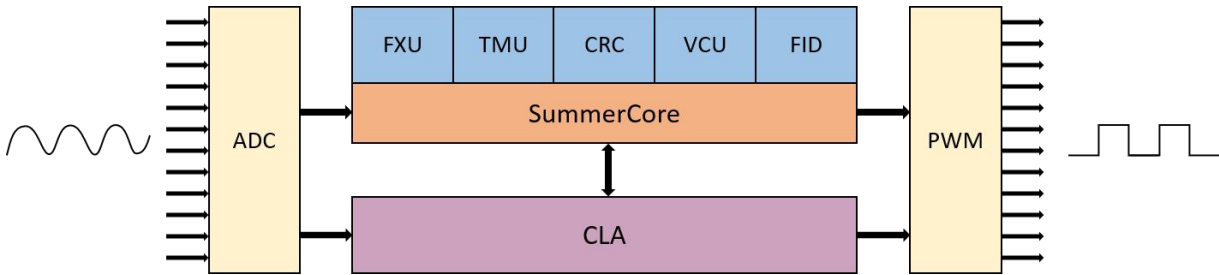
- ①: 取指令数据传输
- ②: RPTB信息存储至状态寄存器
- ③: HardwareLoop模块读取信息
- ④: 流水线控制器信息同步
- ⑤: 循环数据发送至取指令模块



# 计算增强模块

实时控制系统需要**快速高效的处理能力**、**极小延迟**，**维持系统稳定性**和**增强整体性能**。

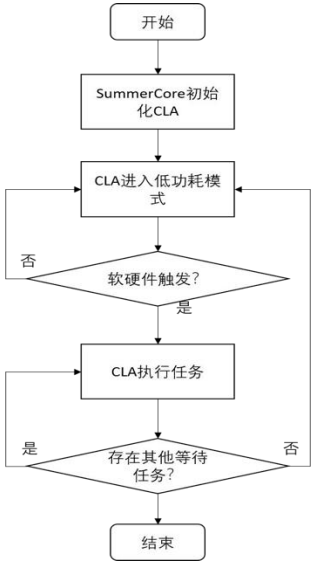
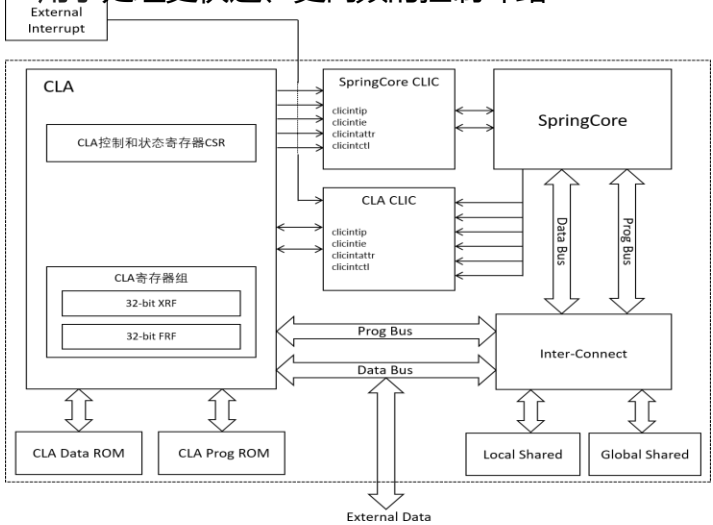
## 核内计算增强模块



模块	解释	特点
FXU	提供原生硬件浮点运算能力	高动态范围、算法移植性好
TMU	用于三角函数、对数、指数、平方根计算	加速控制系统应用中周期密集型计算
CRC	用于校验大型数据块、通信包或者代码块的数据完整性	多模式可配置，显著加速CRC算法执行
VCU	加速通信以及滤波、谱分析等通用信号处理算法的执行，典型应用场景有维持比译码、复数FFT、复数滤波等	对通信典型应用的加速超过7倍，减少了控制系统中使用额外处理器的成本
FID	提供传统除法、模除法、欧几里得除法等多种除法类型	满足了自适应控制系统对除法接近零时的线性要求

## 控制律加速器（CLA）

- ✓ 基于RISC-V架构的32位独立于主核的可编程浮点数学类加速器
- ✓ 具有**低中断响应时间**
- ✓ 用于处理更快速、更高频的控制环路



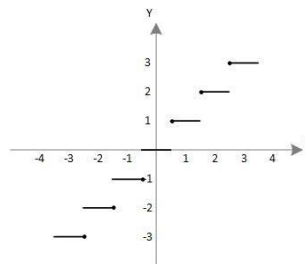
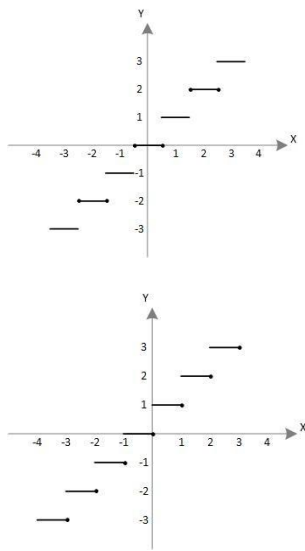
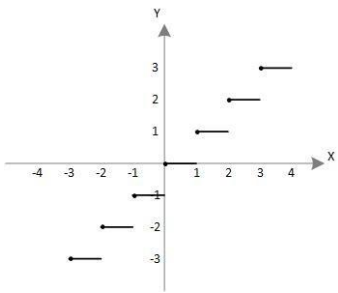
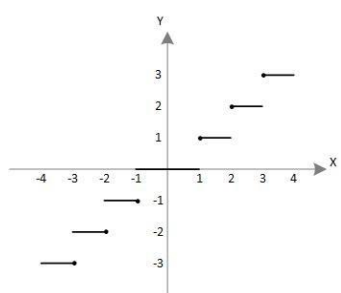
- 独立流水线架构与总线结构，可实现完全独立访问。
- 支持RV32IAFCB-Ext指令集，侧重浮点运算的加速，自定义了信号处理、三角函数计算、快速傅里叶变换等扩展指令。
- 基于RISC-V CLIC的中断任务触发与返回机制。
- 基于RISC-V A扩展的共享资源保护。

# 计算增强模块

## 浮点运算部件FXU

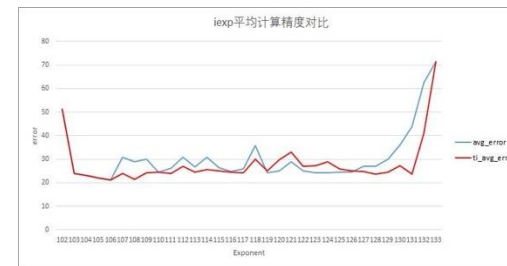
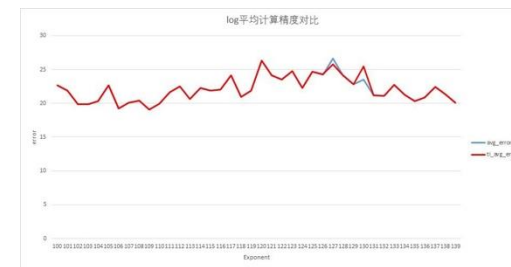
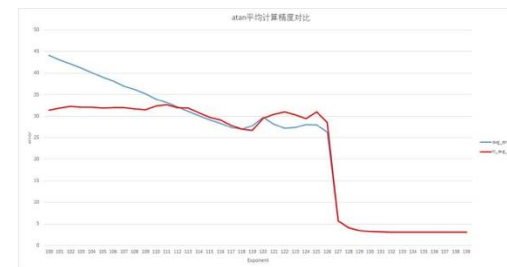
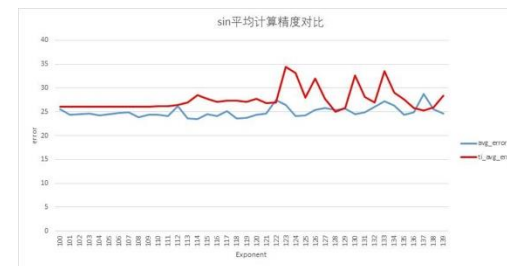
- FXU遵循IEEE 754-2008标准。
- FXU支持5种舍入操作和非规格化数操作。
- FXU具有运算精度高、可流水化执行的特点。

舍入模式	描述
RNE	向最邻近到偶数舍入
RTZ	向零舍入
RDN	向负无穷方向舍入
RUP	向最邻近到最远舍入
DYN	动态舍入模式

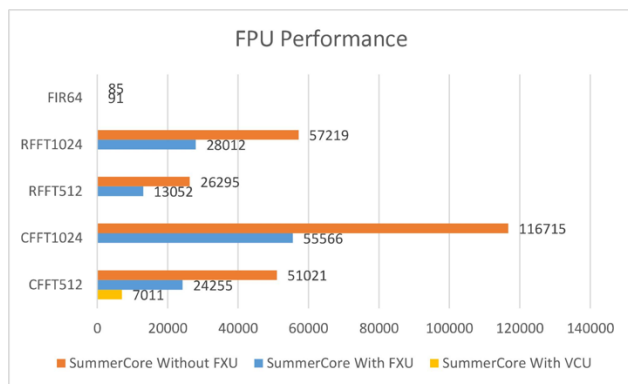


## 三角函数运算部件TMU

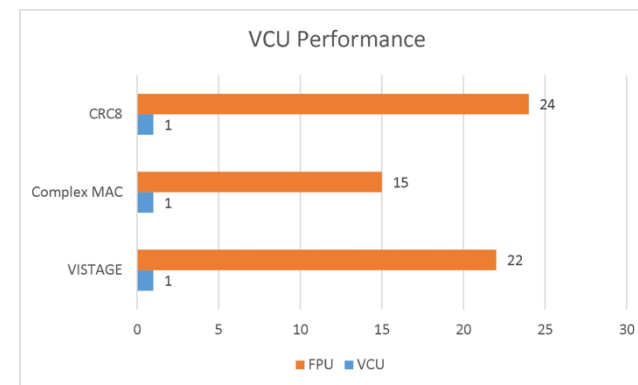
- TMU遵循IEEE 754-2008标准。
- TMU具有运算精度高、可流水化执行的特点。



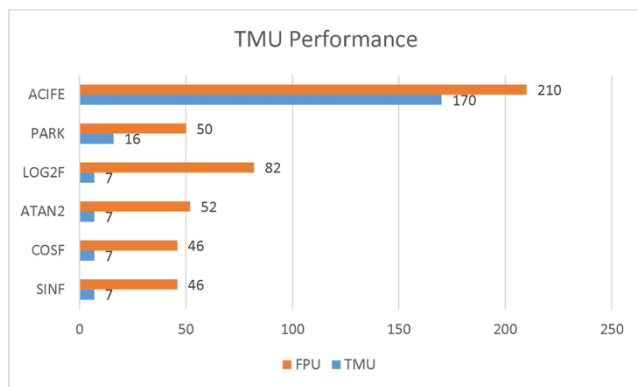
# 计算增强模块性能对比



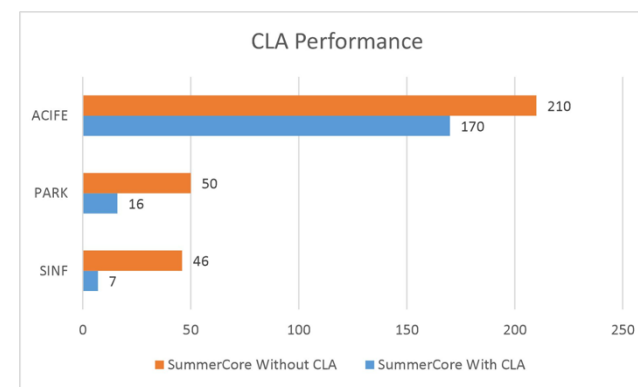
使用FXU在实数FFT、复数FFT计算上表现比FXU上的加速超过两倍，  
使用VCU在复数FFT上表现比在FXU上加速3.46倍



使用VCU在VITSTAGE、CMAC、CRC8上表现比FXU上分别加速  
22倍、15倍、24倍。



使用TMU在SINF、COSF、ATAN2、LOG2、PARK、ACIFE上表现  
比使用FXU分别加速1.24倍、3.13倍、11.71倍、7.43倍、6.57倍、6.57倍。

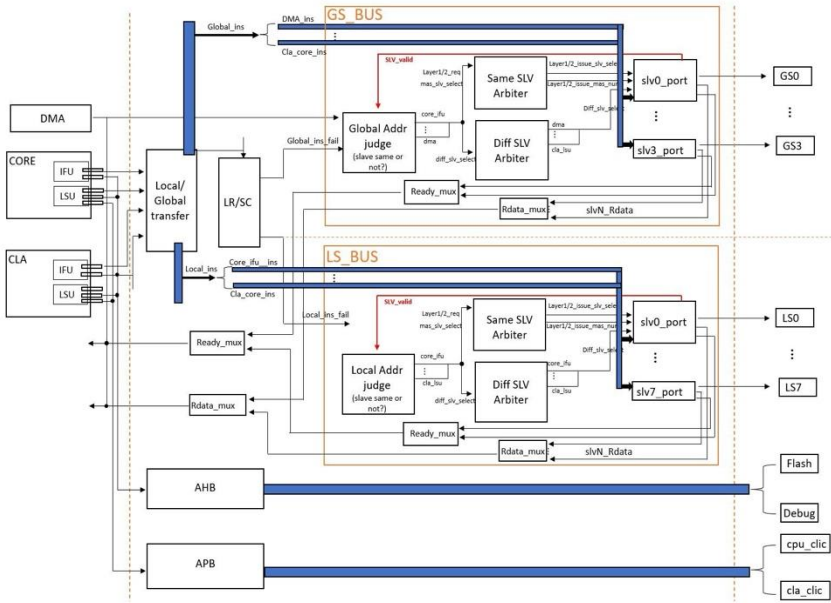


使用CLA在SINF、PARK、ACIFE上表现比不使用CLA分别加速6.57倍  
、3.13倍、1.24倍。

# 子系统特性与调试、性能统计、安全特性

## 子系统

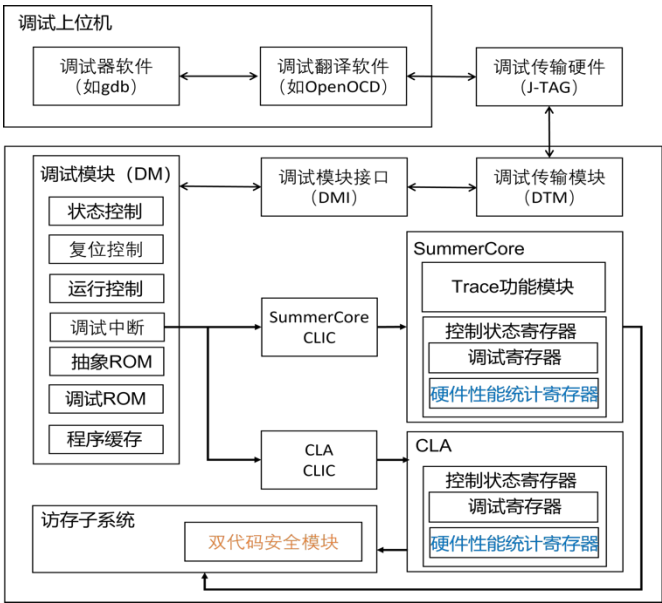
功能	特点
总线与存储	<ul style="list-style-type: none"><li>片上集成ROM、RAM、FLASH等多种存储资源</li><li>总线架构支持64位多访问口并发</li></ul>
中断响应机制	<ul style="list-style-type: none"><li>采用快速响应的增强型ELIC中断机制</li><li>支持多核交互机制</li></ul>
共享资源保护	<ul style="list-style-type: none"><li>CLA支持RISC-V A扩展指令集</li><li>存在一组单向消息队列</li></ul>



## 调试、性能统计、安全特性

功能	特点
调试模块	<ul style="list-style-type: none"><li>兼容RV Debug 0.13.2规范的多核调试机制</li><li>支持两个硬件断点</li><li>四线JTAG调试</li><li>自定义Trace功能</li></ul>
硬件性能统计	<ul style="list-style-type: none"><li>符合RISC-V特权标准的硬件性能监视器</li><li>提供微结构级别的性能瓶颈分析能力</li></ul>
安全	<ul style="list-style-type: none"><li>双区域代码安全模块</li></ul>

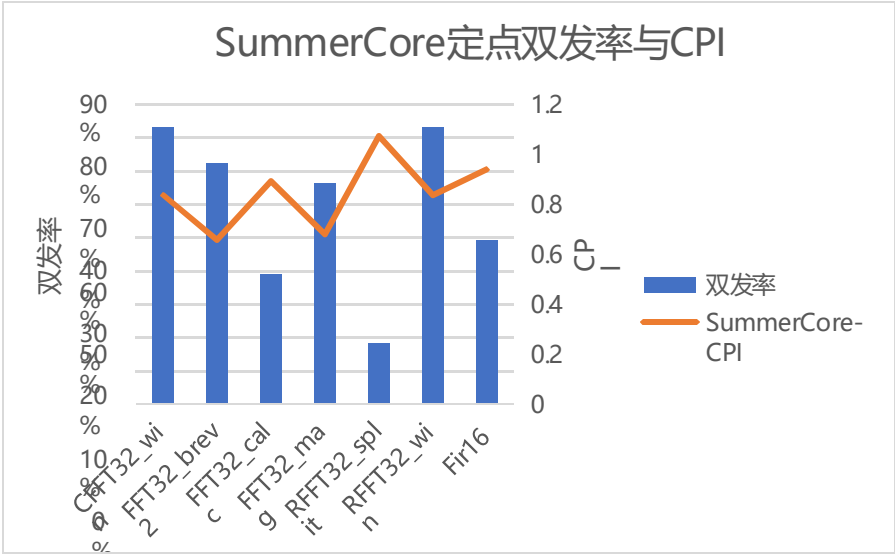
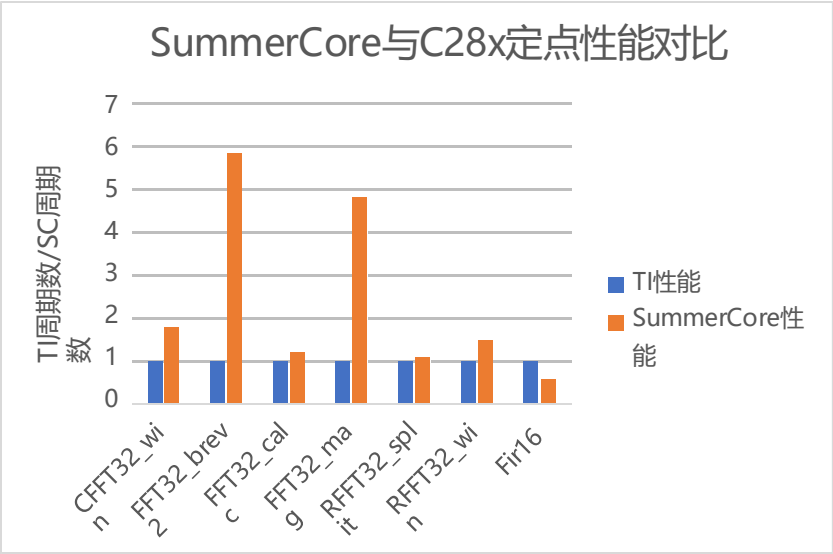
0xC00	URO	cycle	Cycle counter for RDCYCLE instruction.
0xC01	URO	time	Timer for RDTIME instruction.
0xC02	URO	instret	Instructions-retired counter for RDINSTRET instruction.
0xC03	URO	hpmcounter3	Performance-monitoring counter.
0xC04	URO	hpmcounter4	Performance-monitoring counter.
		⋮	
0xC1F	URO	hpmcounter31	Performance-monitoring counter.
0xC80	URO	cycleh	Upper 32 bits of cycle, RV32 only.
0xC81	URO	timeh	Upper 32 bits of time, RV32 only.
0xC82	URO	instreth	Upper 32 bits of instret, RV32 only.
0xC83	URO	hpmcounter3h	Upper 32 bits of hpmcounter3, RV32 only.
0xC84	URO	hpmcounter4h	Upper 32 bits of hpmcounter4, RV32 only.
		⋮	
0xC9F	URO	hpmcounter31h	Upper 32 bits of hpmcounter31, RV32 only.



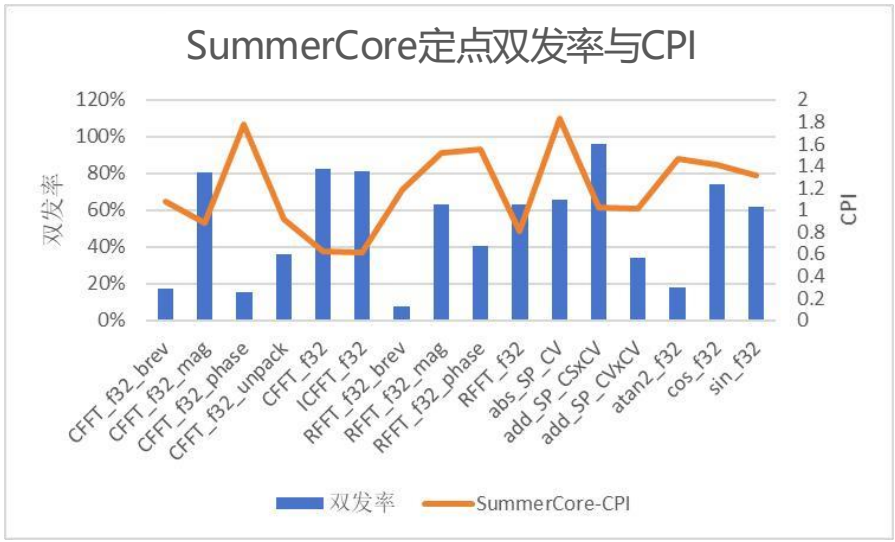
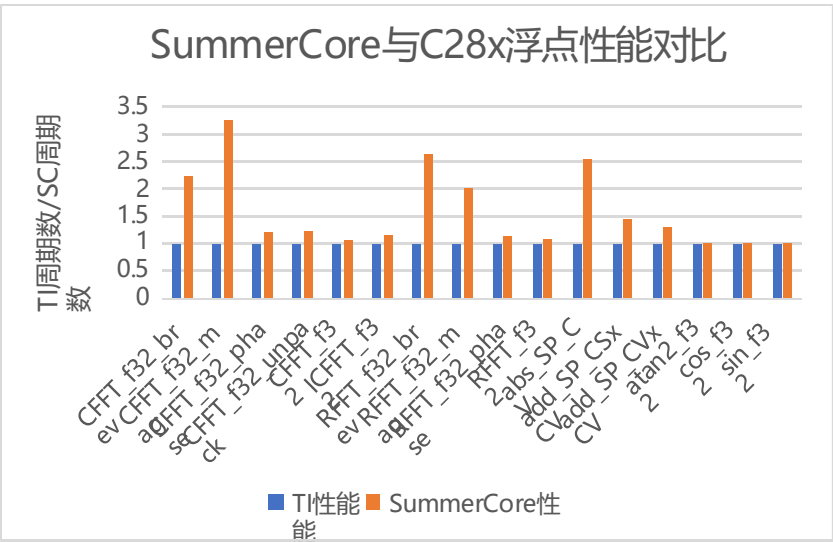


# SummerCore性能统计与比对

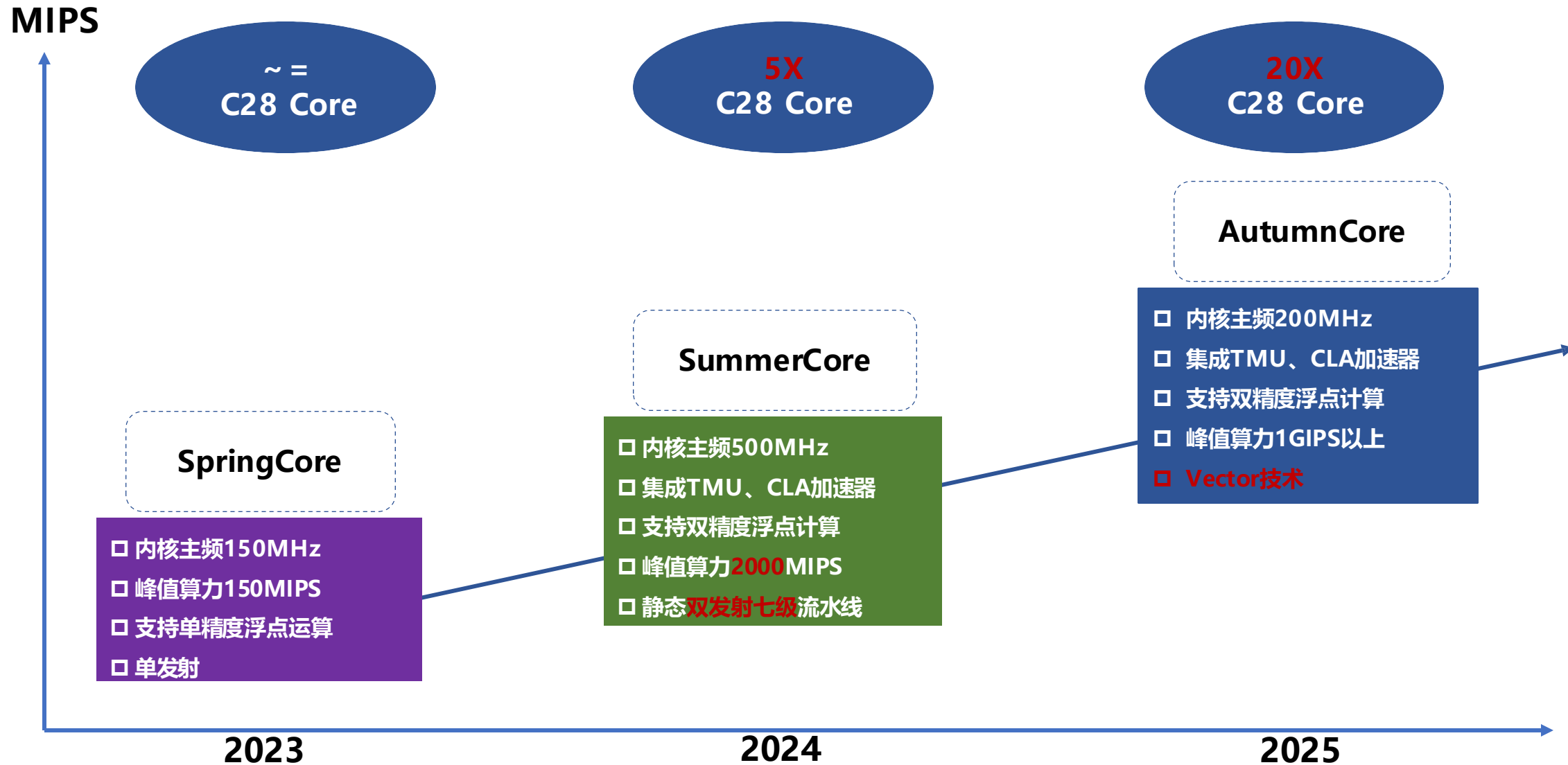
## 定点性能对比



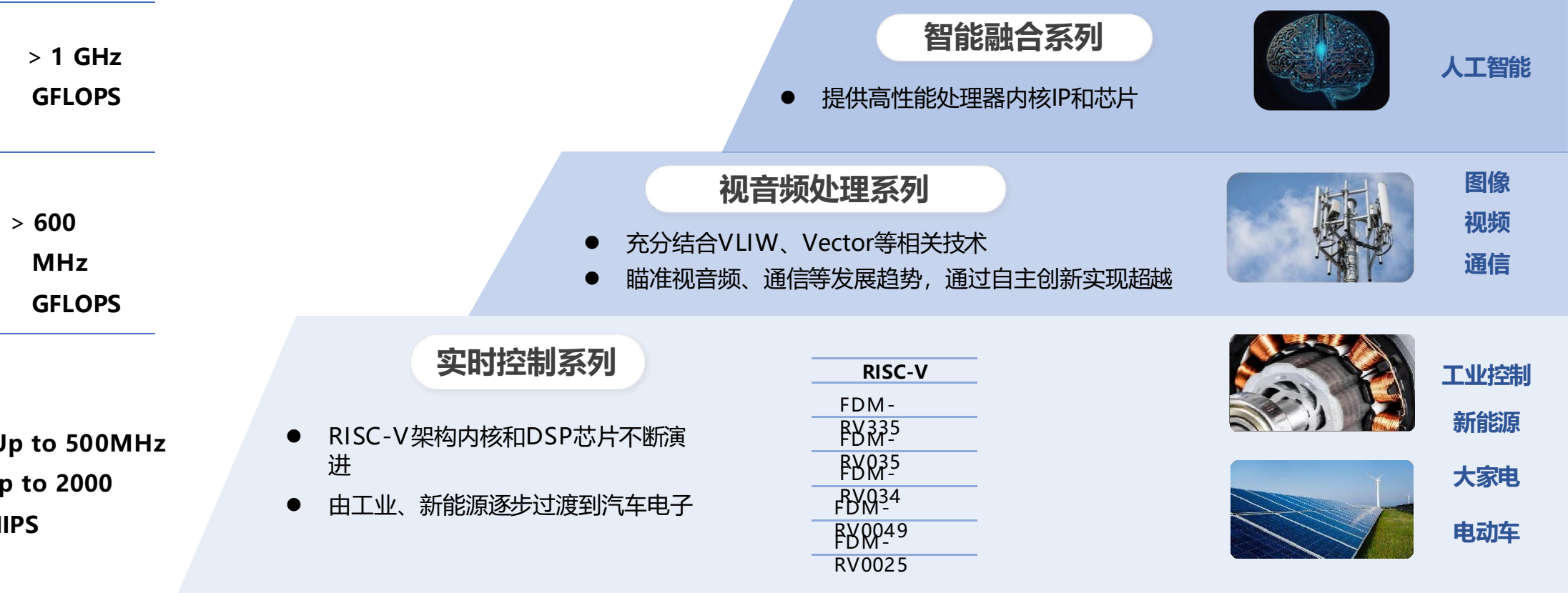
## 浮点性能对比



# 产品规划：内核规划



# 产品规划：自主指令集作为底座支撑全线产品系列发展并完成多领域覆盖





FDMTEK 中科本原

守其初“芯” 创造不凡

Be fundamental ,Strive for excellence

致力于成为全球一流的DSP企业

