

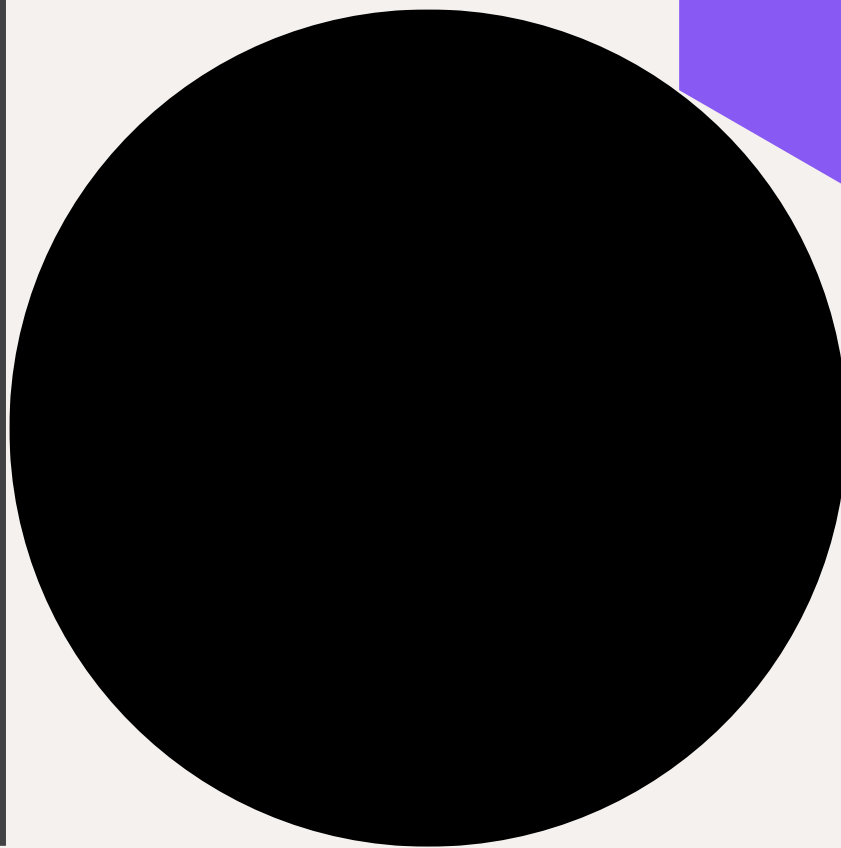
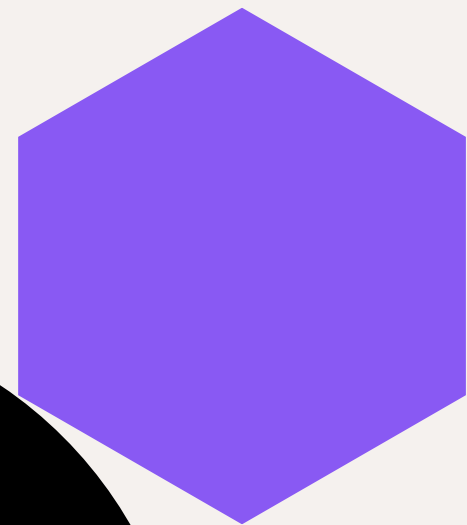


造大器， 无穷功

充分考虑验证地定制处理器
之“实战指南”

Julian HU 胡征宇

RVSC 2024





Agenda



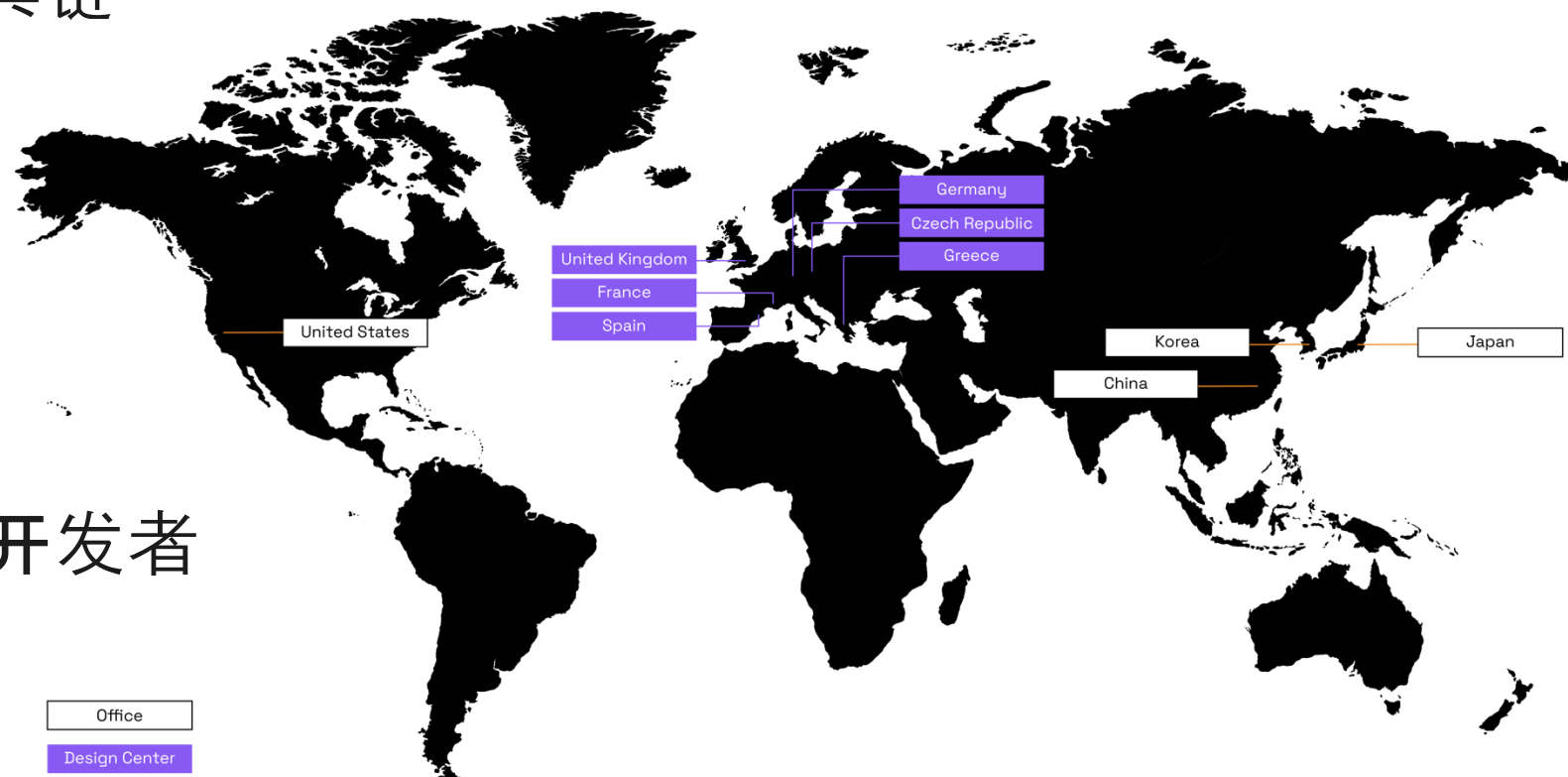
1. 关于Codasip 公司
2. 为什么需要对处理器定制
3. 实现定制计算的挑战及方法
4. 产品组合最新动态

→ 关于Codasip 公司

提供处理器 IP + 设计工具链

RISC-V 创始成员之一

第一款商用 RISC-V IP 的开发



通过支持定制计算来革新设计

我们的愿景

→ 不同级别的产品定制

更高的效率，更好的产品

定制软件

- 采用标准计算设备
- 开发专用软件

定制硬件

- 采用标准芯片
- 定制专用主板

定制 SoC

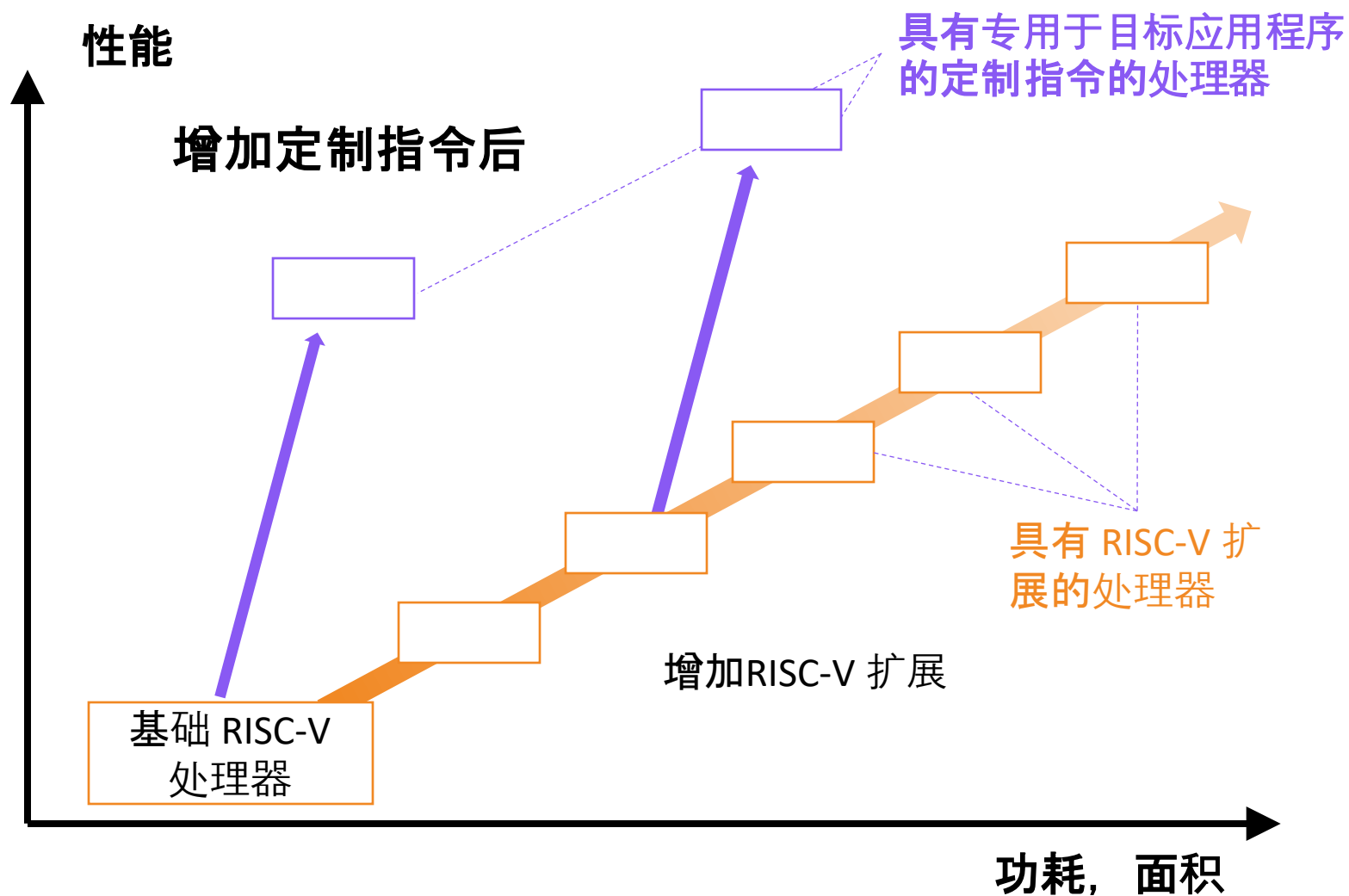
- 采用标准IP
- 定制专用芯片

定制计算

- 更进一步的优化方案
- 定制专用处理器

Codasip 来支持！

→ 定制RISC-V 指令 提升运算效率



RISC-V 是模块化的

RISC-V 允许定制指令

针对目标应用进行优化设计

→ 定制计算

→ 定制计算是当前最佳前进方向

半导体工艺技术进步（摩尔定律）已经放缓
差异化至关重要

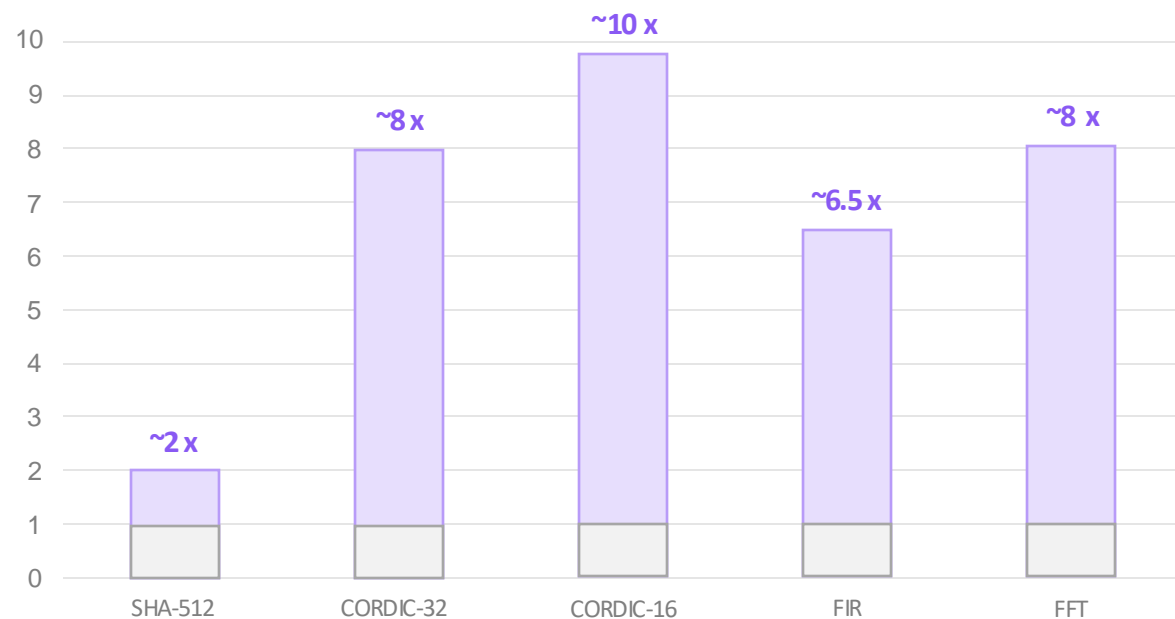
定制计算可以为您带来

10x ... 100x

通过硬件/软件协同优化的效率提升

→ 定制计算为您带来无与伦比的优势

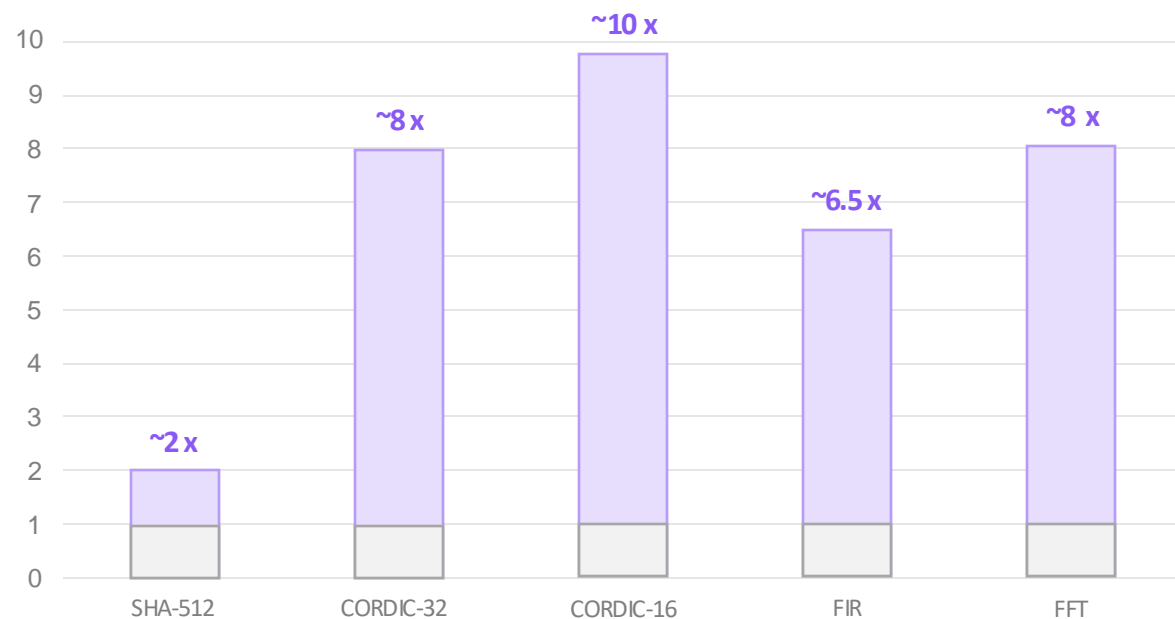
提升性能密度



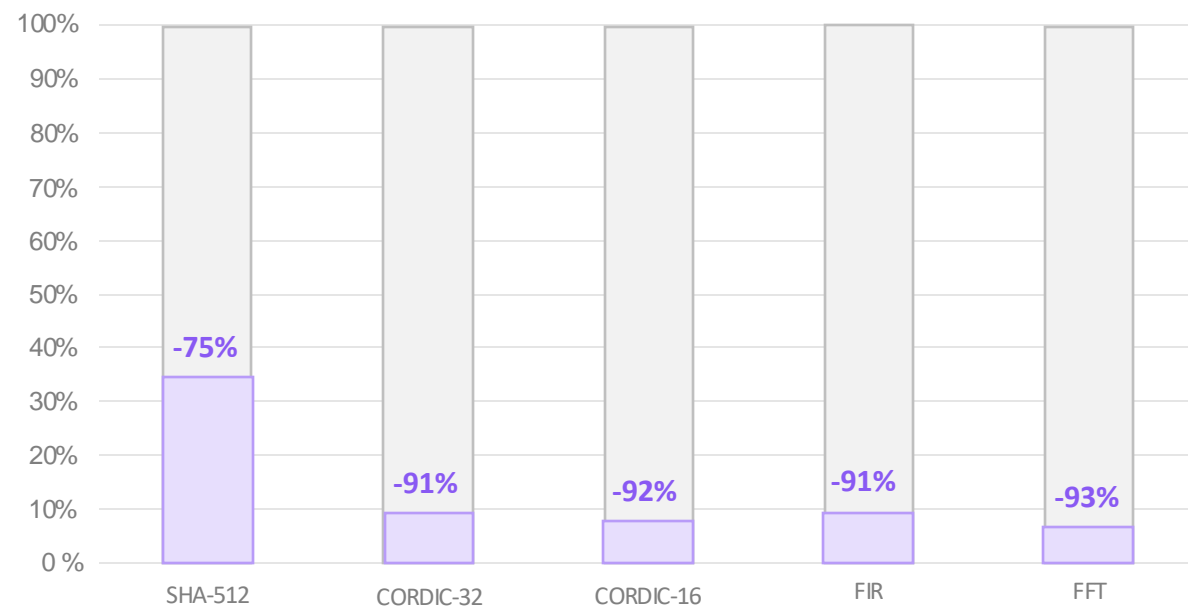
基准 RISC-V 处理器
定制 RISC-V 处理器

→ 定制计算为您带来无与伦比的优势

提升性能密度



大幅降低功耗



基准 RISC-V 处理器
定制 RISC-V 处理器

→ 处理器定制正无处不在

The Art Of Processor Customization: Balancing Innovation With Risk

处理器定制的艺术：在创新与风险之间取得平衡

Forbes

A guide to accelerating applications with just-right RISC-V custom instructions

使用恰到好处的 RISC-V 定制指令加速应用程序的指南

Embedded

Why Customize the Core?

为什么要对 Core 进行定制？

Meta's keynote on RISC-V Summit US 2023

Customizing Processors

How custom a processor need to be depends upon many factors, but selecting the appropriate tool chain may be the right place to start.

处理器的定制程度取决于许多因素，但选择合适的工具链可能是正确的起点。

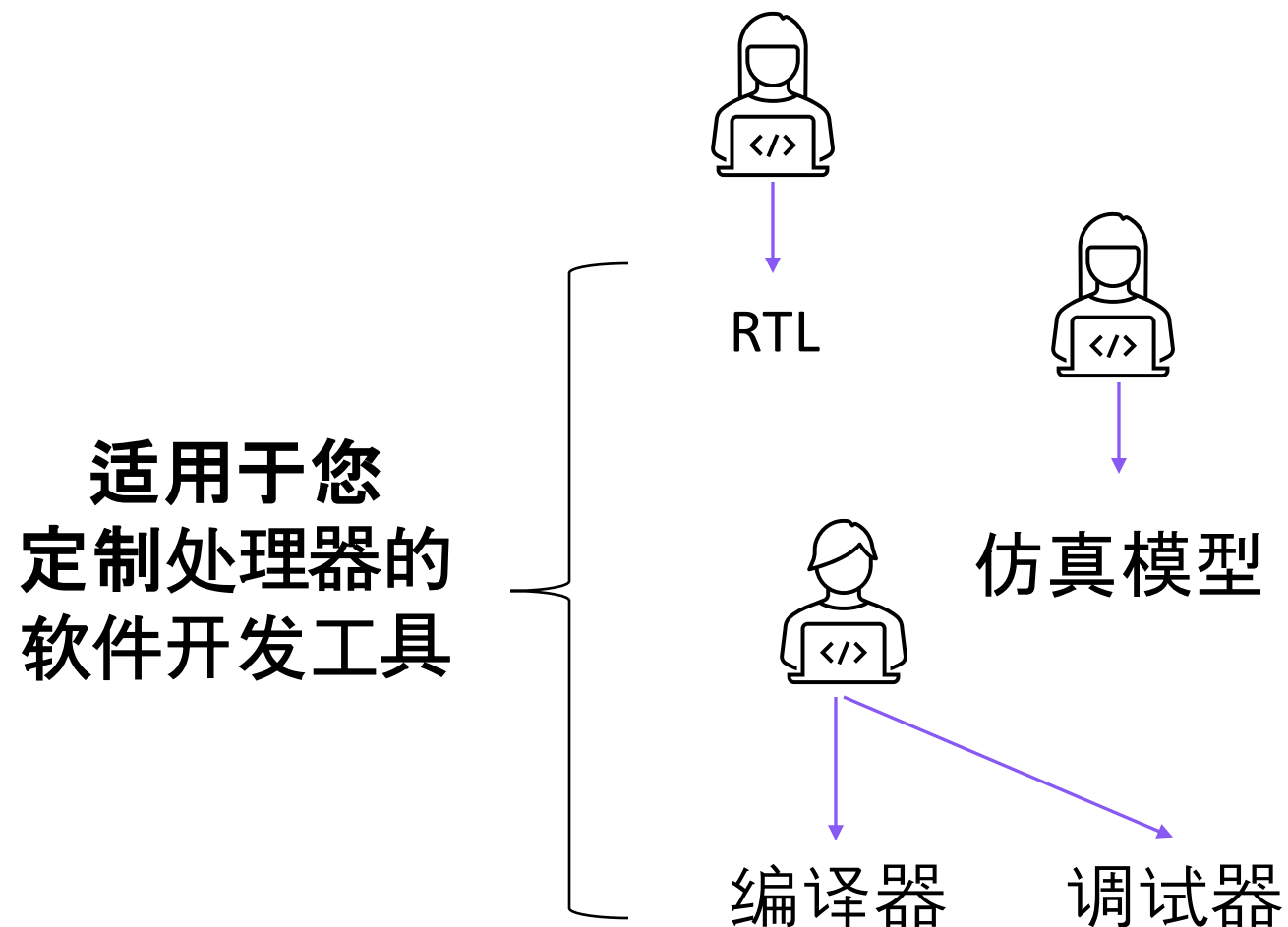
Semiconductor Engineering

Spanish startup performs RISC-V open core surgery

riscv.org

您了解它的所有挑战吗？

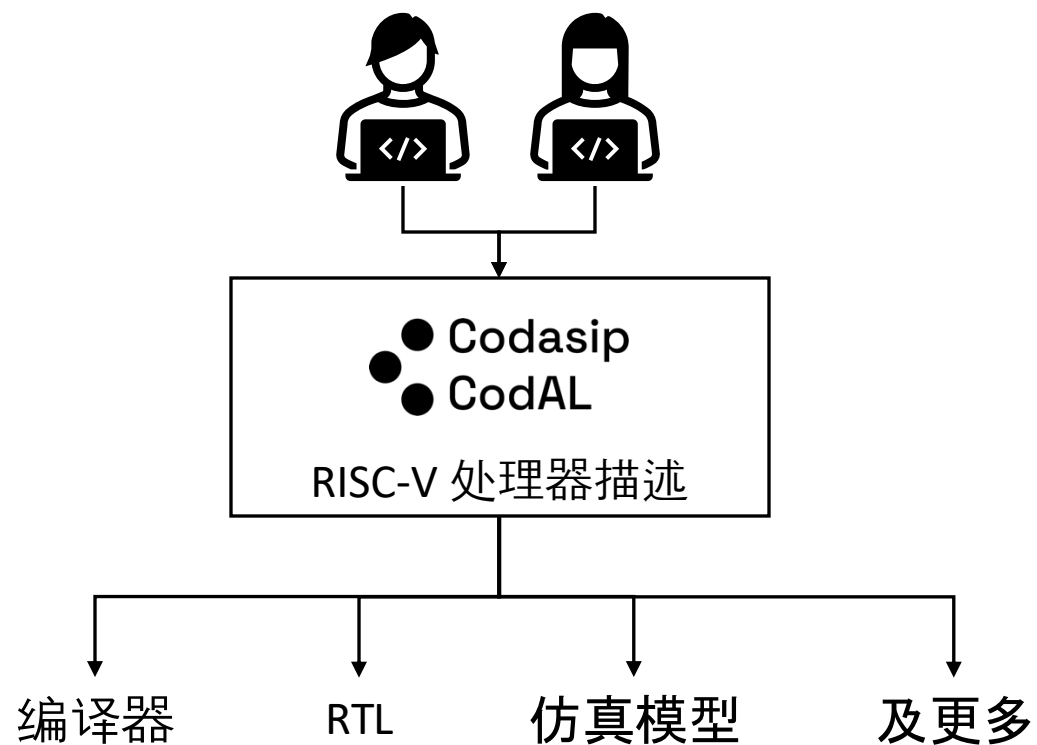
→ 处理器定制绝不仅仅是 RTL



您的团队
需要具备多种
技能

→ 使用Codasip进行定制计算

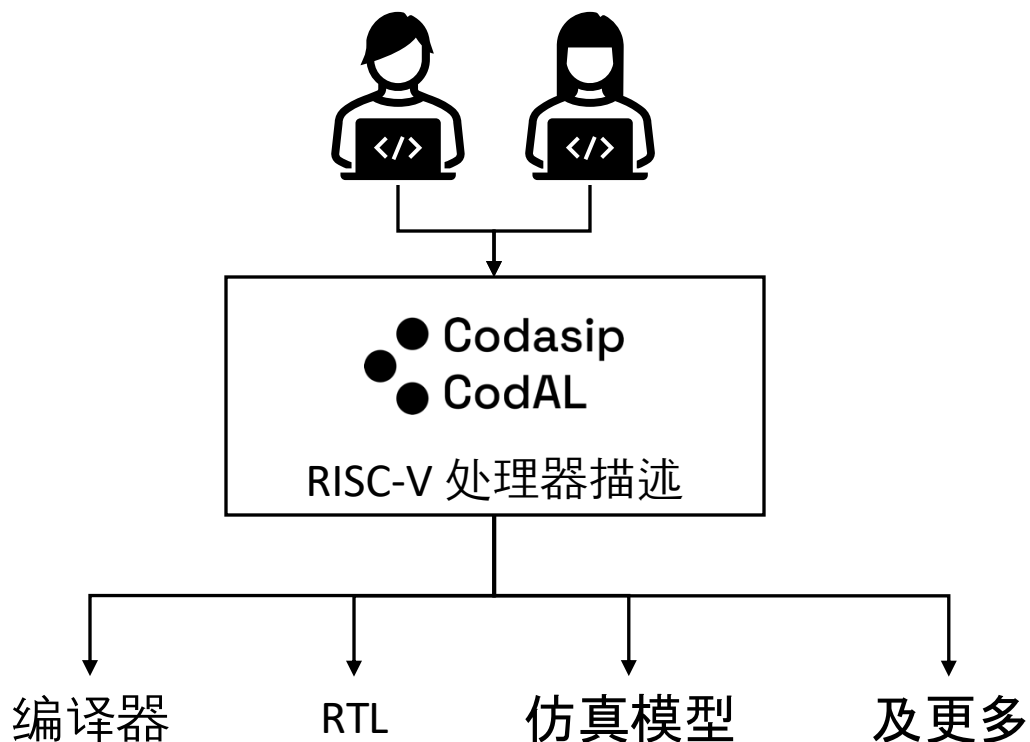
高效 Codasip Studio工具



→ 定制需要宝贵的人才和大量工作

高效 Codasip Studio 工具

高质量基准 RISC-V IP

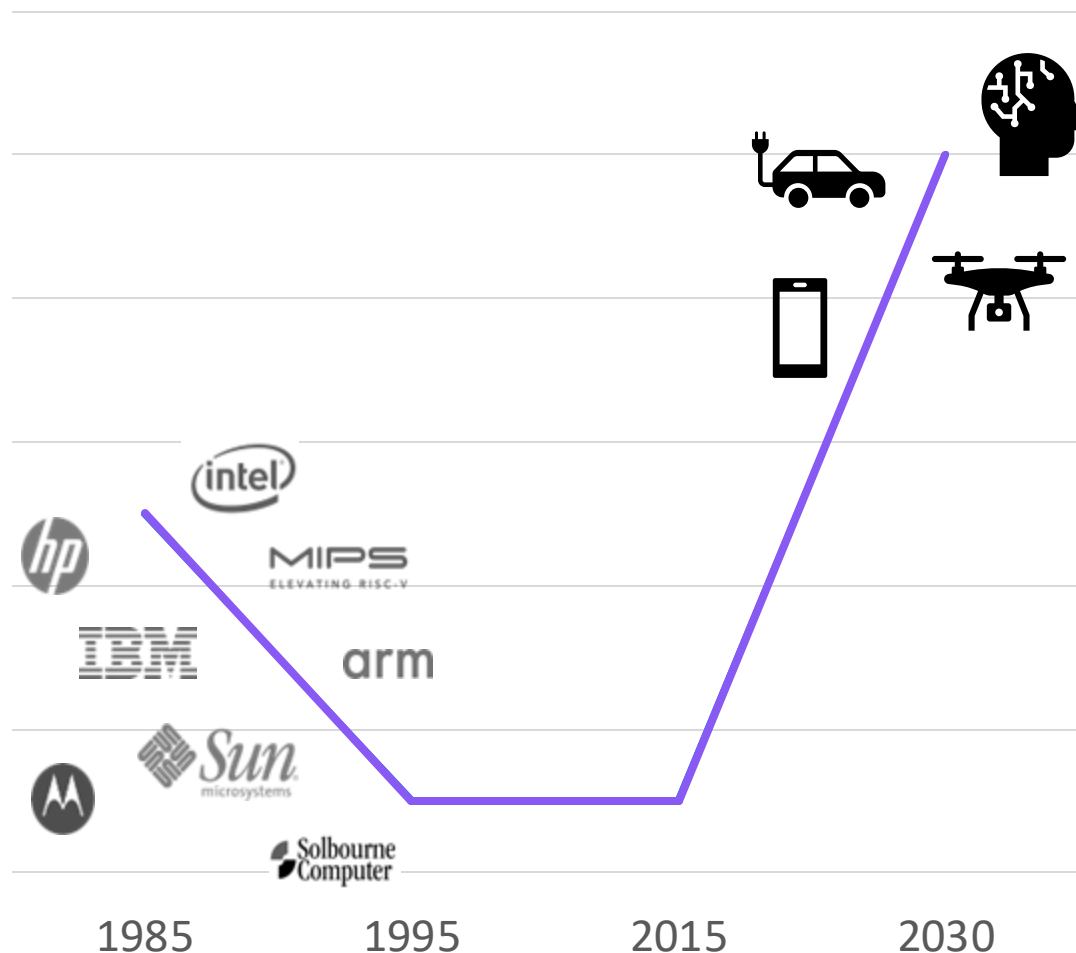


从 FSM 替代

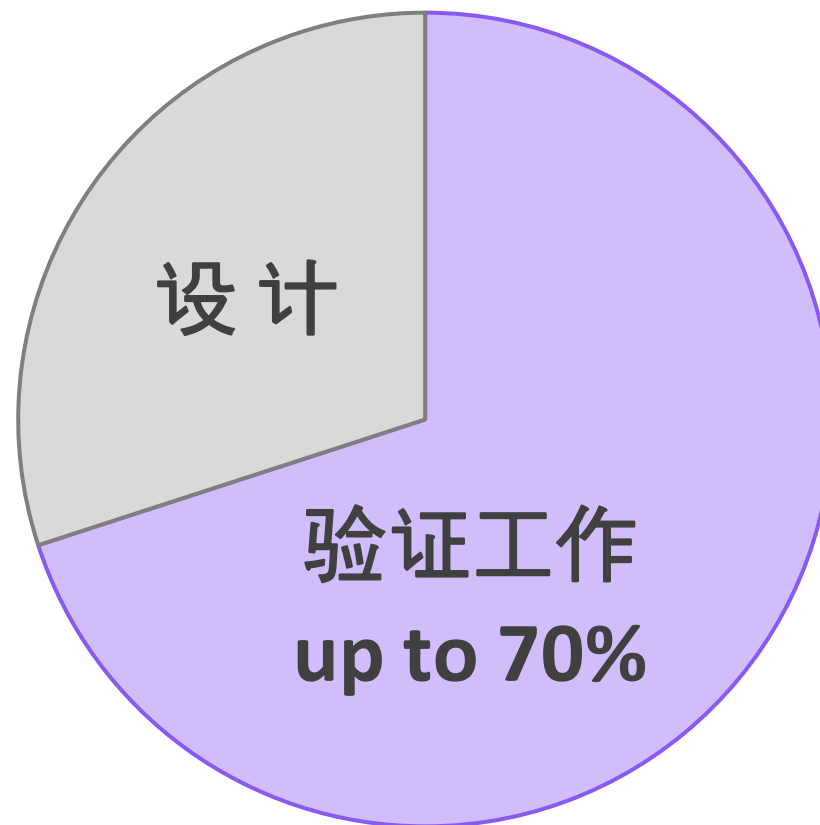
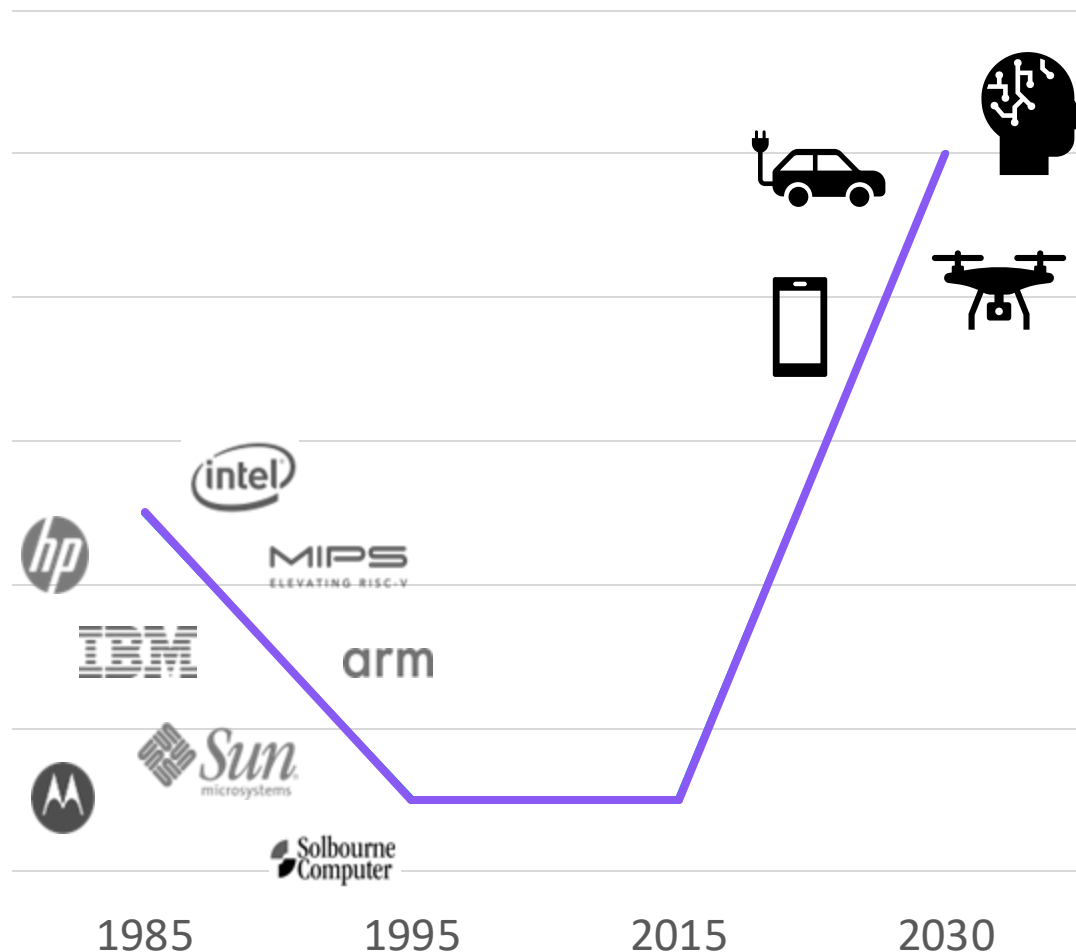
..... 到超标量应用处理器

功能安全 (FuSa) 和内存安全

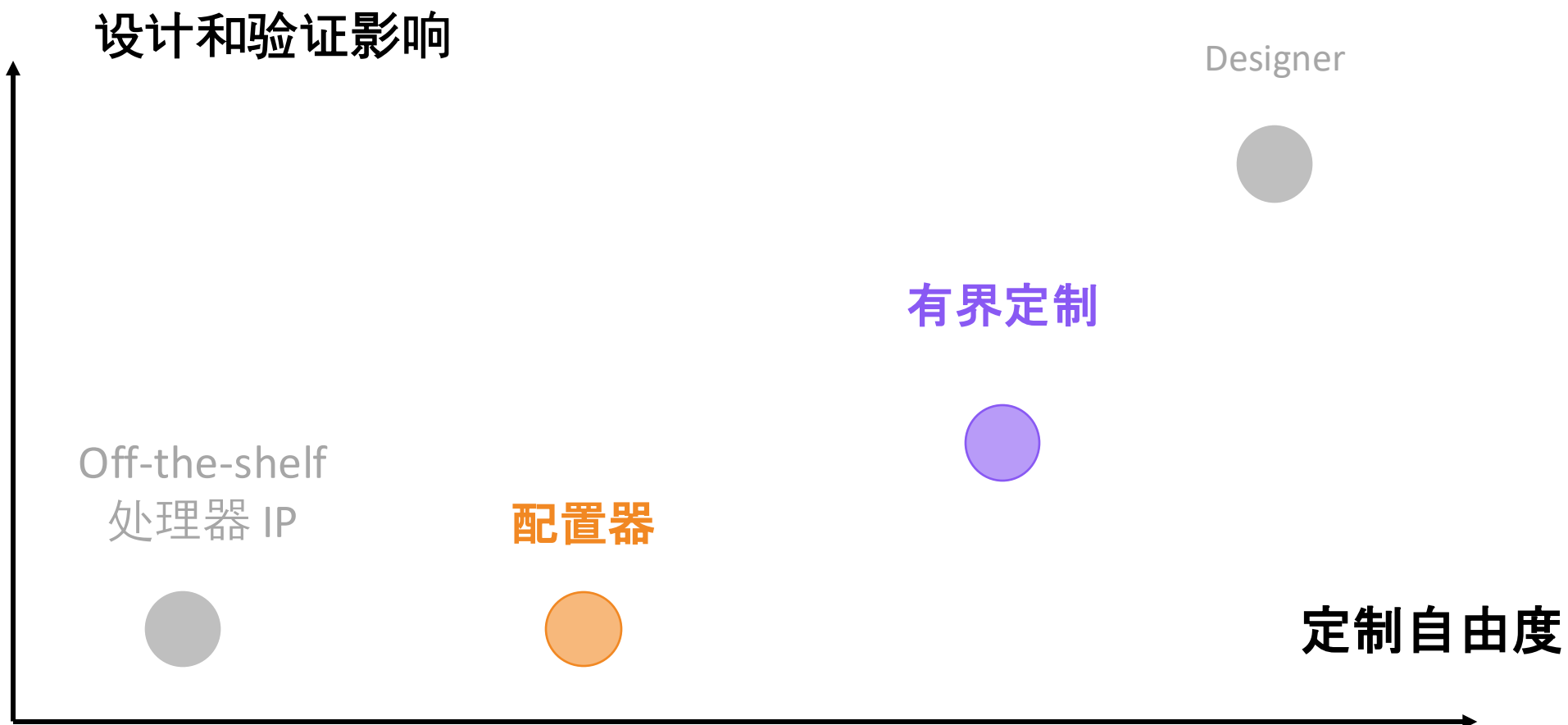
→ 定制需要宝贵的人才和大量工作



→ 定制需要宝贵的人才和大量工作



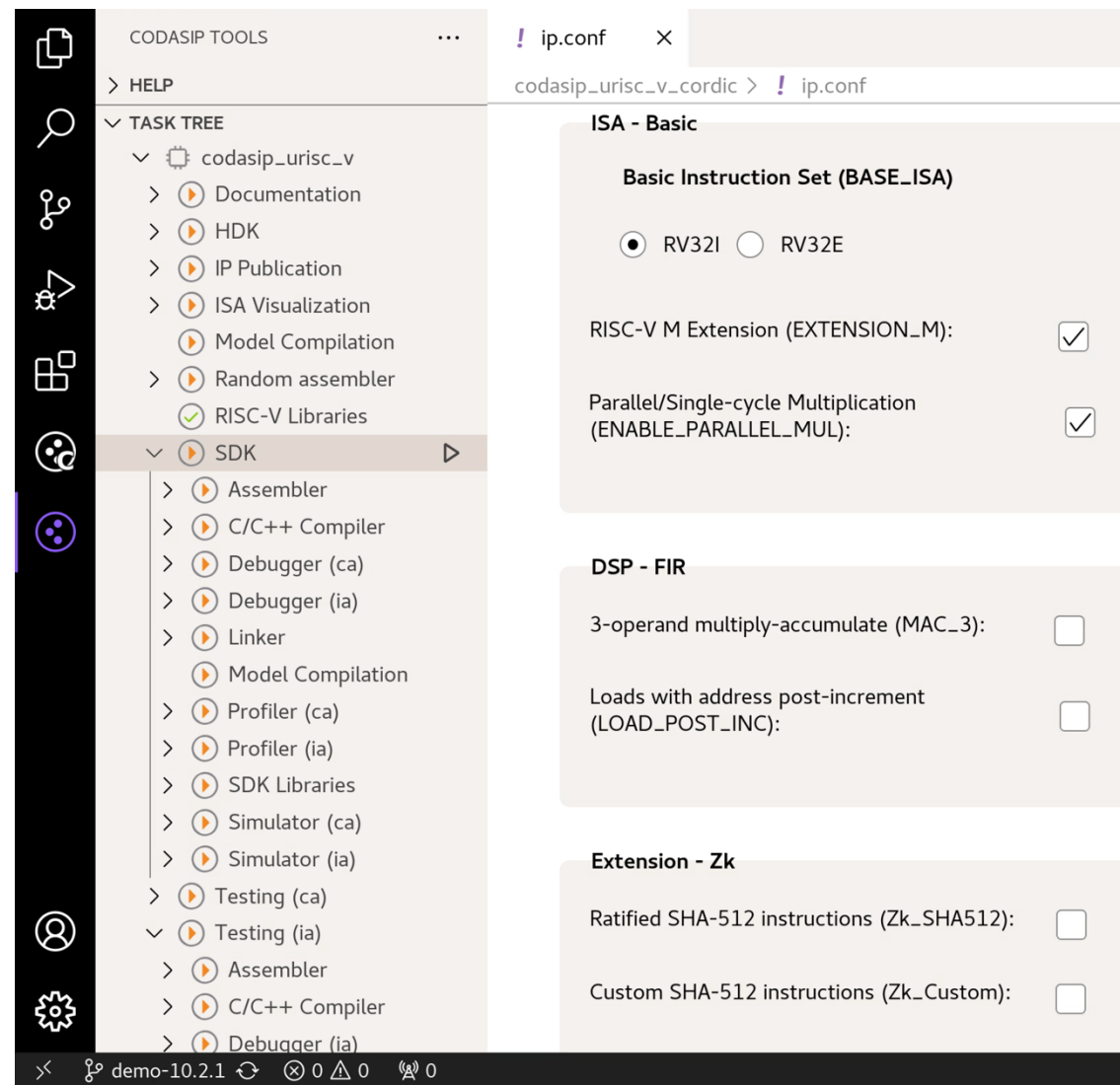
→ 选取适当的定制级别



→ 通过配置选项适配您的需求

无需特别处理器设计或编译器知识

客户无需额外验证工作



→ 通过配置选项适配您的需求

无需特别处理器设计或编译器知识

客户无需额外验证工作

1000 多种
可用配置选项

Codasip 已验证

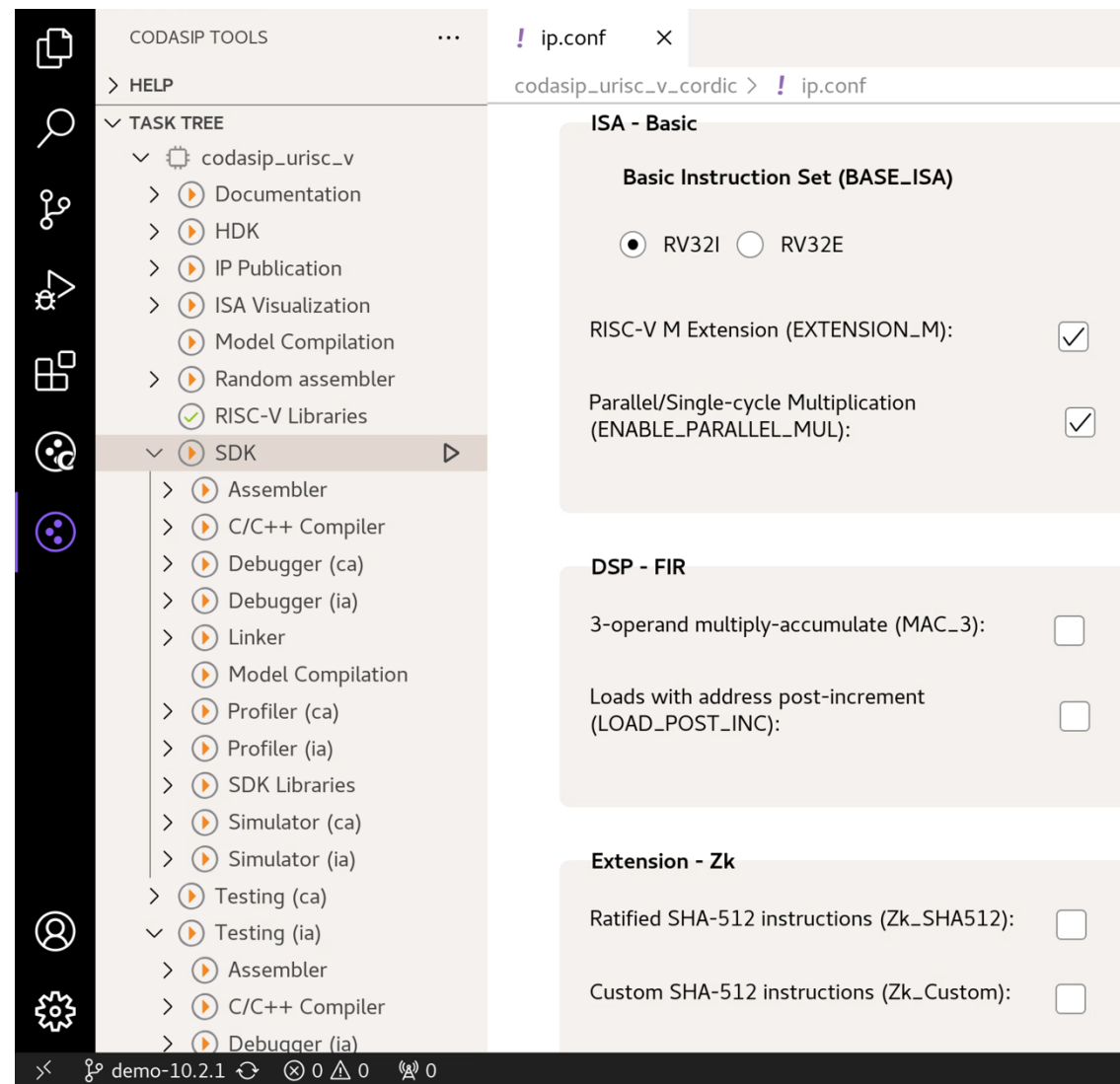
大量可用的CPU
和内存选项

+

数以百计
simulators 和
solvers

+

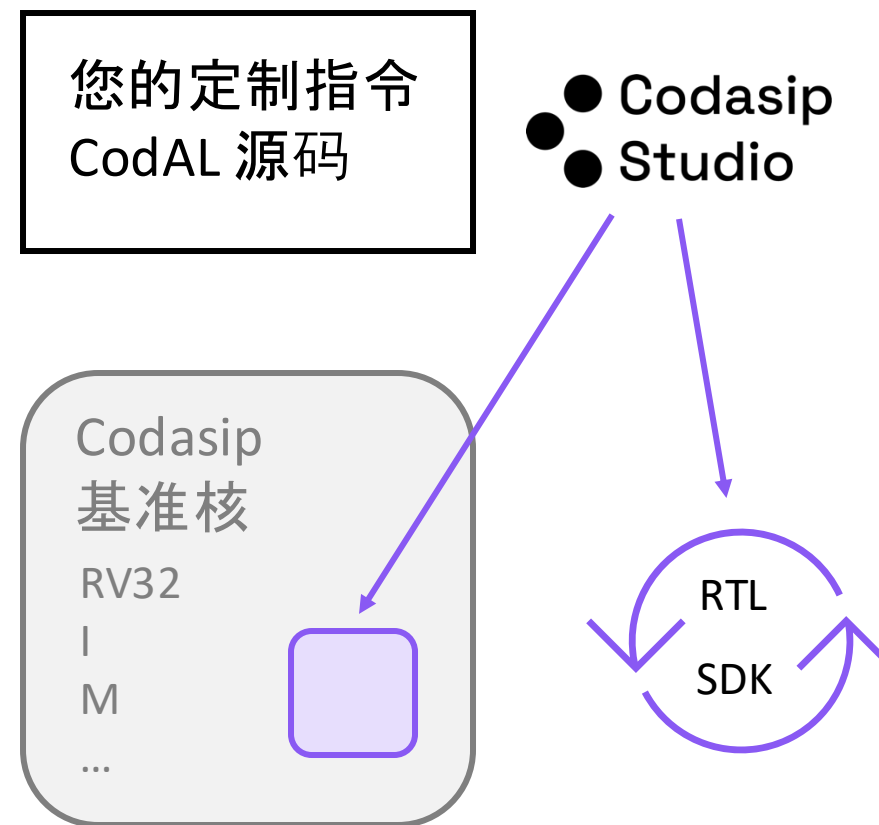
经验丰富的团队



→ 无风险地定制指令

定制指令被置于核的配置
空间顶层

在范围内的指令不会损害
基准核 - 无需重新验证！



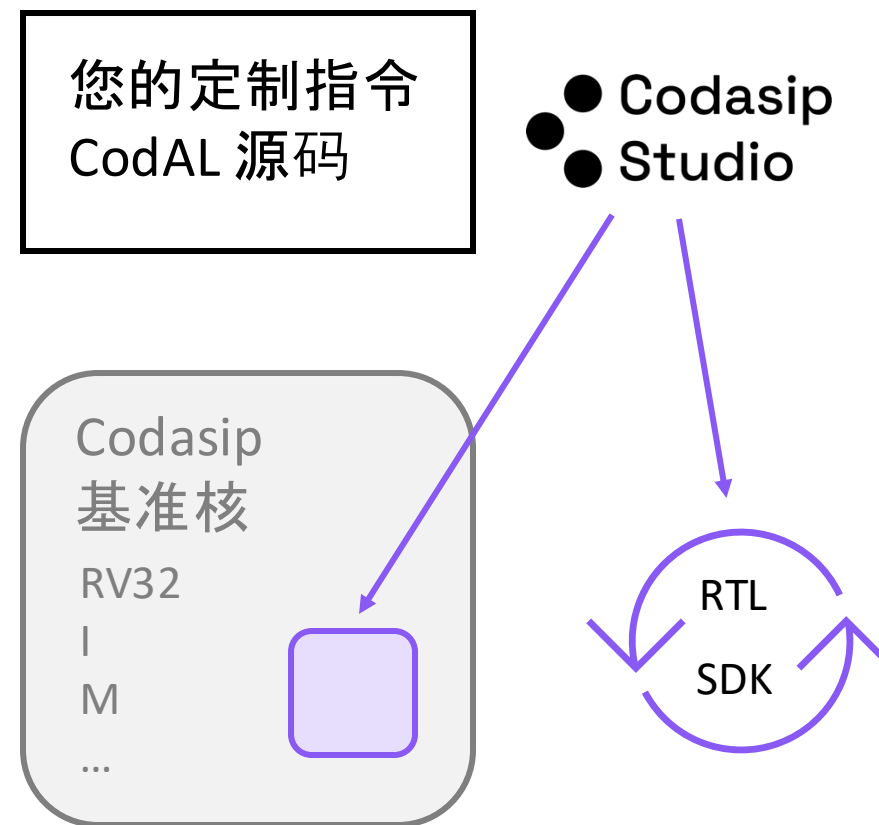
→ 无风险地定制指令

定制指令被置于核的配置空间顶层

在范围内的指令不会损害基准核 - 无需重新验证！

高效部署
常见定制项

- CRC
- FIR
- CORDIC
- Viterbi
- SHA512



→ 软件工程师即可进行定制

无需深入了解 CodAL 语言

步骤 1：选择指令类型

指令已集成至处理器流水线中

步骤 2：定义指令行为

```
int compute(int op1, int op2) {  
    //single cycle - always ready  
    next_ready_o = true;  
    //default - no exception  
    exception_o = false;  
    ...  
    result = op1 ^ (1 << op2);  
    return result;  
}
```

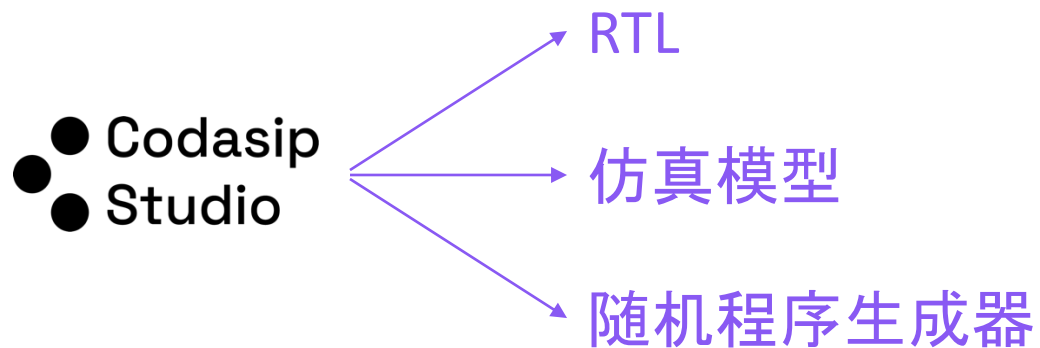
同一描述用于硬件和软件

步骤 3：即可自动生成 RTL 和 SDK

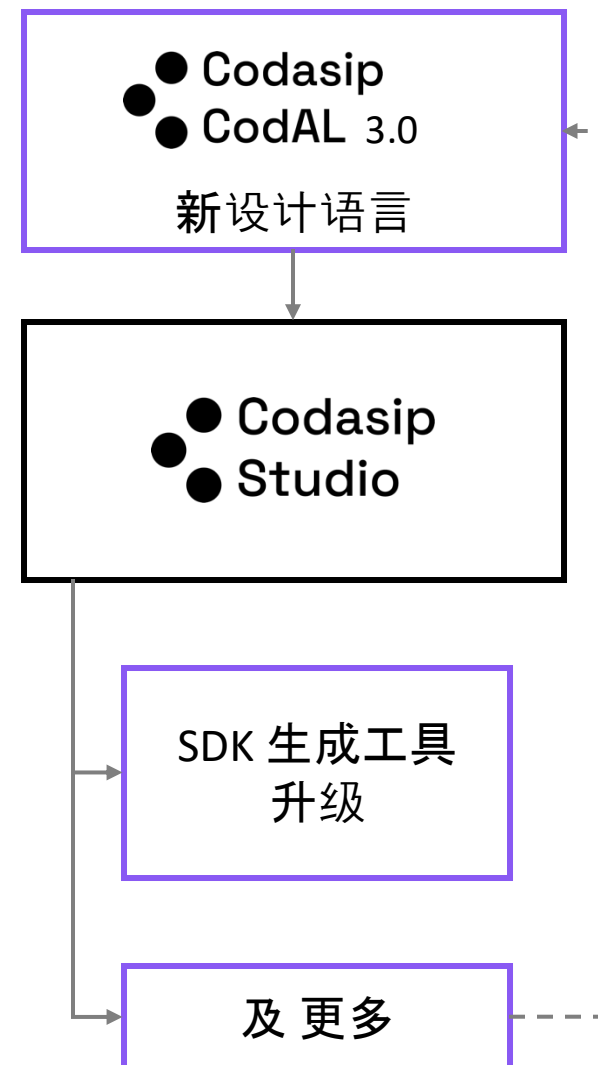
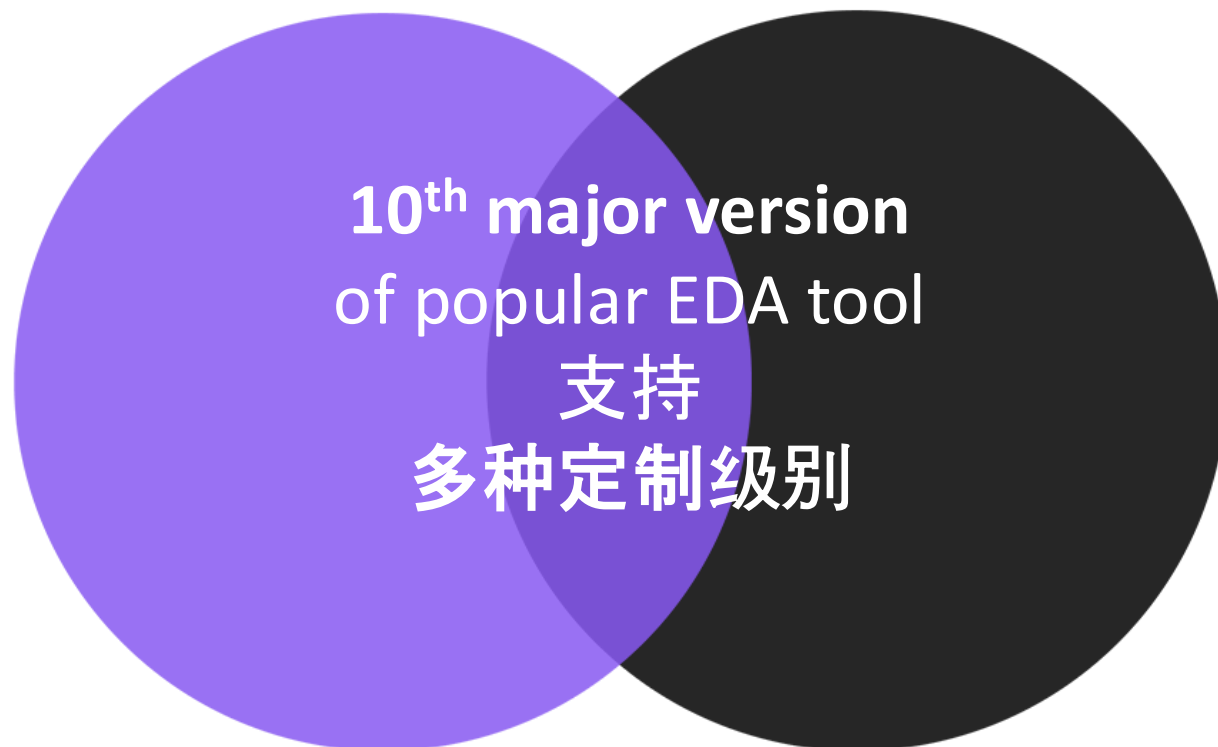
→ 易于使用的验证框架

用于验证定制指令的顶层验证
框架

使用从Studio生成的支持定制指令
的相关工具



→ 新一代 - Codasip Studio Fusion

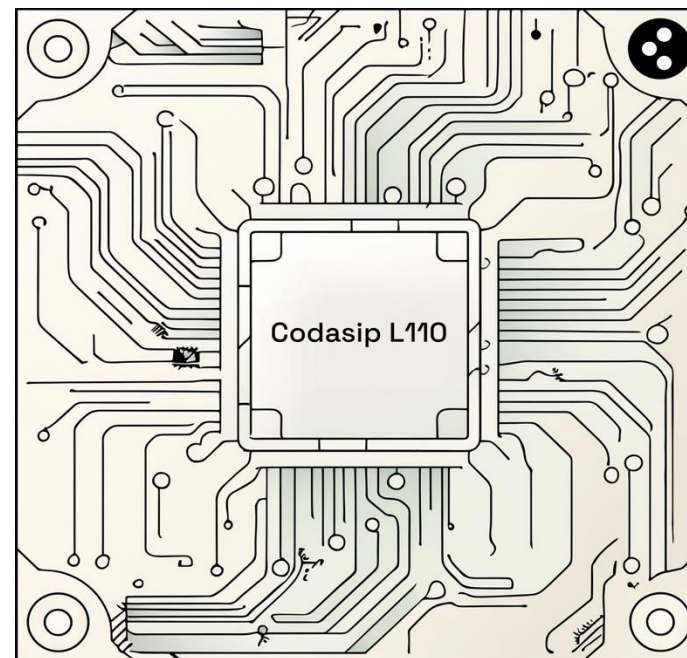


→ 极其高效的 L110 RISC-V 处理器

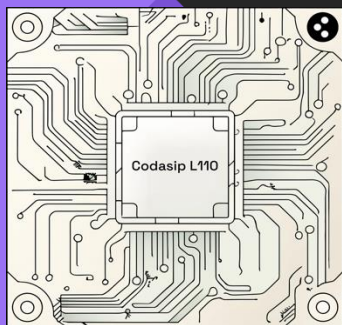
非常适合状态机替换、传感器控制器和
物联网边缘计算

高可配置性，可有各类不同的面积/性
能比选择

每瓦性能提升 50%
代码大小缩减 20%



→ 能负重、堪大任的指令集定制



1	高质量基准 RISC-V IP
2	易于设计的定制指令
3	自动生成的RTL 和 SDK
4	验证框架已包含



Thank you!

感谢您的
到场聆听！