

An abstract graphic on the left side of the slide. It consists of a complex network of thin green lines forming a spherical shape, with several thicker green lines intersecting it. The background is white with scattered green dots of various sizes.

# 基于RISC-V的架构建模 及混合仿真验证方法

---

梁琪 & 魏浩阳

## 01. RISC-V 面临的挑战

## 02. EDA应对RISC-V的设计验证

## 03. 架构建模以及混合仿真的背景和现状

## 04. 基于架构建模的混合仿真实现

## 05. 架构建模混合仿真的实例

## ➤ 国内首家数字EDA供应商

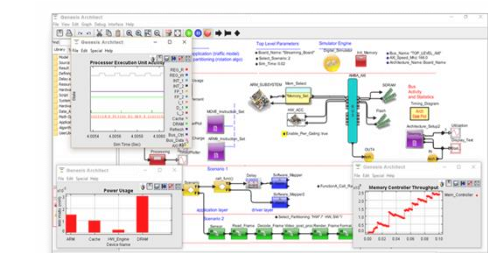


- 2004年在上海成立
- 服务全球600+客户，全球客户总数位居国内第一
- 深圳、北京、杭州、西安、东京、首尔及圣何塞设有分支机构
- 承接多项国家及地方重大科研项目
- 国家级专精特新“小巨人”企业、国家工业软件优秀产品、上海市级企业技术中心





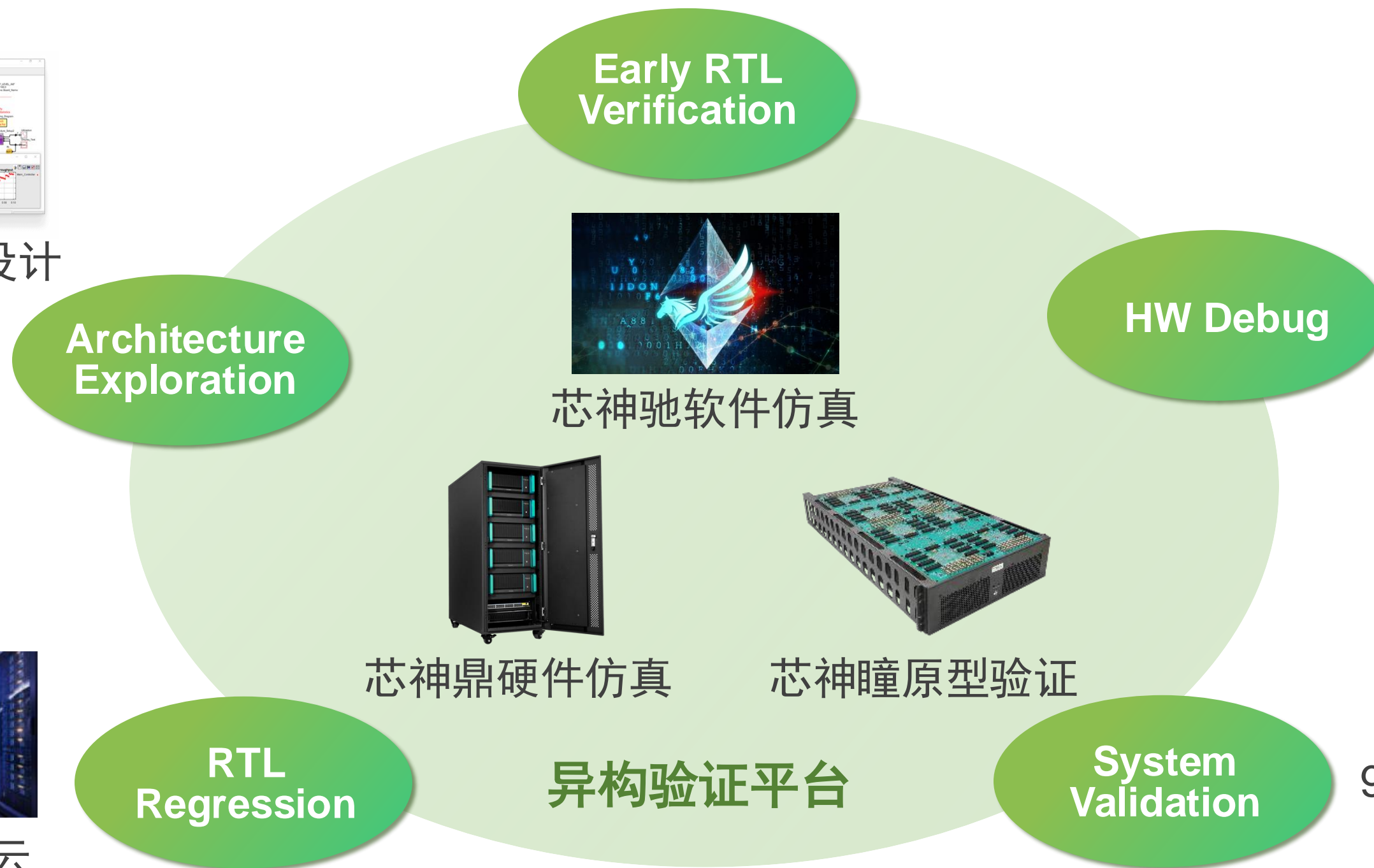
# ➤ 异构验证方法



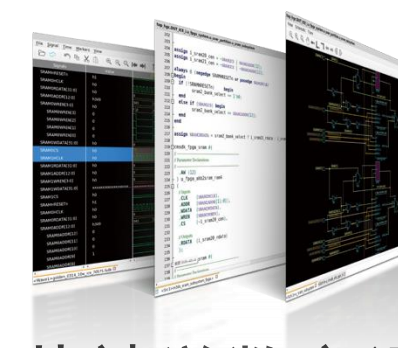
芯神匠架构设计



芯神云 EDA云



芯神驰软件仿真



芯神觉数字调试



90+外置应用库/  
降速桥/VIP

# ➤ RISC-V为设计带来更多可能性

## RISC-V与IoT市场完美匹配

- IoT市场特点是高度碎片化，并且有强烈的对定制化的需求
- 满足人工智能等新兴领域的架构创新
- RISC-V指令集架构开源、模块化、可扩展性，并能在高性能计算方面表现优异



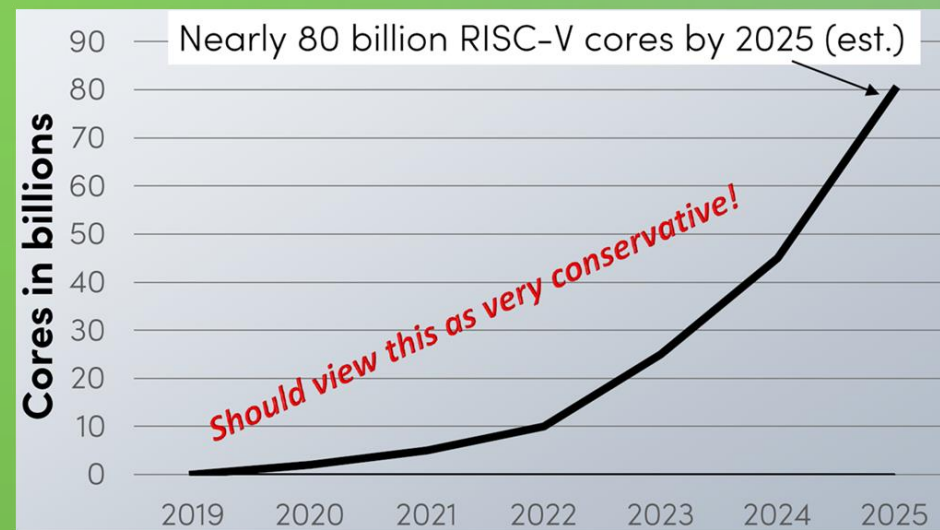
## 异构系统需求与RISC-V特性匹配推进其发展

- RISC-V可满足IoT对AI芯片寻求高算力与低延迟，设计速度快，低成本，且能量身定制的要求。
- 面对市场多样化，选择RISC-V架构为明智之举，在未来IoT取得绝对的优势

- 高起点、零版权、全开源、灵活异构
- RISC-V 非常简洁架构的指令数目，成为平民新贵
- AIoT时代的主角

## ➤ RISC-V为设计带来的挑战

### SEMICO Market Research 3/21



## 中国市场对RISC-V的热切需求

- 本土芯片产业需求平衡，RISC-V能填补处理器IP的短板
- 无旧指令集束缚，快速接受新技术
- 需要领域特定处理器，RISC-V提供解决方案
- 生态建设有待加强

### 标准细节定义

- 低成本的授权和厂商自定义指令可能威胁标准的延续性，影响软件和编译器生态的稳固性

### 碎片化 & 稳定性

- 在服务器和手机的定义中存在许多难点，这需要一个长期的发展过程来解决

### EDA支持

- RISC-V规范性尚待完善，或需大调RTL设计适配或开发新IP
- 需要漫长演进以及牺牲晶圆面积代价

## ➤ 芯神匠 架构设计工具



一站式平台完成架构设计，设计验证，最大化模型复用率

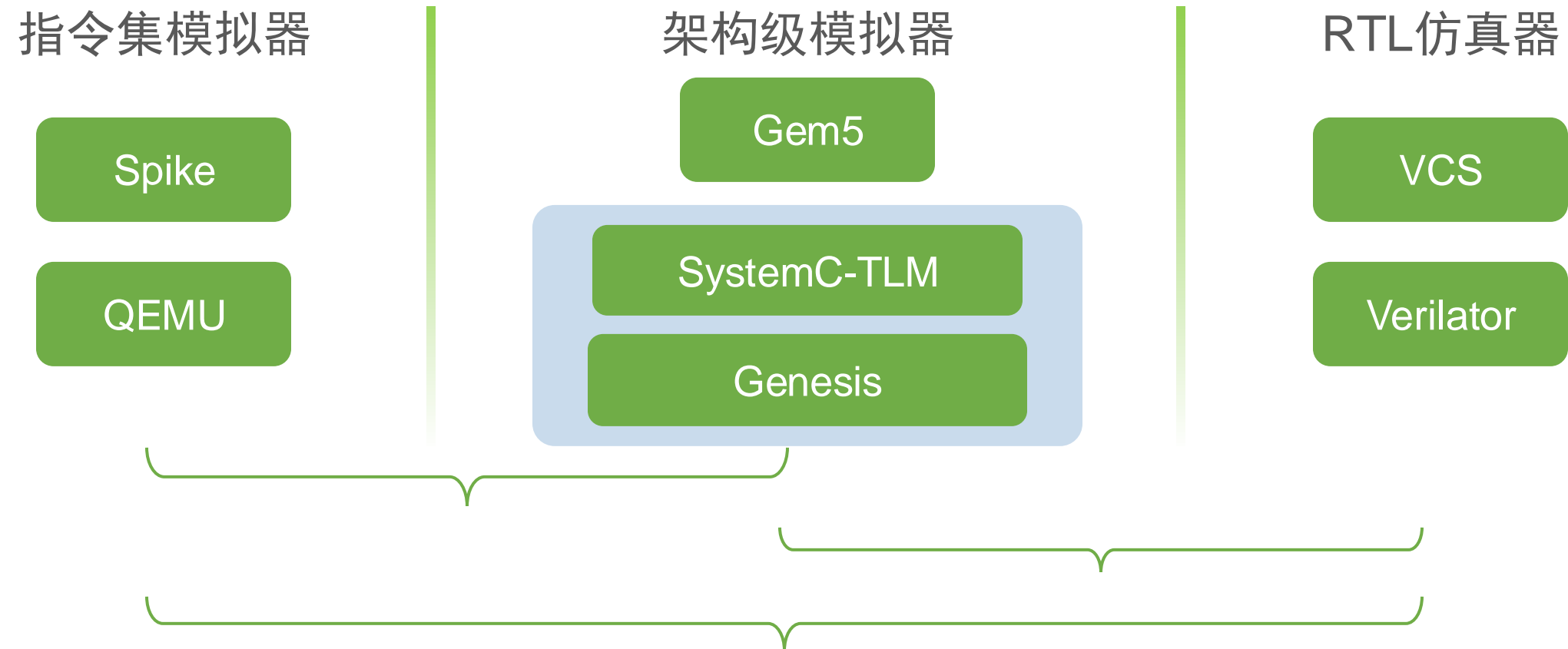


多抽象层次建模仿真，进行 IP、SoC、系统效能与功耗优化



可搭配芯神鼎、芯神瞳等EDA工具，利用既有IP快速精准的建模仿真





### ■ 混合仿真可以实现不同抽象层级模型共同参与完成仿真与验证

- 三种抽象层级的模型可以通过混合仿真的形式完成验证工作
- 目前已有应用方式有：
  - 系统不同组件不同抽象描述配合构建系统实现仿真
  - 相同benchmark在不同抽象层级模型中的结果对比验证

### ■ 架构级建模的必要性

- 设计空间探索与性能分析
- 软件运行平台
- 参考模型辅助验证



## ➤ 混合仿真的需求



- 更多的架构级混合仿真验证的需求
  - 单个组件的局部优化不等于整体优化
  - 更高效，易用的混合仿真框架
- 实现以上需求的条件
  - 足够精确细化的架构级模型
  - 功能强大的混合仿真数据通信，仿真过程控制，信号采集

## ➤ 架构建模基础组件

**DE** : 离散事件计算模型 (Discrete event system)

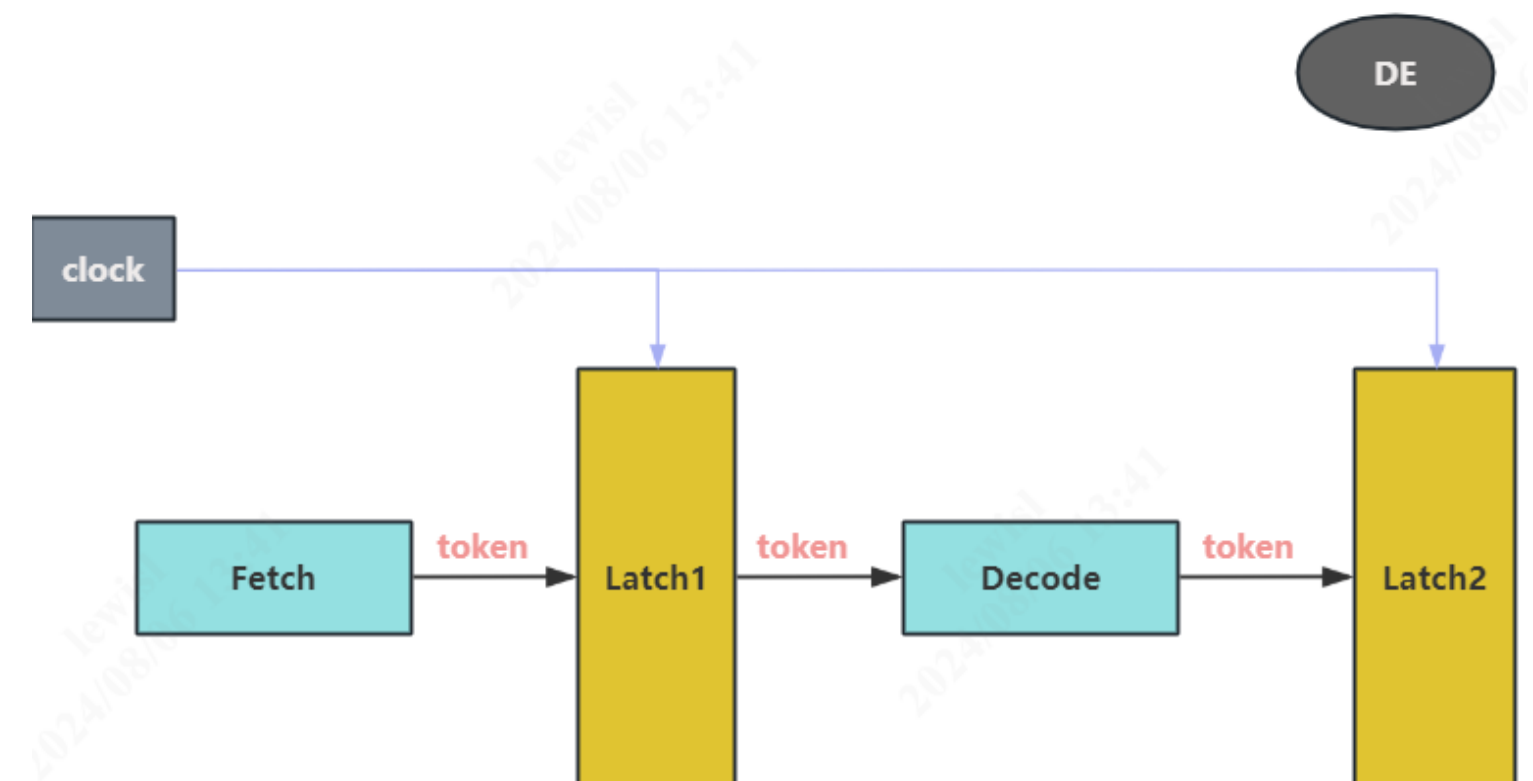
 : 每个组件代表实际硬件功能模块

 : 架构寄存器, 实现时序控制

**token** : 组件之间传输的数据 (instruction、data、signal value change等)

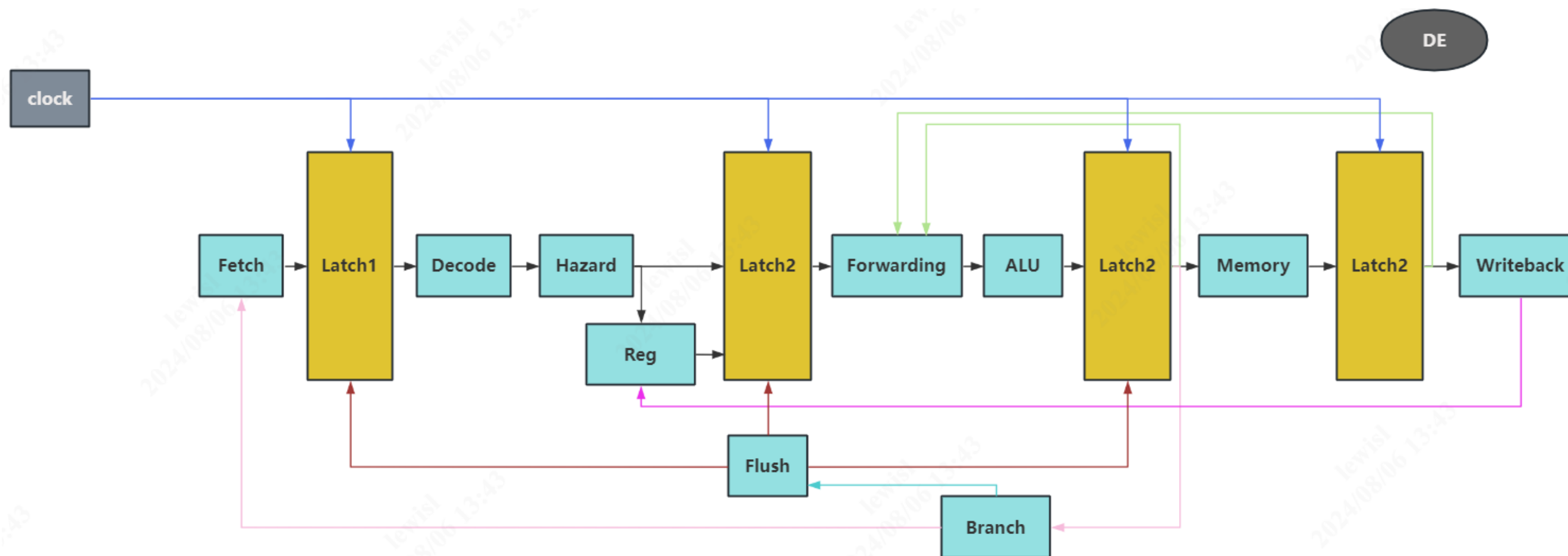
 : 组件之间的连接 (input-output relation )

**clock** : 统一时钟



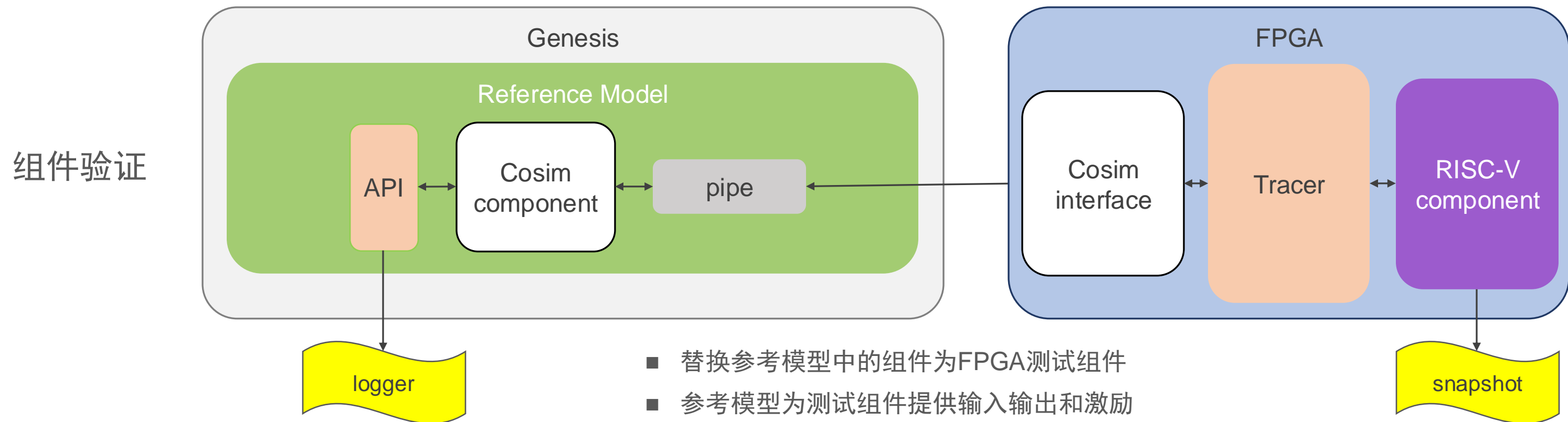
## ➤ 架构建模实例

- 时钟驱动
- Cycle精确
- 并发执行
- 可配置参数
- 可视化建模
- 丰富的组件库



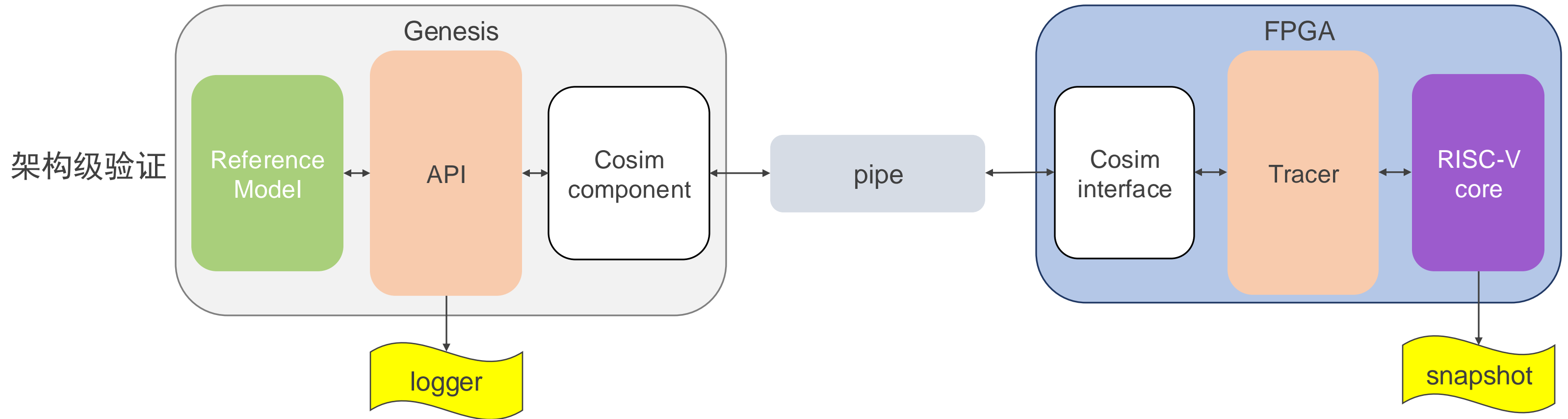
## ➤ 混合仿真验证架构

- API: 参考模型接口
- Tracer: FPGA数据提取与处理
- Cosim component/interface: 混合仿真信号与数据传递接口
- Logger/snapshot: Genesis与FPGA分别支持日志输出和快照输出
- Pipe: 参考模型与FPGA通信通道



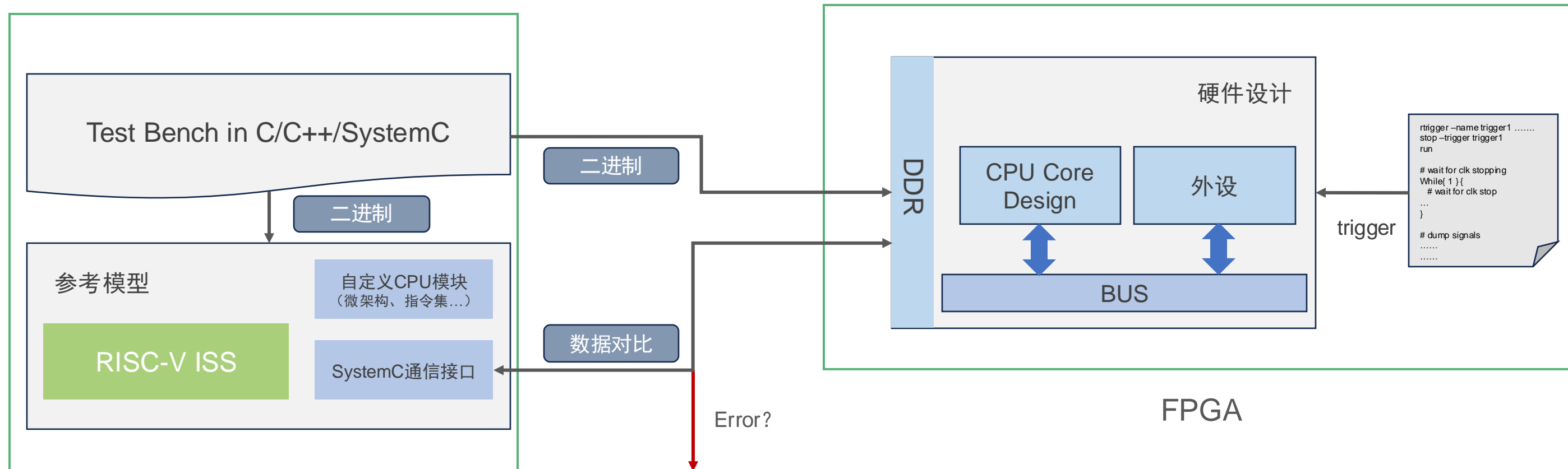


## ➤ 混合仿真验证架构

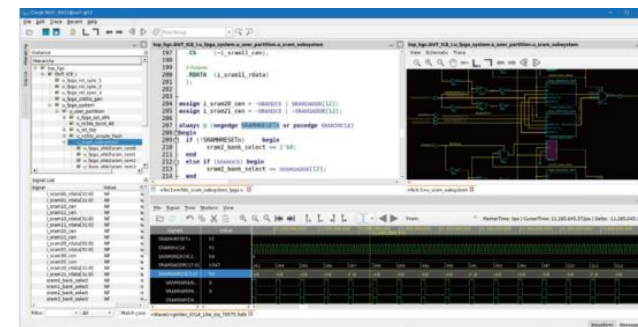


- FPGA和参考模型运行同样的测试用例，对比两者的运行结果

# 故障Debug

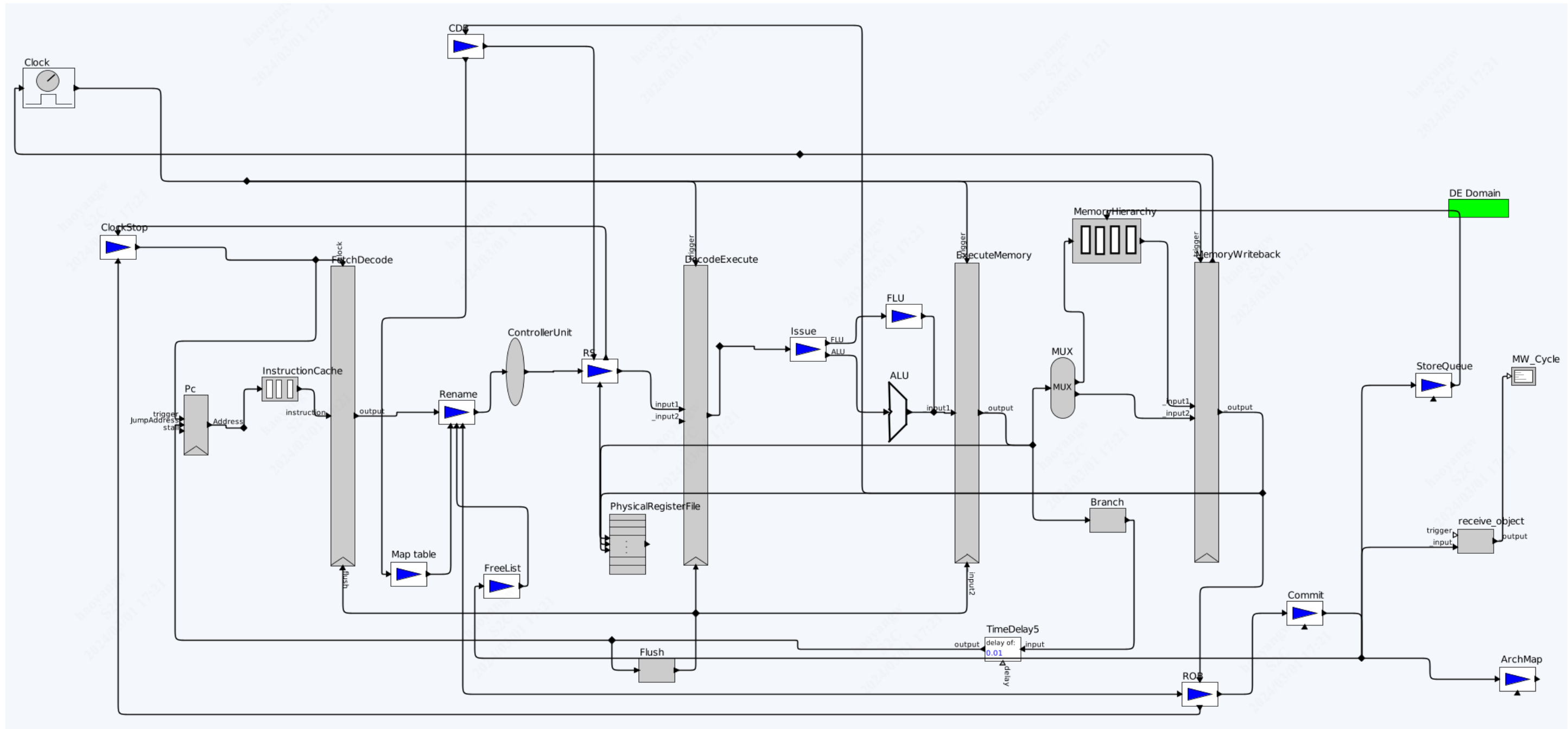


架构模型



仿真快照

- 通过DDR数据通路实现测试输入、测试状态数据的传输
- 通过Trigger机制进行时钟信号控制
- 通过探针实现指定深度的仿真信号抓取
- 仿真过程数据自动对比，出现仿真错误自动抓取仿真快照



## RISC-V架构级模型

```
core 0: prv 3: pc 10128: LW a4 (x14), s0/fp(x8), 0xffffffffec
core 0: prv 3: pc 1012c: LW a5 (x15), s0/fp(x8), 0xffffffffe8
core 0: prv 3: pc 10130: ADD a5 (x15), a4 (x14), a5 (x15)
core 0: prv 3: pc 10134: SW s0/fp(x8), a5 (x15), 0xffffffffec
core 0: prv 3: pc 10138: LW a5 (x15), s0/fp(x8), 0xffffffffe8
core 0: prv 3: pc 1013c: ADDI a5 (x15), a5 (x15), 0x1
core 0: prv 3: pc 10140: SW s0/fp(x8), a5 (x15), 0xffffffffe8
core 0: prv 3: pc 10144: LW a4 (x14), s0/fp(x8), 0xffffffffe8
core 0: prv 3: pc 10148: LW a5 (x15), s0/fp(x8), 0xffffffffdc
core 0: prv 3: pc 1014c: BLT a4 (x14), a5 (x15), 0xffffffffdc
core 0: prv 3: pc 10128: LW a4 (x14), s0/fp(x8), 0xffffffffec
core 0: prv 3: pc 1012c: LW a5 (x15), s0/fp(x8), 0xffffffffe8
core 0: prv 3: pc 10130: ADD a5 (x15), a4 (x14), a5 (x15)
core 0: prv 3: pc 10134: SW s0/fp(x8), a5 (x15), 0xffffffffec
core 0: prv 3: pc 10138: LW a5 (x15), s0/fp(x8), 0xffffffffe8
core 0: prv 3: pc 1013c: ADDI a5 (x15), a5 (x15), 0x1
core 0: prv 3: pc 10140: SW s0/fp(x8), a5 (x15), 0xffffffffe8
core 0: prv 3: pc 10144: LW a4 (x14), s0/fp(x8), 0xffffffffe8
core 0: prv 3: pc 10148: LW a5 (x15), s0/fp(x8), 0xffffffffdc
core 0: prv 3: pc 1014c: BLT a4 (x14), a5 (x15), 0xffffffffdc
core 0: prv 3: pc 10150: LW a5 (x15), s0/fp(x8), 0xffffffffec
core 0: prv 3: pc 10154: ADDI a0 (x10), a5 (x15), 0x0
core 0: prv 3: pc 10158: LW s0/fp(x8), sp (x2), 0x2c
core 0: prv 3: pc 1015c: ADDI sp (x2), sp (x2), 0x30
core 0: prv 3: pc 10160: JALR zero (x0), ra (x1), 0x0
core 0: prv 3: pc 100e8: SW s0/fp(x8), a0 (x10), 0xffffffffec
core 0: prv 3: pc 100ec: LW a5 (x15), s0/fp(x8), 0xffffffffec
core 0: prv 3: pc 100f0: ADDI a0 (x10), a5 (x15), 0x0
core 0: prv 3: pc 100f4: LW ra (x1), sp (x2), 0x1c
core 0: prv 3: pc 100f8: LW s0/fp(x8), sp (x2), 0x18
core 0: prv 3: pc 100fc: ADDI sp (x2), sp (x2), 0x20
core 0: prv 3: pc 10100: JALR zero (x0), ra (x1), 0x0
core 0: prv 3: pc 10168: ADDI a7 (x17), zero (x0), 0x5d
core 0: prv 3: pc 1016c: ADDI a0 (x10), zero (x0), 0x0
core 0: prv 3: pc 10170: ECALL
```

```
Info: /OSCI/SystemC: Simulation stopped by user.
=[ core : 0 ]=====
```

```
next stp instruction addr: 0x1015c
flush counter: 1915
cache miss: 2585
next stp instruction addr: 0x10160
flush counter: 1915
cache miss: 2585
next stp instruction addr: 0x100e8
flush counter: 1915
cache miss: 2585
next stp instruction addr: 0x100ec
flush counter: 1915
cache miss: 2585
next stp instruction addr: 0x100f0
flush counter: 1915
cache miss: 2585
next stp instruction addr: 0x100f4
flush counter: 1915
cache miss: 2585
next stp instruction addr: 0x100f8
flush counter: 1915
cache miss: 2585
next stp instruction addr: 0x100fc
flush counter: 1915
cache miss: 2585
next stp instruction addr: 0x10100
flush counter: 1915
cache miss: 2585
next stp instruction addr: 0x10168
flush counter: 1915
cache miss: 2585
next stp instruction addr: 0x1016c
flush counter: 1915
cache miss: 2585
next stp instruction addr: 0x10170
flush counter: 1915
cache miss: 2585
Verification completed
```



- 基于图形化的架构建模方式
- 提供了方便易用的混合仿真框架
- 结合架构建模实现架构级混合仿真验证
- 快速发现错误快速定位错误

An abstract graphic on the left side of the slide. It consists of a large sphere formed by numerous thin, green, curved lines that intersect and overlap. Scattered around and inside this sphere are many small green dots of varying sizes. Some dots are solid, while others are faint outlines. The overall effect is a sense of dynamic movement and interconnectedness, reminiscent of a network or a molecular structure.

# Thanks !

思尔芯  
成就每一个芯梦想

