



清华大学

Tsinghua University

开源通用GPU指令集架构 --乘影(OpenGPGPU)

何 虎

清华大学集成电路学院



第4届 2024
RISC-V 中国峰会

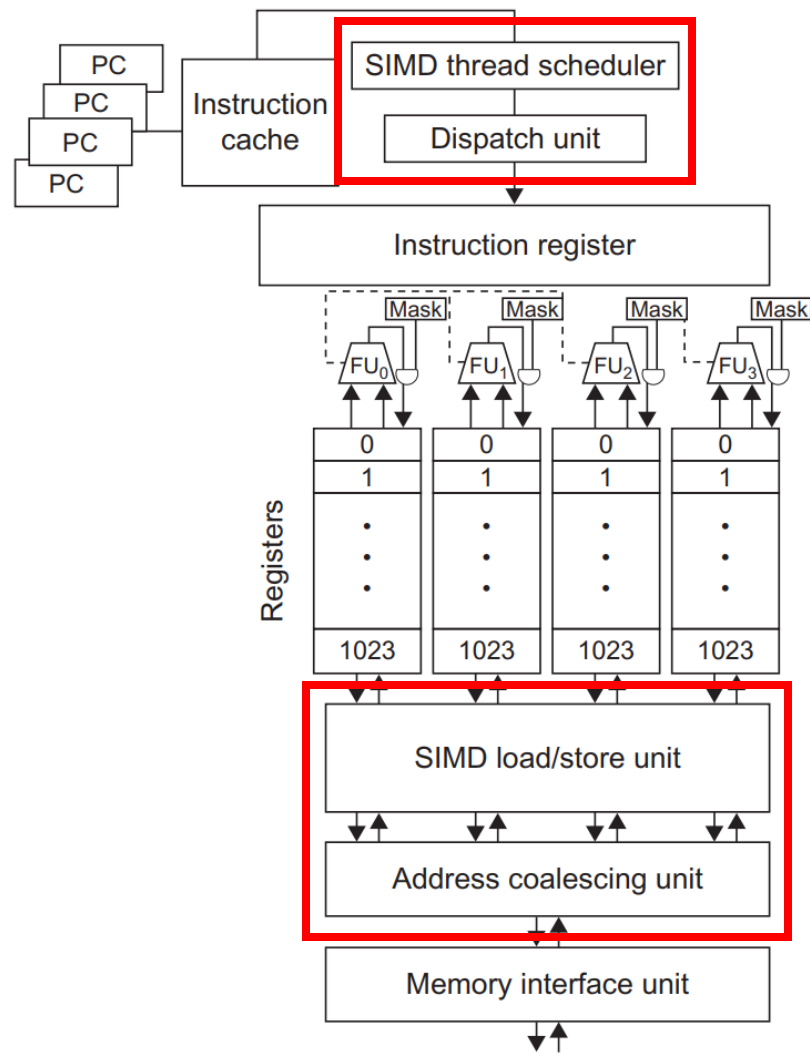
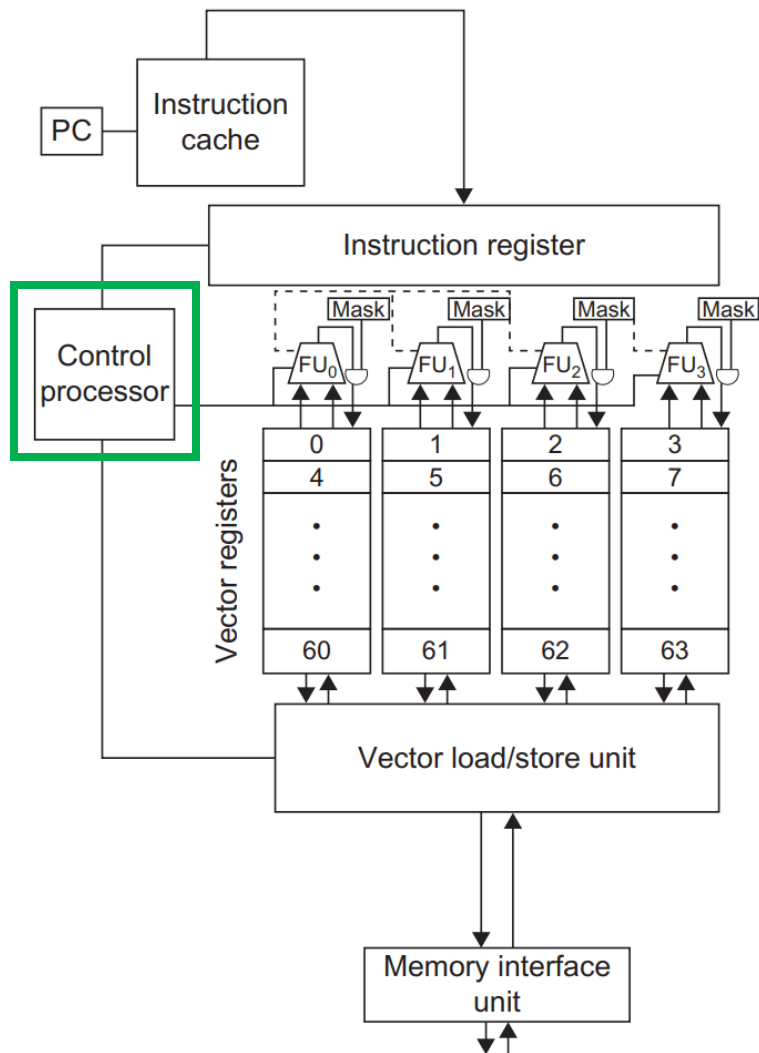
RISC-V Summit China



清华大学

Tsinghua University

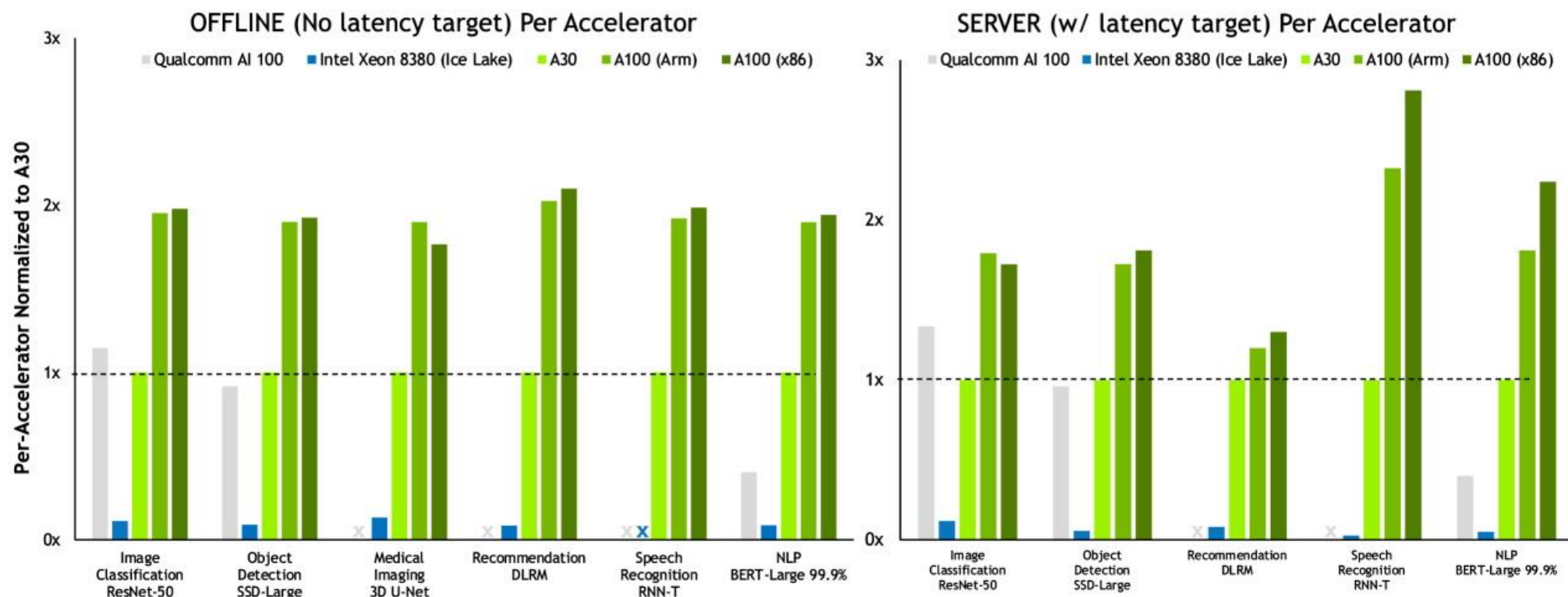
Vector处理器和GPGPU的主要区别



CPU和GPU性能对比

NVIDIA TOPS MLPERF DATA CENTER BENCHMARKS

A100 up to 104x Faster Than CPU

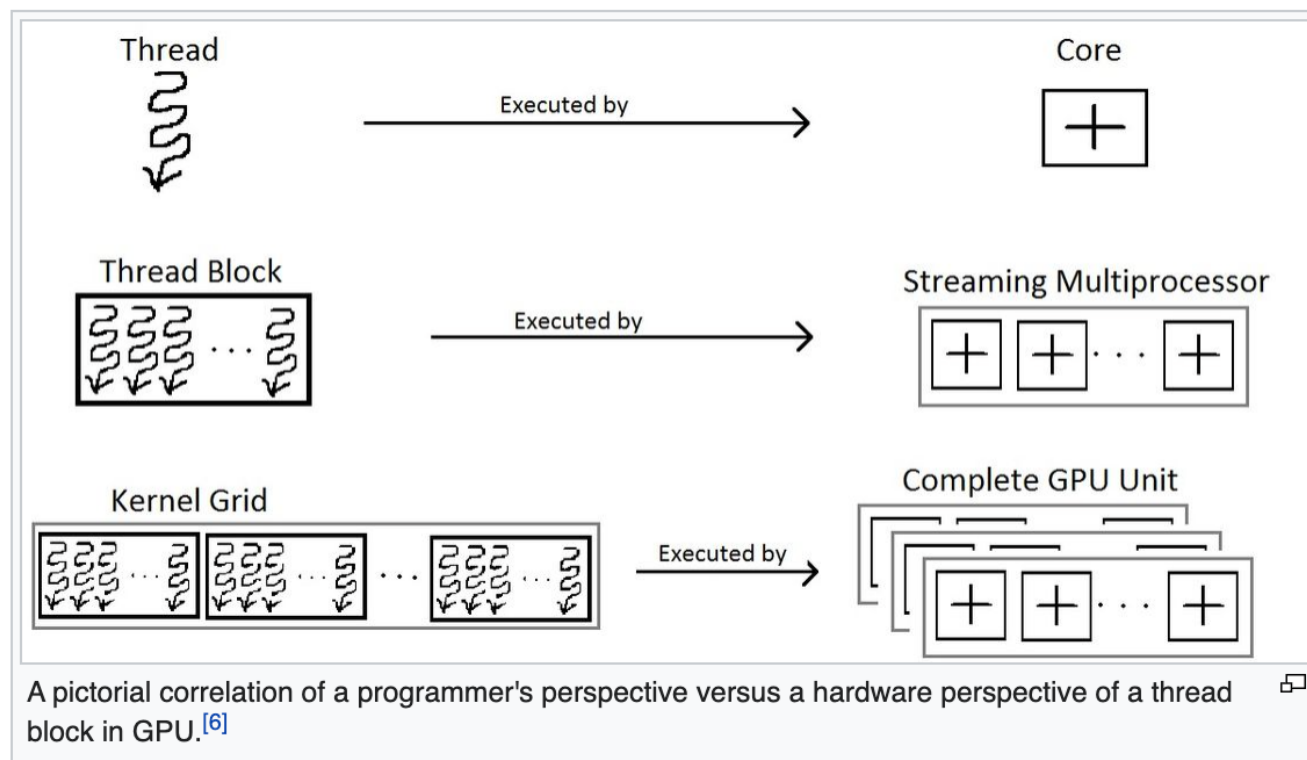


MLPerf v1.1 Inference Closed; Per-accelerator performance derived from the best MLPerf results for respective submissions using reported accelerator count in Data Center Offline and Server. Qualcomm AI 100: 1.1-057 and 1.1-058, Intel Xeon 8380: 1.1-023 and 1.1-024, NVIDIA A30: 1.1-43, NVIDIA A100 (Arm): 1.1-033, NVIDIA A100 (X86): 1.1-047. MLPerf name and logo are trademarks. See www.mlcommons.org for more information.

X = No result submitted

最核心区别是编程模型

GPU采用显式并行方式，暴露线程数量给程序员，并行数据处理采用标量方式进行
CUDA和OpenCL均采用此种方式编程，目前生产效率最高的并行编程模型



开源是发展自主可控芯片的创新路径

- 处理器芯片技术栈最重要的中间抽象层是指令集架构（ISA）。高性能计算公司，尤其是并行计算芯片行业领导者英伟达（NVIDIA）和超微半导体（AMD）长期以来将其作为闭源技术规范。
- 开源指令集RISC-V有望突破这一现状，通过建立大众参与的开放上下游生态，建设积极旺盛的人才培养环境，打破行业垄断玩家对先进技术的封锁，凝聚原本分散的社会资源，齐心协力做好一个GPGPU软硬件生态。

创新路径：开源软件工具链、开源指令集、开源硬件架构

软件工具链补全

OpenCL编程框架

指令集开源

RISC-V向量扩展

计算架构创新

Tensor Core计算单元

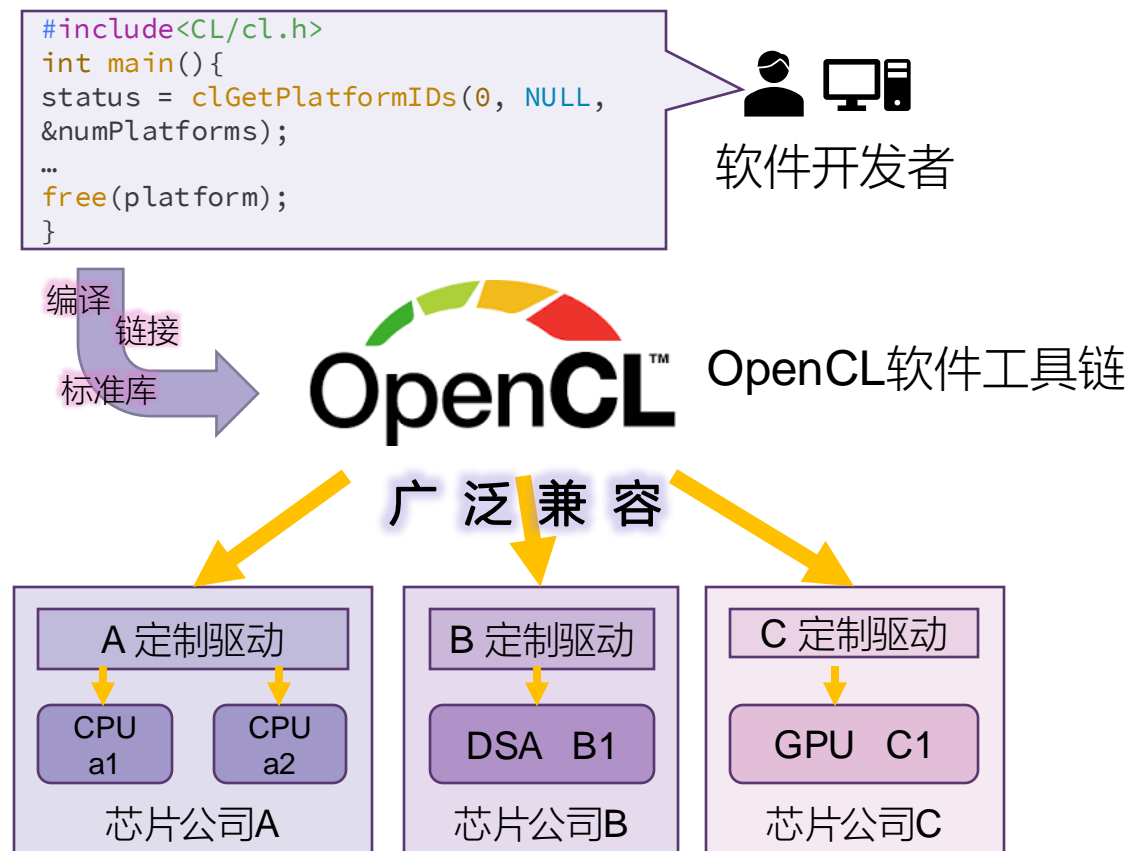
建立开源生态，打破技术封锁

软硬件协同构建开发者生态

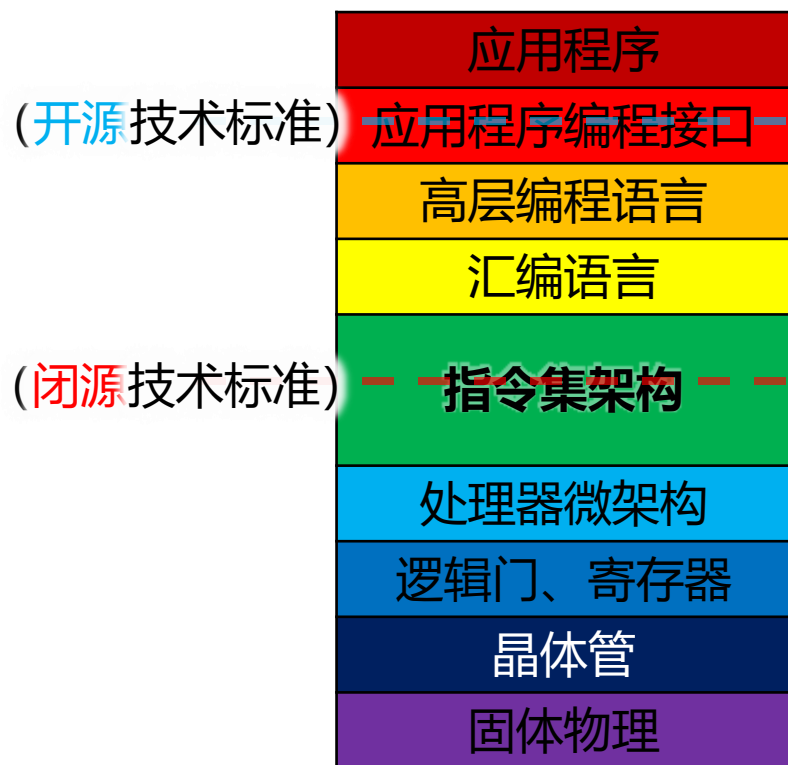
Khronos Group旗下的OpenCL是一个异构并行计算编程框架，提供一系列通用中间层API。各芯片供应商根据API标准各自独立实现。调用相同API的软件程序则可以运行在不同硬件平台上。因此OpenCL易于在不同平台之间迁移。

OpenCL是目前所有GPU都支持的并行编程框架

是唯一可能与CUDA竞争的GPU并行编程框架



统一指令集架构意义



软件技术栈

如果指令集架构变成开源技术标准,

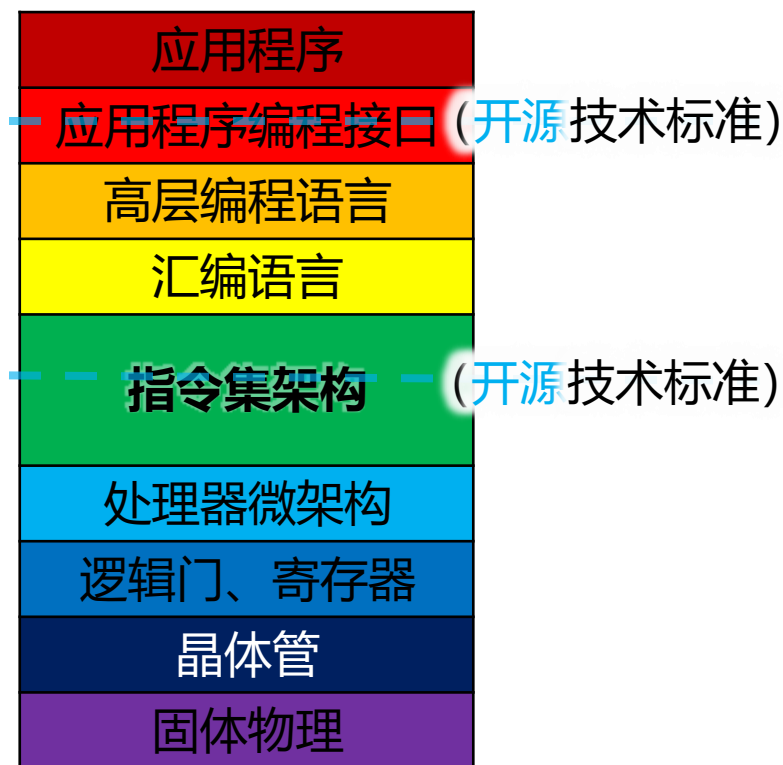
上下游开源标准之间分割出的软硬件技术栈有能力供养一批独立的软硬件解决方案公司。

对软件公司而言, 建立统一的软件生态系统, 减少上层应用和工具软件的开发和迁移成本;

对硬件公司而言, 让芯片公司专注于硬件设计, 提高GPU硬件公司的资源投入效率, 进而提高技术水平和竞争力。

软件技术栈

硬件技术栈



统一指令集架构意义（续）

- 统一指令集架构可以形成合力，把分散的GPU研发力量聚合起来，形成可以和巨头竞争的局面，不会陷入重复造轮子的困境，也更利于人才的汇聚；
- 乘影开源通用GPU指令集架构，大部分指令来自于RISC-V指令集，采用了GPGPU SIMT架构并设计了多条扩展指令。充分利用RISC-V现有的指令集架构生态，使得市场主体很容易接受和参与到软件开发和芯片设计中。

指令集架构手册



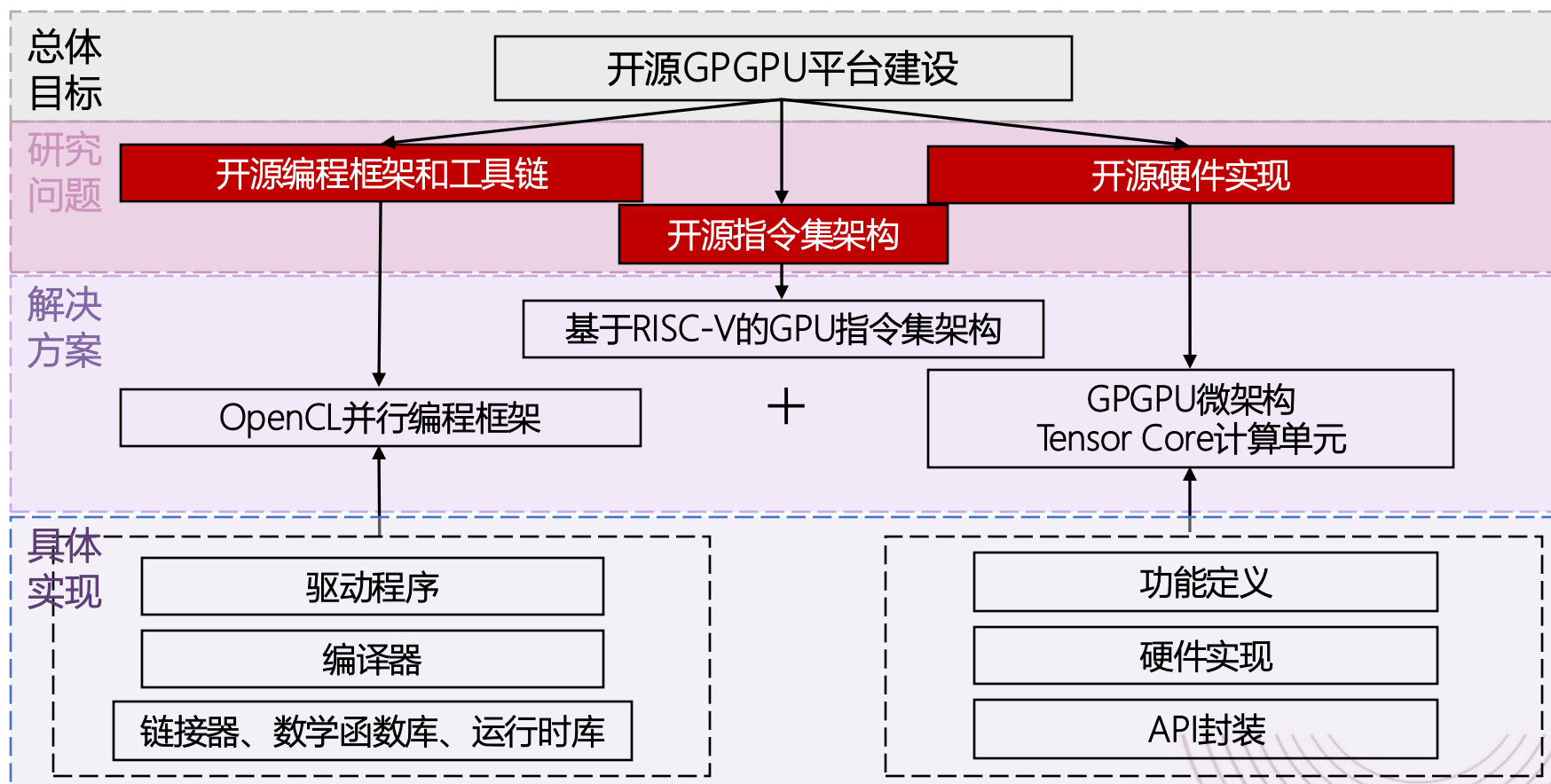
“乘影” GPGPU 指令集架构
文档手册

v2.02 2024.1.15

可行性和技术路线

“乘影”围绕开源RISC-V指令集搭建国内开源GPGPU平台，提供包括开源指令集架构、微架构设计、OpenCL软件工具链在内的全套实现。

可基于乘影现有成果，进一步推动国内统一开源通用GPU指令集架构的发展。



指令集支持及自定义扩展

扩展	指令类型	1.0版本	2.0版本	3.0版本
V	Configuration-Setting	部分支持	部分支持	部分支持
	Loads and Stores	支持	支持	支持
	Integer Arithmetic	支持	支持	支持
	Floating-Point	支持	支持	支持
	Reduction	不支持	参照GPGPU需求添加	参照GPGPU需求添加
	Mask	部分支持	参照GPGPU需求添加	参照GPGPU需求添加
I		部分支持	支持	支持
M		支持	支持	支持
F		支持	支持	支持
D		不支持	不支持	支持
A		不支持	支持	支持
RV64		不支持	不支持	变换后支持

type	instruction name	usage
kernel response	endprg	endprg x0,x0,x0
synchronization	barrier, barriersub	barrier x0,x0,imm barriersub x0,x0,imm
branch control	vbeq, vbne, vblt vbge, vbltu, vbgeu	vbeq vs2, vs1, offset vbne vs2, vs1, offset
branch control	join, setrpc	join v0, v0, 0 setrpc rd, rs1, offset
register index extension	regext, regexti	regext x0, x0, imm regexti x0, x0, imm
register pair	regpair, regpairi	regpair x0, x0, imm regpairi x0, x0, imm
memory access	vlw12.v, vlh(u)12.v, vlb(u)12.v vsw12.v, vsh12.v, vsb12.v	vlw12.v vd,offset(vs1) vsw12.v vd,offset(vs2)
memory access	vlw12d.v, vlh(u)12d.v, vlb(u)12d.v vsw12d.v, vsh12d.v, vsb12d.v	vlw12d.v vd,offset(vs1) vsw12d.v vd,offset(vs2)
async memory access	cp_dma, cp_dma_bulk, cp_dma_tensor, cp_dma_mbarrier	cp_dma cpsize cp_dma_bulk srcsize, src, dst
prefix	pre_default, pre_defaulti	pre_default imm, pair, abs, neg pre_defaulti imm, pair, abs, neg
prefix memory	pre_m_(size), pre_m_global_(size), pre_m_private_(size), pre_m_local_(size)	pre_m_32 ch, imm, pair pre_m_global_64 ch, imm, pair pre_m_local_128 ch, imm, pair
calculate	vadd12.vi	vadd12.vi vd,vs1,imm
tensor	vfexp.v, vftta.v, mma	vfexp vd,v2,v0.mask mma_8x8x8_FP32_FP32 vd, vs2, vs1

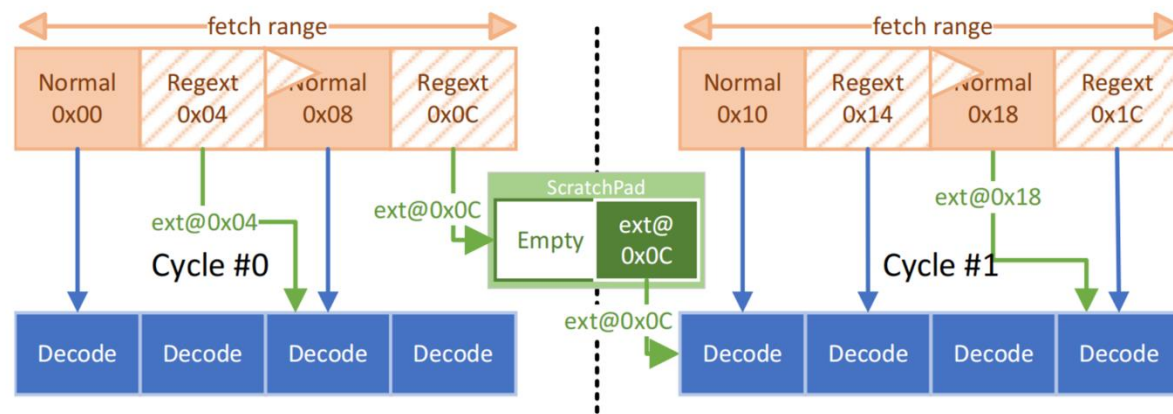
自定义指令:

分支、同步、线程束控制
寄存器/立即数扩展
寄存器对拼接
自定义访存指令
张量计算和exp

-SIMT
-解决Register Spilling
-支持64位操作
-编译器需求
-DSA支持

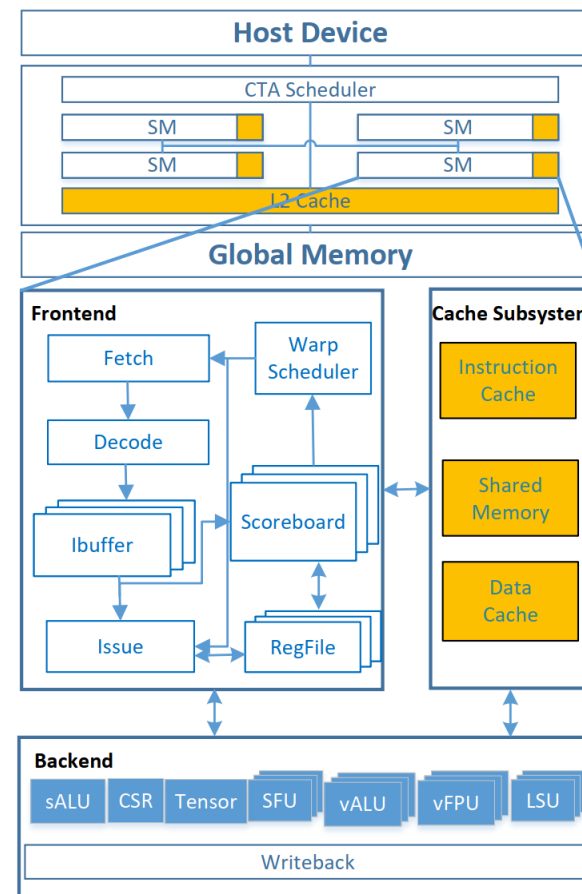
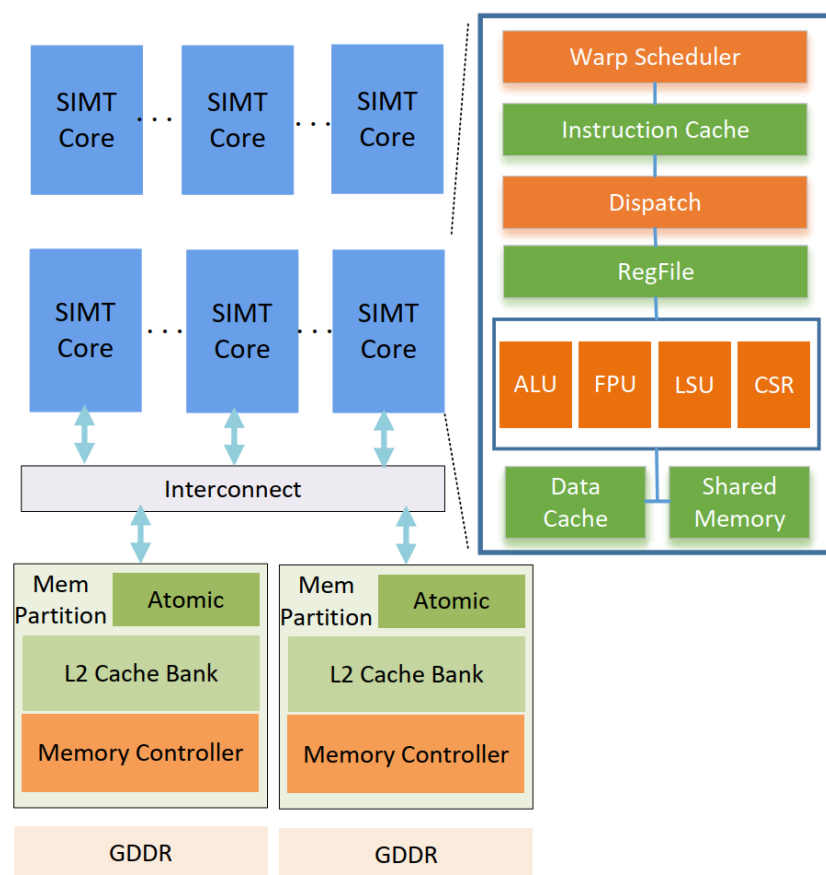
32/64位指令字支持、64位数据和地址支持

- 乘影指令集架构在保持对RISC-V 32位指令字兼容的基础上，通过定义32位扩展指令字和RISC-V 32位指令字一起构成64位指令字
- 解决了32位指令字字长不够，不能表达GPGPU全部指令信息的问题
- 当前定义了两类四条扩展指令实现了对64个标量寄存器，256个矢量寄存器的编码。实现了对寄存器对的支持，实现了64位数据和地址操作
- 为了将来更好的扩展指令集空间，乘影GPGPU指令集将利用RISC-V C扩展的指令空间



乘影OpenGPGPU微架构

- 采用Chisel语言完成了完整的GPGPU微架构设计和实现
- 完成了CTA任务调度器，流式多处理器，多核架构等硬件设计



测试集通过

- 目前支持将kernel函数编译为RVV程序并按照OpenCL框架在多个仿真设备上运行的完整流程
- 已支持的benchmark

```
__kernel void test(__global float* A, __global float* B) {  
    unsigned tid = get_global_id(0);  
    A[tid] += B[tid];  
}
```

Benchmark	vecadd	matadd	gaussian	nn	bfs	backprop	kmeans	nw	b+tree
指令级仿真器	✓	✓	✓	✓	✓	✓	✓	✓	✓
RTL仿真	✓	✓	✓	✓	✓	✓	✓	✓	✓

- 更多的benchmark.....

OpenCL CTS通过率约80%:

Basic 109/115、Api 96/105、Computeinfo 5/5、Compiler 27/66

```
call    _Z13get_global_idj  
vsll.vi v0, v0, 2  
vadd.vx v1, v0, s1  
vlw12.v v1, 0(v1)  
vadd.vx v0, v0, s0  
vlw12.v v2, 0(v0)  
li t2, 0x2000  
csrrs t2, mstatus, t2  
vfadd.vv      v1, v2, v1  
vsw12.v v1, 0(v0)  
lw      ra, -8(sp)
```

*OpenCL编译器由兆松科技开发

同类GPU设计对比

Feature	Vortex	MIAOW	Volta	Chengying
Non-blocking	✓		✓	✓
Atomic	not in RTL		✓	✓
Release consistency			✓	✓
Invalidation			✓	✓
Flush	✓	✓	✓	✓

	MIAOW	Vortex	Chengying
b+tree			✓
backprop	✓		✓
bfs		✓	✓
gaussian	✓	✓	✓
kmeans	✓	✓	✓
nn		✓	✓
nw	✓		✓

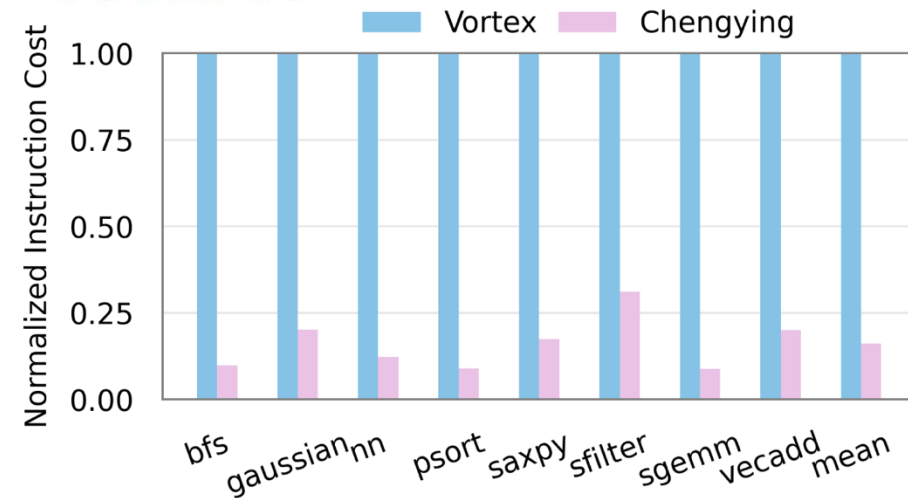


Fig. 5. Instruction evaluation of Chengying compared with Vortex.

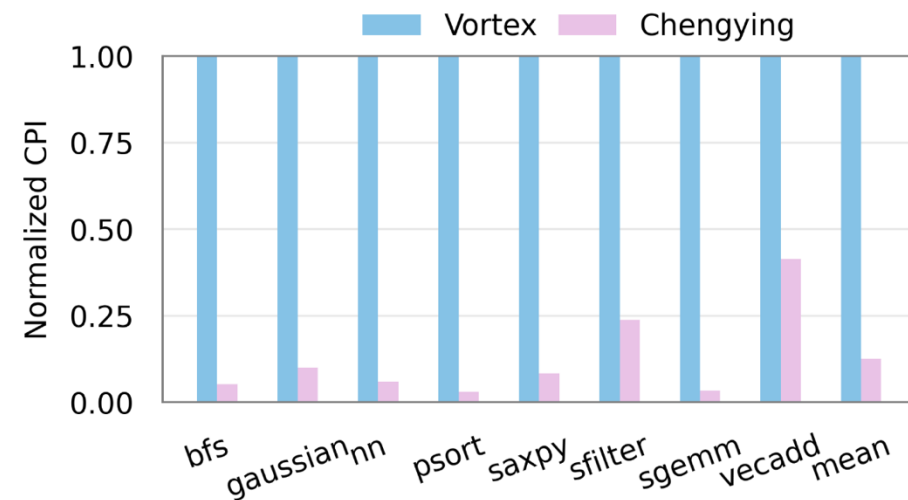


Fig. 6. CPI evaluation of Chengying compared with Vortex.

开源通用GPU指令集架构社区建设

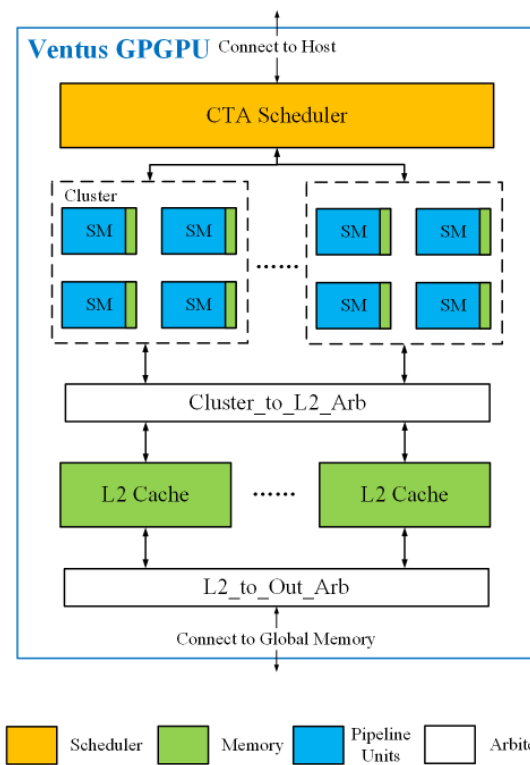
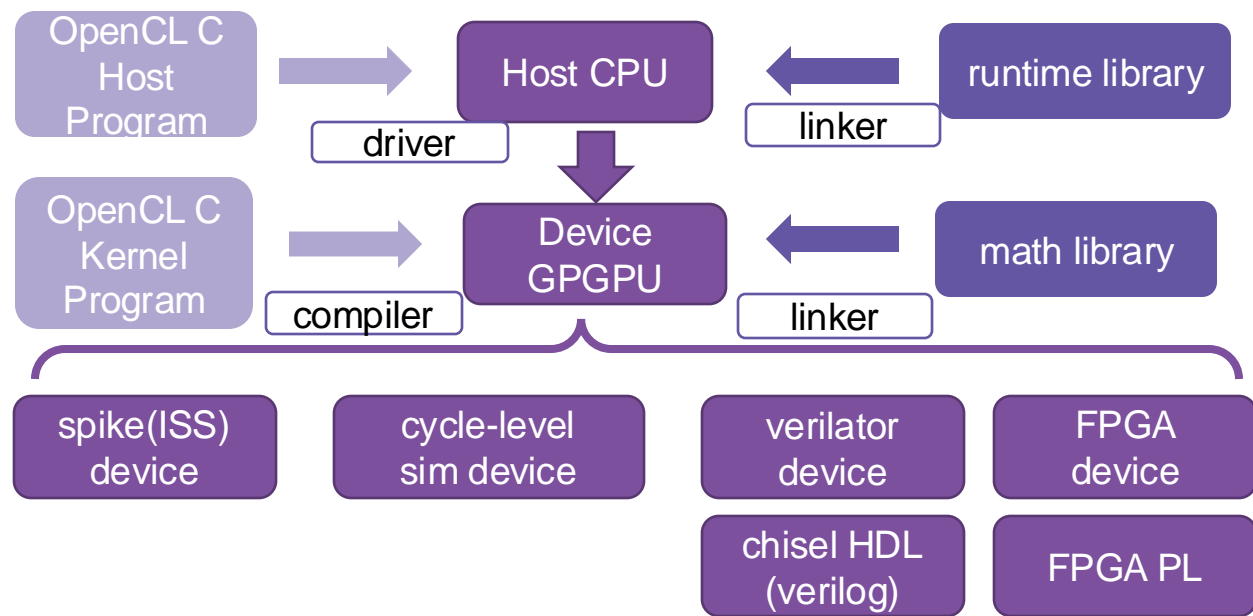


• 开源通用GPU指令集架构开源社区

- 社区是清华大学教育基金会下设的公益项目，是一个非盈利性开源组织，运行的基本经费来自于会员会费收入；
 - 社区会员无偿贡献专利和GPU指令集架构给社区，所有人均可按照开源协议约定使用；
 - 社区不开发商用版本的GPGPU软硬件；
 - 社区会员积极推动指令集架构的演进。
- Github链接: <https://github.com/THU-DSP-LAB/>
 - Gitlink链接: <https://www.gitlink.org.cn/THU-DSP-LAB>
 - 开源网站: OpenGPGPU.org.cn

开源通用GPU指令集架构社区建设

- 乘影GPGPU已经拥有支持并行编程框架OpenCL的软件工具链，可将OpenCL程序编译为乘影指令集并调度执行。
- 采用RISC-V及其向量扩展指令减轻了编译器开发工作量，还能吸引RISC-V从业人员参与。
- 乘影团队已经实现支持上述指令集架构的GPGPU微架构设计，利用Chisel HDL实现的RTL具备良好的可配置性与可扩展性，实现了张量计算单元。
- 苏州国芯团队开发了Verilog语言编写的乘影GPGPU硬件实现



社区会员合作模式

- 所有会员面向开源社区贡献力量。包括指令集架构，硬件参考设计，软件工具链等
- 会员之间合作模式
 - 会员仅仅和清华大学团队合作贡献开源社区
 - 会员之间选择合作伙伴进行合作
 - 会员自行在开源技术基础上自主开发商用产品
 - 所有参与方通过开源社区团结在一起共建统一软硬件生态

“开源通用图形处理器指令集架构”标准申请

- 中电标协新一代计算标准工委下成立图形处理器工作部
- 向工作部申请立项“开源通用图形处理器指令集架构”标准
- 发起单位：清华大学，联合发起单位：兆松，奕斯伟，国芯科技，算能，智绘微，沐曦，天数智芯，摩尔线程，景嘉微，中国电信研究院，中移动芯昇，开芯院，中科院软件所，格兰菲芯原，腾讯等

中国电子工业标准化技术协会 新一代计算标准工作委员会

关于征集中国电子工业标准化技术协会
新一代计算标准工作委员会工作部成员的通知

各有关单位：

为推动中国电子工业标准化技术协会新一代计算标准工作委员会（以下称：标工委）各项工作，助力新一代计算产业和数字经济高质量发展，根据标工委《工作守则》及相关规定，经研究，拟增设数据处理器（DPU）、图形处理器（GPU）、计算产品组件、应用推广四个工作部门，现面向各单位征集工作部成员。

请意向参与单位填写附件2，盖章后（电子版）于2024年3月22日前反馈标工委秘书处。

联系人：李阳，13261628376，liyang@cesa.cn

附件1：工作部情况介绍

附件2：工作部成员登记表

中国电子工业标准化技术协会
新一代计算标准工作委员会
2024年3月11日

OpenGPGPU.org.cn

共有 共建 共享

一个人走得快，一起走才走得远！
欢迎GPGPU从业者加入我们！

THANK YOU



OpenGPGPU
乘影



清华大学教育基金会
TSINGHUA UNIVERSITY EDUCATION FOUNDATION

