

RISC-V芯片在汽车领域应用机遇与挑战

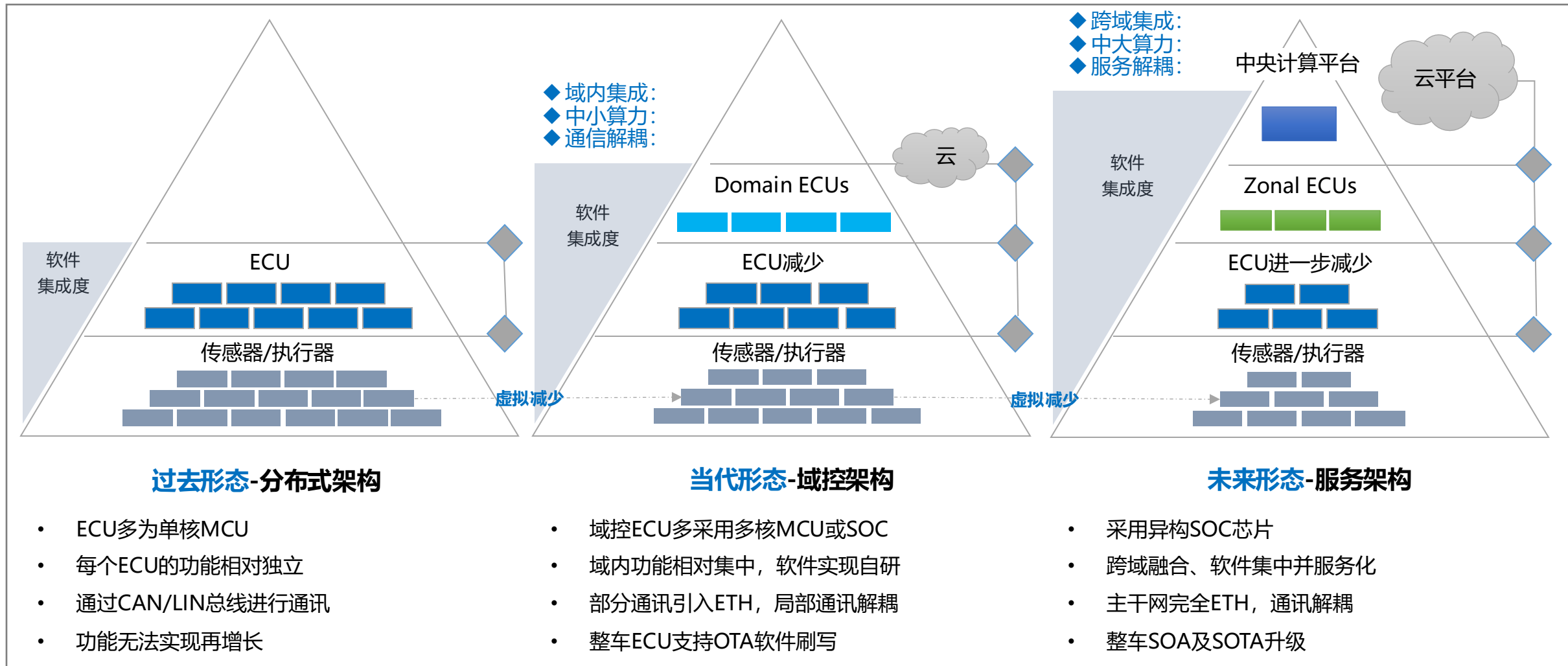
曹常锋 2024.6

长城汽车 总工程师

目录
CONTENTS

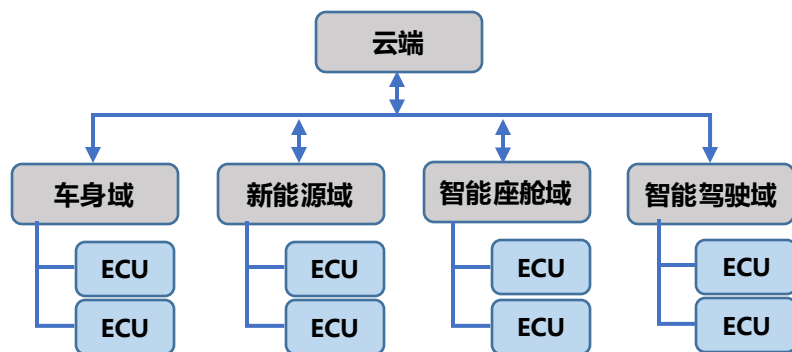
- 1 汽车领域对芯片的需求
- 2 RISC-V芯片的挑战
- 3 RISC-V芯片的上车路径思考

- 当前车端架构各控制器实现了软硬解耦，并完成4大域的软件自研和集成，下一代车端架构逐步迭代为**面向软件定义汽车的服务化架构**，形成车云一体化形态。



- 随着汽车智能化的深入，整车的竞争要素和价值体现要从硬件为主的开发方式，变更为**软件定义**的开发方式，传统的基于MCU的开发需**实现软硬解耦、集中自研、进而迭代为面向服务的开发**；

域控架构及软硬分离：软硬件解耦并且软件集中化



软硬件解耦

基于传统CP架构实现软硬件解耦，实现软硬件可独立开发，软件可在不同硬件灵活复用；

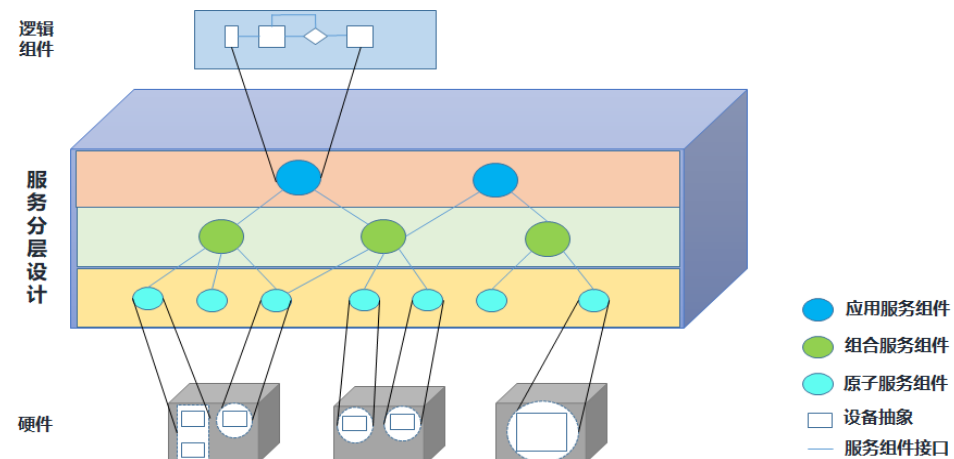
整车OTA升级
远程诊断与标定
实现较复杂的应用场景开发
静态的功能开发模式（劣势）

软件集中化

功能上移，软件集成度更高，开发效率提升，功能开发更新更快捷；



面向服务：采用软件分层、解耦、高复用的功能服务开发模式



软件解耦OS化

一套“承上启下”的基础软件，解耦底层操作系统，抽象底层硬件，实现软件解耦；

基于低代码的全新开发方式
车主自定义主题场景
整车SOTA升级、打通应用商城APP

全面服务化架构设计

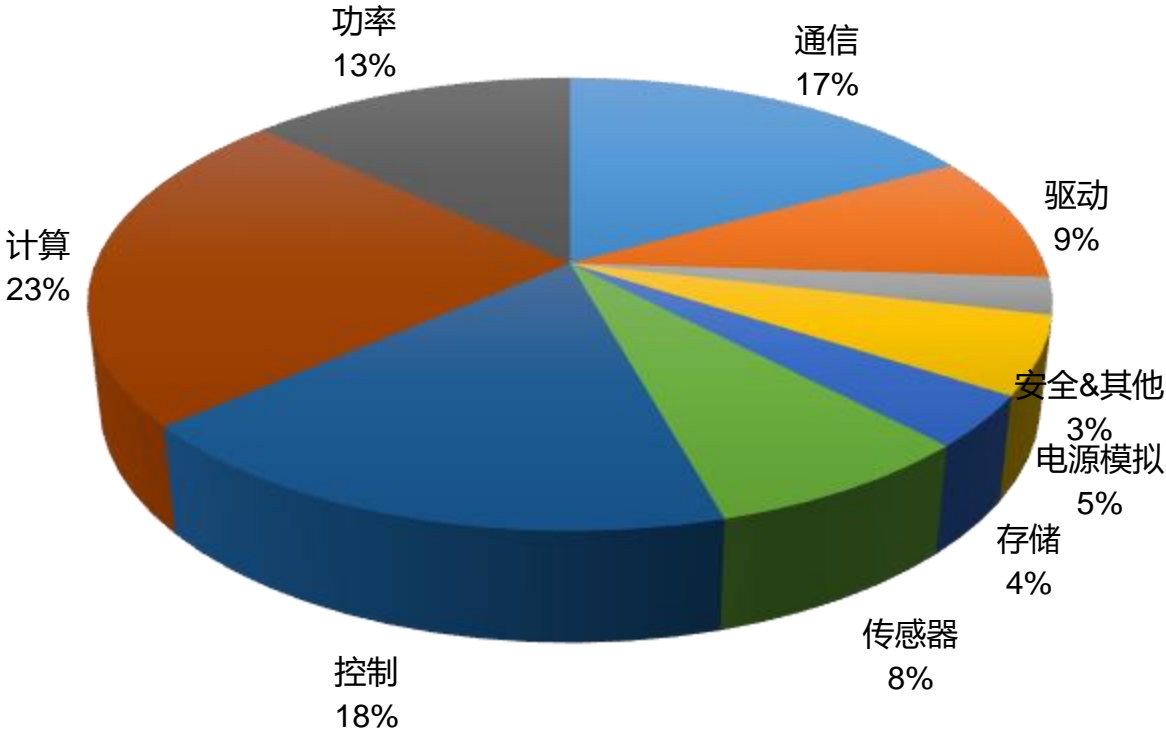
软件架构采用服务化分层的方式，整车几十个硬件能力抽象成标准API，上层服务重点负责业务的逻辑处理，基于硬件能力抽象成各种功能场景；



汽车全车芯片分类及价值分布

| 序号 | 产品种类 | 产品 |
|----|------|---------------------------------|
| 1 | 计算 | CPU\GPU\AI等 |
| 2 | 控制 | MCU、SOC等 |
| 3 | 通讯 | 蜂窝\WLAN\GPS\CAN\LIN、UWB\BT\以太网等 |
| 4 | 功率 | IGBT\SIC\MOSFET等 |
| 5 | 驱动 | 高边、低边、桥接等 |
| 6 | 传感器 | 图像、语音、雷达、压力等 |
| 7 | 电源模拟 | SBC\ DC/DC \DC/AC 等 |
| 8 | 存储 | DRAM\SRAM\FLASH等 |
| 9 | 安全 | HSM |
| 10 | 其他 | |

全车芯片价值分布



数据来源：长城汽车

■ 计算类、控制类、通信类（以太网通信、CAN/LIN、编解串）、功率类（IGBT、MOS）,四类占比最高

- 根据车型不同，单一车型控制器数量配置在40~100个之间，芯片数量在300~800颗不等，芯片单车价值最高超1.4万元
- RISC-V首先在控制类和计算类应用

| 新能源车型 | 控制器数（个） | 芯片数量（颗） | 价值总量（元） |
|-------|---------|---------|---------|
| 低端车型 | 约40 | 约300 | 约3000 |
| 中端车型 | 约60 | 约500 | 约8000 |
| 高端车型 | 约100 | 约800 | 约14000 |

新能源车单车芯片价值

| | 类别 | 子类 | 工艺类别 | 工艺节点 | 单车用量 |
|------|-----|-----------|-------------------------|-----------------|--------|
| 主控芯片 | 控制类 | MCU等 | CMOS（e-falsh） | 65~28nm, >65nm | 50-100 |
| | 计算类 | SOC等 | CMOS | 16~7nm, <7nm | 5-10 |
| 外设芯片 | 模拟类 | 运算放大器等 | 模拟工艺 | 1um | 60-90 |
| | 电源类 | DC-DC等 | BCD MOS | 0.13~0.35um | 90-130 |
| | 驱动类 | 高低变驱动等 | BCD MOS | 0.13um | 50-70 |
| | 存储类 | DDR | 3D NAND、VLSI等 | 15~25nm | 20-30 |
| | | FLASH | 3D NAND | 45~65nm | |
| | 传感类 | 各类传感器 | MEMS | 0.1~0.35um | 30-40 |
| | 通信类 | CAN%LIN | 模拟工艺 | 1um | 60-80 |
| | | 以太网 | CMOS | ≤28nm | |
| | | 视频编解码 | MIXER 等 | 28~55nm, 0.13um | |
| | | 网联通信模组 | CMOS、MIXER等 | ≤7nm | |
| 分立器件 | 功率类 | IGBT | 功率器件 | --- | -- |
| | | SiCMOSFET | 功率器件 | ≤0.18um | 20-40 |
| | 其他类 | MOS管等 | --A = πr ² ≤ | -- | ≥1000 |

新能源车各类芯片工艺及数量概况

右区域控制器：整合右区域控制器，如空调、副驾座椅调节、座椅通风加热

- 多核MCU
- PIN角数量：292
- 算力：2K DMIPS
- 存储：4-6M
- 支持S2S，以太网，SOA基础服务设计



前区域控制器：基于动力域控PDCU，整合前舱热管理器件

- 多核MCU
- PIN角数量：176-200
- 算力：1K DMIPS
- 存储：4M，FLASH 8G
- 支持S2S，以太网，SOA基础服务设计



左区域控制器：基于车身域控CEM，整合灯光控制、进入控制、雨刮控制、管柱调节

- 多核MCU
- PIN角数量：292
- 算力：2K DMIPS
- 存储：4-6M
- 支持S2S，以太网，SOA基础服务设计



后区域控制器：整合后区域后背门、后空调、电动尾翼、遮阳帘等

- 多核MCU
- PIN角数量：176-200
- 算力：1K DMIPS
- 存储：4M
- 支持S2S，以太网，SOA基础服务设计



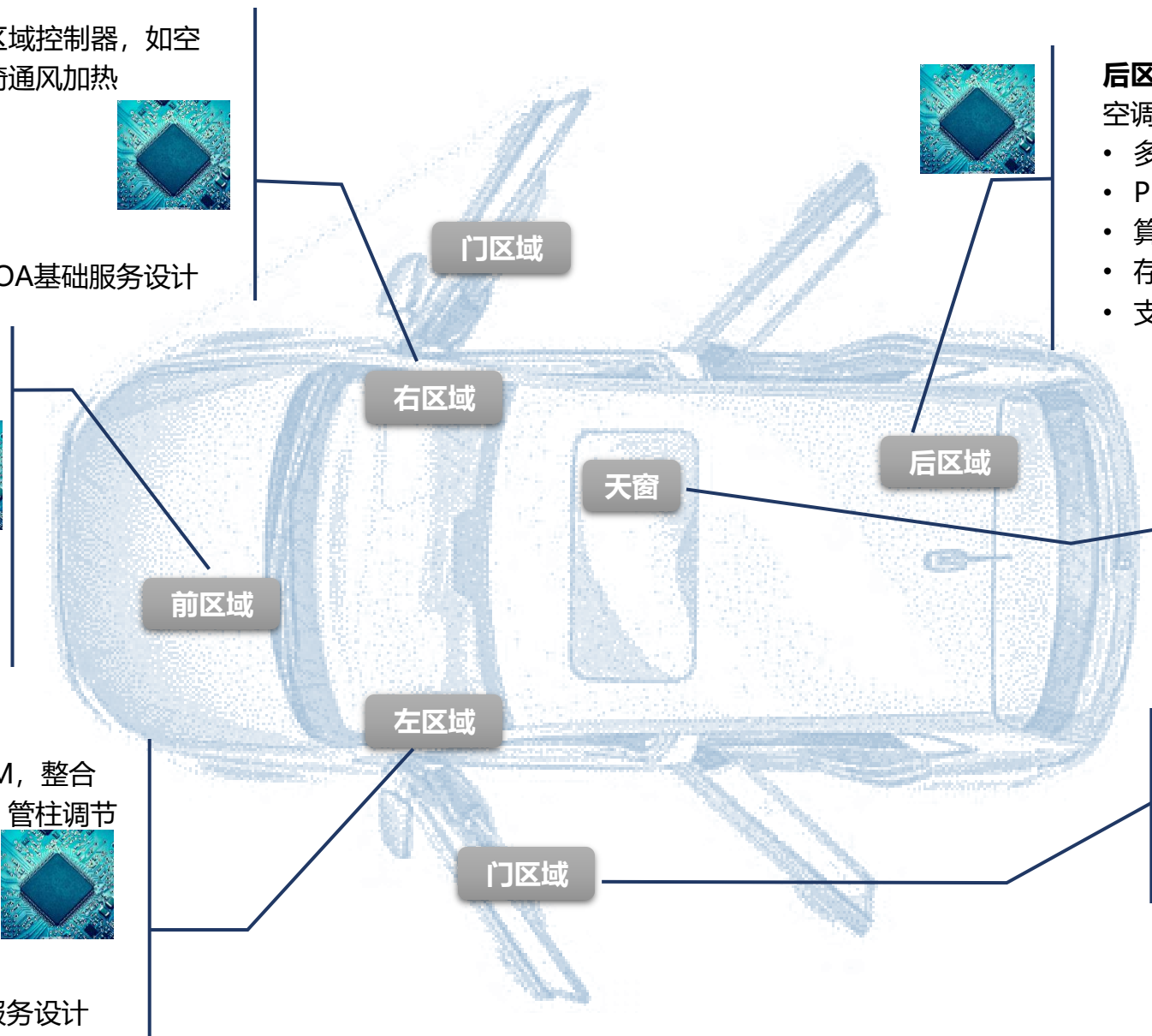
天窗区域控制器

- 单核MCU
- 整合电动天窗、遮阳帘、天幕、星空顶



门区域控制器

- 单核MCU
- 整合门区域功能，如玻璃升降、电解、电吸、电开门

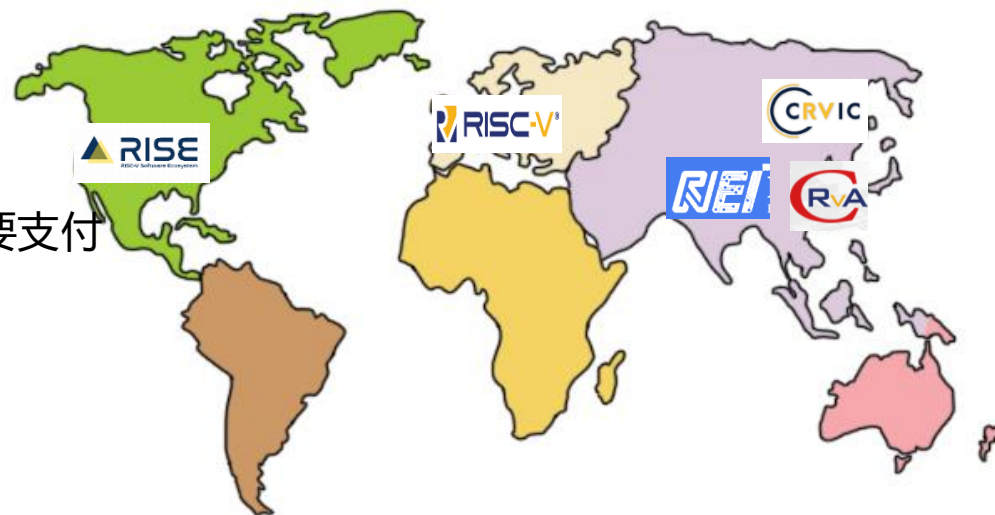


CONTENTS

目录

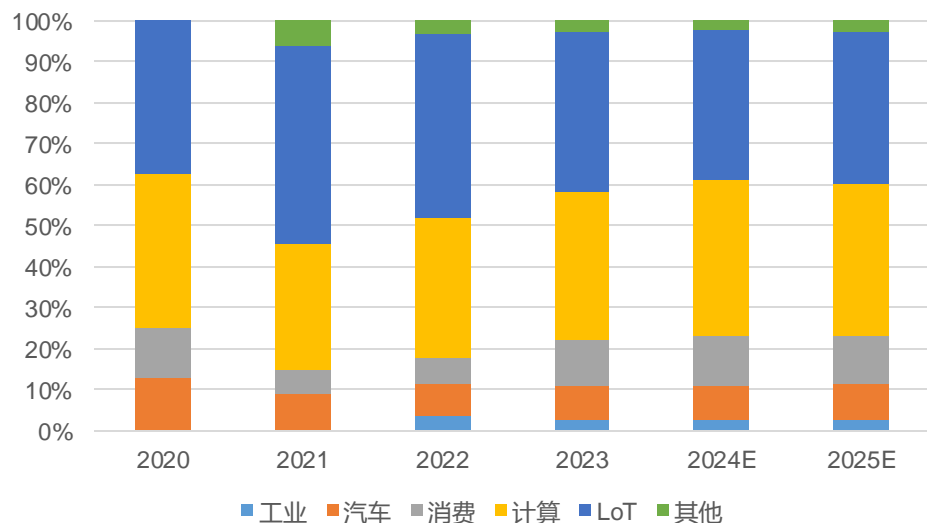
- 1 汽车领域对芯片的需求
- 2 RISC-V芯片的挑战
- 3 RISC-V芯片的上车路径思考

- **RISC-V**: 是一种基于精简指令集 (RISC) 原理设计的开放指令集架构 (ISA) 。它由美国**加州大学伯克利分校**的研究团队于**2010**年提出, 旨在提供一种灵活、可扩展、高效、低成本、免版税的通用计算平台。
- **RISC-V发展**: RISC-V 国际基金会目前已有来自七十多个国家的超4000个会员, 其中高级会员、战略会员、社区及个人会员分别有22个、173个、超3000个, 会员中包含科技公司、芯片设计公司、IP公司、软件开发企业、高校院所、个人开发者等多种开发主体, **逐渐成为集成电路设计领域的关键趋势**。
 - **2020年, RISC-V基金会把总部从美国搬迁至瑞士**避免可能出现的地缘政治影响;
 - Linux基金会组织了RISC-V软件生态系统 (RISE) 来推进相关软件开发;
 - 中国成立开发指令生态联盟 (CRVA) ;
- **CPU ISA架构路线**:
 - ✓ 嵌入式CPU ISA架构主要为ARM和RISC-V; ARM ISA架构需要支付授权费, 版税; **RISC-V开源、低版税, 具备较好发展前景**。
 - ✓ 国内外国家知名公司布局RISC-V, 抢占市场。



- RISC-V肩负打破芯片指令集“双寡头格局”的使命，被寄予与英特尔x86和ARM架构**三分天下**的厚望。
- **RISC-V的发展与同时期兴起的物联网热潮不谋而合**。RISC-V架构开放、灵活、精简的独特优势完美解决了物联网领域对碎片化和差异化的市场需求。
- **2025年RISC-V架构芯片预计将突破800亿颗**，年复合增长率高达114.9%，用十二年就走完了传统架构30年的发展历程。从物联市场走向**高性能领域**是RISC-V近年来的发展主线。
- 中国汽车行业/芯片需要的是一个**自主、可控、高效、创新、安全**的汽车芯片产业生态，将是RISC-V的下一个**落脚点**。

RISC-V在全球各行业市场收入分布



《全球出货100亿颗，一半来自中国》

数据预测，到2025年采用RISC-V架构的处理器将突破800亿颗
开放、简洁、模块化，从终端走向云端
RISC-V极有希望发展成为第三大架构生态



■ 同等工艺、主频接近情况下，RISC-V核在die size（成本）、功耗等主要指标上更优

| Category | 竞品 | RISC-V Rocket |
|----------------------|--------------------------------|--------------------------------|
| ISA | 32bit-bit ARM v7 | 64bit-bit RISC-V v2 |
| Architecture | Signal-Issue In-Order | Signal-Issue In-Order 5-stage |
| Performance | 1.57 DMIPS/MHz | 1.72 DMIPS/MHz |
| Process | TSMC 40GPLUS | TSMC 40GPLUS |
| Area w/o Caches | 0.27mm ² | 0.14mm ² |
| Area with 16K Caches | 0.53mm² | 0.39mm² |
| Area Efficiency | 2.96 DMIPS/MHz/mm ² | 4.41 DMIPS/MHz/mm ² |
| Frequency | >1GHz | >1GHz |
| Dynamic Power | <0.08mW/MHz | <0.034mW/MHz |

| Category | 竞品 | RISC-V BOOM-2w |
|----------------------|--------------------------------------|--------------------------------------|
| ISA | 32bit-bit ARM v7 | 64bit-bit RISC-V v2(RV64G) |
| Architecture | 2wide,3+1 issue Out-of-Order 8-stage | 2wide,3+1 issue Out-of-Order 6-stage |
| Performance | 3.59 Coremarks/MHz | 4.61 Coremarks/MHz |
| Process | TSMC 40GPLUS | TSMC 40GPLUS |
| Area with 32K Caches | 2.5mm² | 1mm² |
| Area Efficiency | 1.4 Coremarks/MHz | 4.6 Coremarks/MHz |
| Frequency | 1.4GHz | 1.5GHz |

伯克利大学研制的两个RISC-V核参数对比

RISC-V v.s. X86/ARM: 模块化



- 实现一个X86/ARM处理器，需实现**所有上千条指令**，复杂度极高

■ RISC-V指令集采用**模块化设计**

- ① 必要的RV32I只有47条
- ② 其余指令可选扩展

■ 可根据需求自由组合，灵活适配

- ① 嵌入式（关注处理器成本）-RV32I
- ② 嵌入式（关注存储器成本）-RV32IC
- ③ 教学-RV32IMA
- ④ 桌面-RV64GC
- ⑤ 高性能-RV64GCV

■ 支持自定义指令，可以扩展至AI应用

| Base Integer Instructions: RV32I Base and RV64I | | | |
|---|------------------------|------|------------------------|
| Category | Name | Inst | RV32I Base |
| Arithmetic | Shift Left Logical | R | SLIL rd, rs1, rs2 |
| | Shift Left Logical | I | SLIL rd, rs1, shamt |
| | Shift Right Logical | R | SRLI rd, rs1, rs2 |
| | Shift Right Logical | I | SRLI rd, rs1, shamt |
| | Shift Right Arithmetic | R | SRAI rd, rs1, rs2 |
| | Shift Right Arithmetic | I | SRAI rd, rs1, shamt |
| | ADD Immediate | R | ADD rd, rs1, imm |
| | SUB Immediate | R | SUB rd, rs1, imm |
| | ADD Upper Imm to PC | U | ADDIUPC |
| | ADD Upper Imm to PC | U | ADDIUPC |
| Logical | XOR Immediate | R | XORI rd, rs1, imm |
| | OR Immediate | R | ORI rd, rs1, imm |
| | AND Immediate | R | ANDI rd, rs1, imm |
| | Set < Immediate | R | SLLI rd, rs1, imm |
| | Set < Immediate | R | SLLI rd, rs1, imm |
| | Set < Immediate | R | SLLI rd, rs1, imm |
| | Set < Immediate | R | SLLI rd, rs1, imm |
| | Set < Immediate | R | SLLI rd, rs1, imm |
| | Set < Immediate | R | SLLI rd, rs1, imm |
| | Set < Immediate | R | SLLI rd, rs1, imm |
| Stores | Store Word | S | SW rd, rs1, rs2 |
| | Store Word | S | SW rd, rs1, rs2 |
| | Store Word | S | SW rd, rs1, rs2 |
| | Store Word | S | SW rd, rs1, rs2 |
| | Store Word | S | SW rd, rs1, rs2 |
| | Store Word | S | SW rd, rs1, rs2 |
| | Store Word | S | SW rd, rs1, rs2 |
| | Store Word | S | SW rd, rs1, rs2 |
| | Store Word | S | SW rd, rs1, rs2 |
| | Store Word | S | SW rd, rs1, rs2 |
| Loads | Load Word | L | LD rd, rs1, rs2 |
| | Load Word | L | LD rd, rs1, rs2 |
| | Load Word | L | LD rd, rs1, rs2 |
| | Load Word | L | LD rd, rs1, rs2 |
| | Load Word | L | LD rd, rs1, rs2 |
| | Load Word | L | LD rd, rs1, rs2 |
| | Load Word | L | LD rd, rs1, rs2 |
| | Load Word | L | LD rd, rs1, rs2 |
| | Load Word | L | LD rd, rs1, rs2 |
| | Load Word | L | LD rd, rs1, rs2 |
| Branches | Branch < Immediate | B | BEQI rd, rs1, rs2, imm |
| | Branch < Immediate | B | BEQI rd, rs1, rs2, imm |
| | Branch < Immediate | B | BEQI rd, rs1, rs2, imm |
| | Branch < Immediate | B | BEQI rd, rs1, rs2, imm |
| | Branch < Immediate | B | BEQI rd, rs1, rs2, imm |
| | Branch < Immediate | B | BEQI rd, rs1, rs2, imm |
| | Branch < Immediate | B | BEQI rd, rs1, rs2, imm |
| | Branch < Immediate | B | BEQI rd, rs1, rs2, imm |
| | Branch < Immediate | B | BEQI rd, rs1, rs2, imm |
| | Branch < Immediate | B | BEQI rd, rs1, rs2, imm |
| Control Status Register (CSR) | Read/Write | I | CRRW rd, csr, rs1 |
| | Read/Write | I | CRRW rd, csr, rs1 |
| | Read/Write | I | CRRW rd, csr, rs1 |
| | Read/Write | I | CRRW rd, csr, rs1 |
| | Read/Write | I | CRRW rd, csr, rs1 |
| | Read/Write | I | CRRW rd, csr, rs1 |
| | Read/Write | I | CRRW rd, csr, rs1 |
| | Read/Write | I | CRRW rd, csr, rs1 |
| | Read/Write | I | CRRW rd, csr, rs1 |
| | Read/Write | I | CRRW rd, csr, rs1 |
| System Env. Break | System Env. Break | CI | EBREAK |
| | System Env. Break | CI | EBREAK |
| | System Env. Break | CI | EBREAK |
| | System Env. Break | CI | EBREAK |
| | System Env. Break | CI | EBREAK |
| | System Env. Break | CI | EBREAK |
| | System Env. Break | CI | EBREAK |
| | System Env. Break | CI | EBREAK |
| | System Env. Break | CI | EBREAK |
| | System Env. Break | CI | EBREAK |
| Optional Atomic Instructions: RV32A and RV64A | | | |
| Category | Name | Inst | RV32A (Atomic) |
| Atomic | Load Reserved | R | LR.W rd, rs1 |
| | Store Conditional | R | SC.W rd, rs1, rs2 |
| | Swap | R | SWAP.W rd, rs1 |
| | Swap | R | SWAP.W rd, rs1 |
| | Swap | R | SWAP.W rd, rs1 |
| | Swap | R | SWAP.W rd, rs1 |
| | Swap | R | SWAP.W rd, rs1 |
| | Swap | R | SWAP.W rd, rs1 |
| | Swap | R | SWAP.W rd, rs1 |
| | Swap | R | SWAP.W rd, rs1 |
| Optional Atomic Extension: RV32M and RV64M | Load Reserved | R | LR.D rd, rs1 |
| | Store Conditional | R | SC.D rd, rs1, rs2 |
| | Swap | R | SWAP.D rd, rs1 |
| | Swap | R | SWAP.D rd, rs1 |
| | Swap | R | SWAP.D rd, rs1 |
| | Swap | R | SWAP.D rd, rs1 |
| | Swap | R | SWAP.D rd, rs1 |
| | Swap | R | SWAP.D rd, rs1 |
| | Swap | R | SWAP.D rd, rs1 |
| | Swap | R | SWAP.D rd, rs1 |
| Optional Floating-Point Instructions: RV32F and RV64F | | | |
| Category | Name | Inst | RV32F (Floating-Point) |
| Floating-Point | Load Single | L | LDH rd, rs1, rs2 |
| | Store Single | S | SH rd, rs1, rs2 |
| | Load Double | L | LDH rd, rs1, rs2 |
| | Store Double | S | SH rd, rs1, rs2 |
| | Load Double | L | LDH rd, rs1, rs2 |
| | Store Double | S | SH rd, rs1, rs2 |
| | Load Double | L | LDH rd, rs1, rs2 |
| | Store Double | S | SH rd, rs1, rs2 |
| | Load Double | L | LDH rd, rs1, rs2 |
| | Store Double | S | SH rd, rs1, rs2 |
| Optional Floating-Point Extension: RV32D and RV64D | Load Double | L | LDH rd, rs1, rs2 |
| | Store Double | S | SH rd, rs1, rs2 |
| | Load Double | L | LDH rd, rs1, rs2 |
| | Store Double | S | SH rd, rs1, rs2 |
| | Load Double | L | LDH rd, rs1, rs2 |
| | Store Double | S | SH rd, rs1, rs2 |
| | Load Double | L | LDH rd, rs1, rs2 |
| | Store Double | S | SH rd, rs1, rs2 |
| | Load Double | L | LDH rd, rs1, rs2 |
| | Store Double | S | SH rd, rs1, rs2 |
| Optional Vector Instructions: RV32V and RV64V | | | |
| Category | Name | Inst | RV32V (Vector) |
| Vector | Set Vector Element | R | SETEV rd, rs1, rs2 |
| | Set Vector Element | R | SETEV rd, rs1, rs2 |
| | Set Vector Element | R | SETEV rd, rs1, rs2 |
| | Set Vector Element | R | SETEV rd, rs1, rs2 |
| | Set Vector Element | R | SETEV rd, rs1, rs2 |
| | Set Vector Element | R | SETEV rd, rs1, rs2 |
| | Set Vector Element | R | SETEV rd, rs1, rs2 |
| | Set Vector Element | R | SETEV rd, rs1, rs2 |
| | Set Vector Element | R | SETEV rd, rs1, rs2 |
| | Set Vector Element | R | SETEV rd, rs1, rs2 |
| Optional Vector Extension: RV32V and RV64V | Set Vector Element | R | SETEV rd, rs1, rs2 |
| | Set Vector Element | R | SETEV rd, rs1, rs2 |
| | Set Vector Element | R | SETEV rd, rs1, rs2 |
| | Set Vector Element | R | SETEV rd, rs1, rs2 |
| | Set Vector Element | R | SETEV rd, rs1, rs2 |
| | Set Vector Element | R | SETEV rd, rs1, rs2 |
| | Set Vector Element | R | SETEV rd, rs1, rs2 |
| | Set Vector Element | R | SETEV rd, rs1, rs2 |
| | Set Vector Element | R | SETEV rd, rs1, rs2 |
| | Set Vector Element | R | SETEV rd, rs1, rs2 |

RISC-V常用的可选扩展
可适配从嵌入式到高性能的各种场景

- 在芯片架构和工具链上，**长城公司积极拥抱RISC-V芯片架构**，并开展前期准备工作
- 主流合资芯片厂或是自研架构，或是采用ARM架构，对于整个开发及工具链无法实现统一，国产芯片市场**期望出现统一的芯片架构**，才能形成规模及生态，促进更加快速的成长。
- 长城公司也认真听取了开芯院等业界专家关于RISC-V的发展前景、愿意并**一起推进芯片架构的统一**及发展，并和国内企业展开相关交流，我们期望国产芯片做大做强。

倪光南院士：中国发展智能汽车的基础软件应聚焦于RISC-V架构



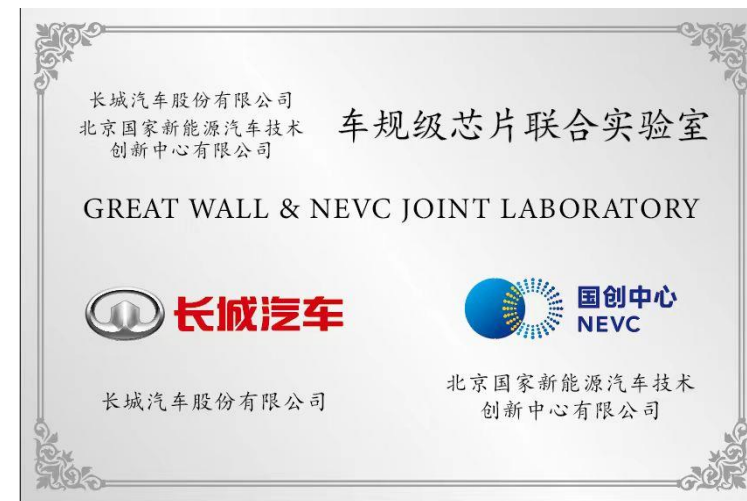
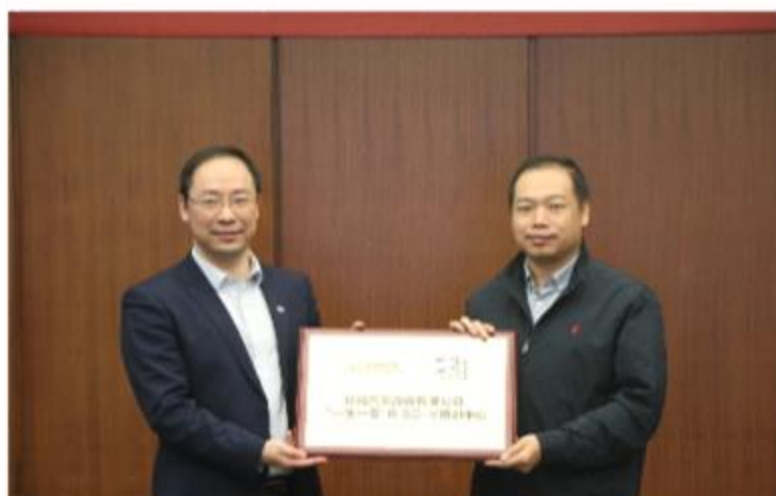
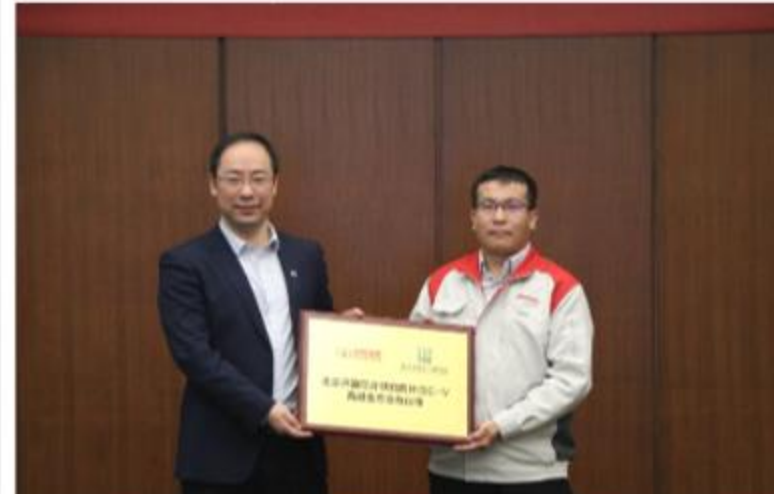
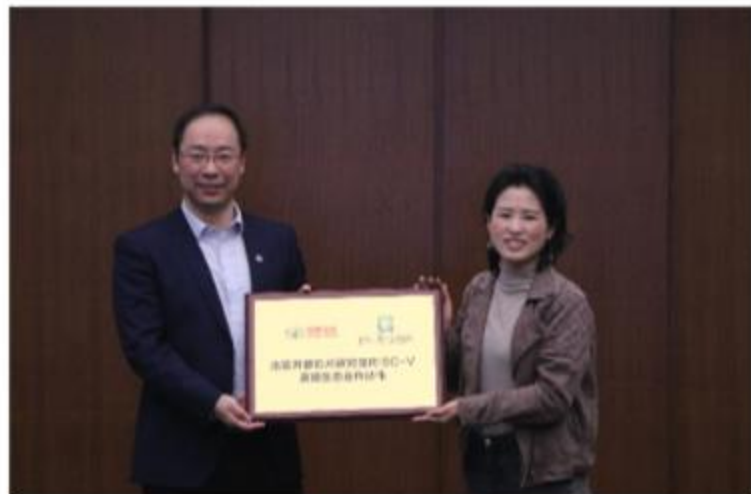
增强型/虚拟现实体验、无人驾驶汽车、IoT和工业4.0系统等革命性应用以及智能城市正逐渐成为商业现实。实现这些新应用**离不开芯片技术的进步**，包括：

- 传感器实时收集丰富的上下游数据
- 5G技术可为数十亿个设备提供安全的高速、低延迟无线连接
- 高性能处理单元，为具有机器学习能力的计算机提供动力
- 各种边缘计算设备中内置的高级低功耗处理器，可以执行非常复杂的任务，例如计算机视觉和自然语言理解

长城与开芯院、国创中心达成全面战略合作



- 2023年10月，长城汽车与北京开源芯片研究院签署合作协议，开展全面合作
- 与国家新能源汽车创新中心展开全面合作，包含功能安全流程认证、产品认证，AEC-Q100测试,国产化芯片选型库等

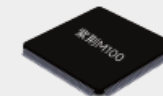


- 紫荆M100是基于开芯院RISC-V指令集设计的32位MCU。紫荆M100符合ISO-26262 ASIL-B安全等级要求，具备全栈国产、自主可控、高算力、高安全、高可靠、低成本等显著优势，支持MCAL、CAN/LIN通信调试/诊断工具，提供电机算法库，适用于各种嵌入式应用场景，易于开发。

产品参数

| | |
|---------|-----------------------------------|
| 主 频: | 100MHz (141DMIPS算力) |
| 电 压: | 2.7-5.5V |
| 内 存: | 1MB P-flash;64KB D-flash;96KB RAM |
| 数据缓存: | 16KB I-TCM和16KB D-TCM |
| A D C : | 2x24ch、12bit Sar ADC |
| 通 讯: | 3路CAN/CAN FD |
| 外 设: | 3xUART/LIN;3xSPI;1xI2C |
| 测 试: | Debug测试端口以及Trace追溯功能 |
| 封 装: | 采用144-pin LQFP封装 |

M100框图



Core

RISC-V CPU@100MHz
FPU&DSP
16KB I/D TCM

Memory

1MB P-Flash with ECC
64KB D-Flash with ECC
96KB RAM with ECC

Security

Security boot
TRNG
AES-128/SM4

System

PLL (100MHz)
Internal FIRC(48MHz)
Internal SIRC(8MHz)
Ext OSC (4-40MHz)
Ext.LP OSC (32kHz)
16-channel DMA
Debug/Trace(JTAG)
2.7-5.5V Power

Functional Safety

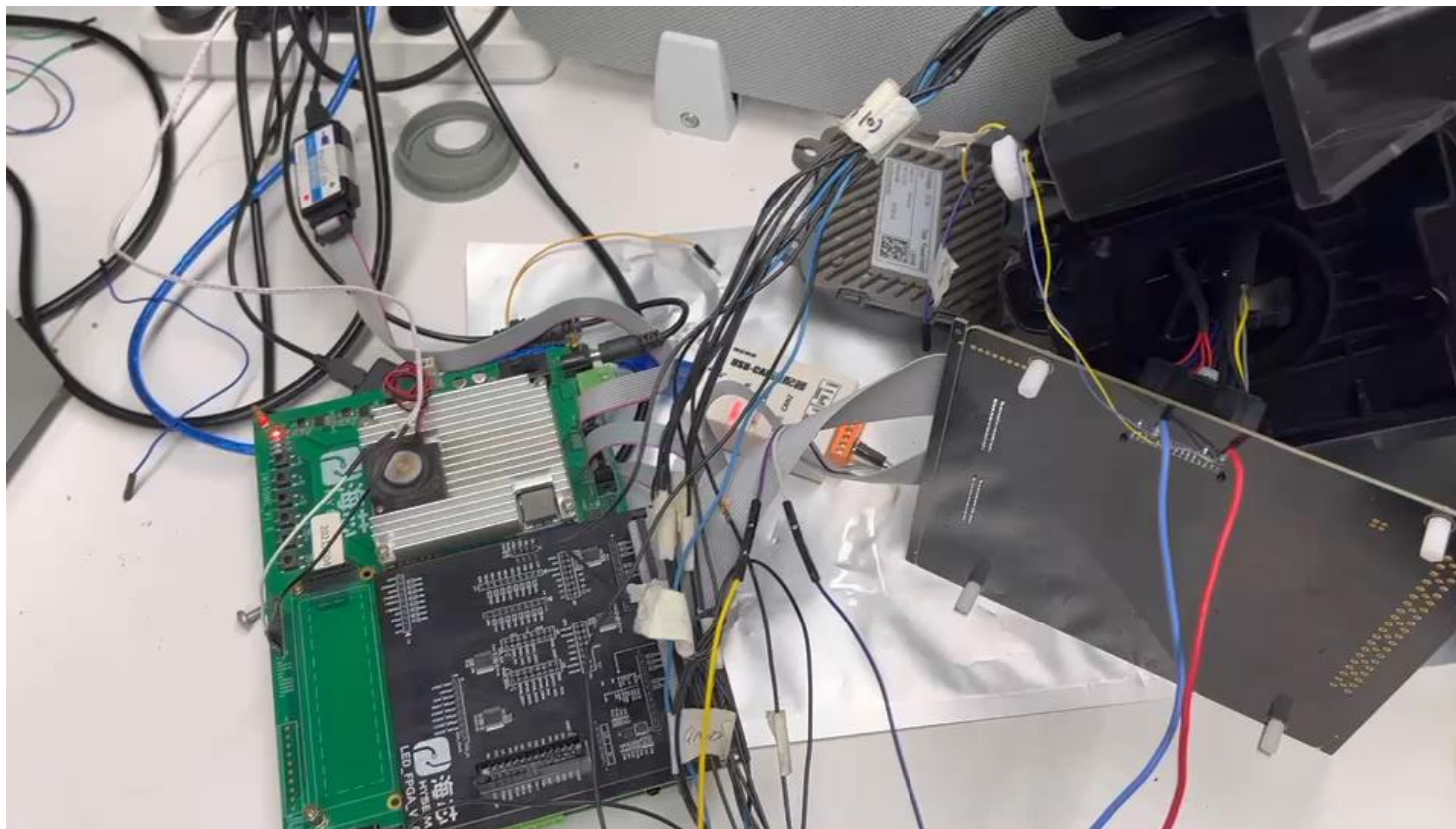
WDOG/EWM
EIM/ERM
CRC SMPU

Communications

3xCAN with FD
3xUART(LIN)
3xSPI
I2C
128 GPIO
xIO

Analog/Timers

2x24-ch 12-bit Sar ADC
ACMP(internal 8-bit DAC)
TMU(TRGMUX)
6x8-ch 16-bit Timer
2xPDB



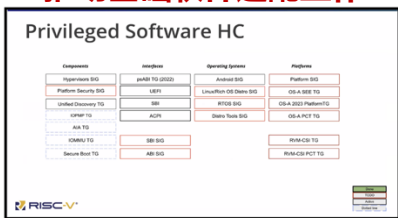
- 2024年3月 紫荆M100实现**FPGA原型点亮长城组合大灯**，基本功能已实现
- 2024年4月 紫荆M100 MPW顺利投片，计划 2024年7月回片，2025年Q2量产上车

软件应用生态不足， RISC-V软件生态加速发展以应对



- **软件生态不够完善**：RISC-V尚未开展大规模软硬件适配，**缺少完善的操作系统、中间件、库函数、编译器、开发框架等**基础软件与工具链支撑，在汽车AUTOSAR领域移植、适配数量少，软硬件企业开发积极性弱，应用生态严重不足，未形成闭环。
- **解决进展**：RISC-V软件生态加速发展，有望弥补短板：如RSIE组织成立等。

RISC-V国际基金会 推动基础软件适配工作



国际开源软件社区 主动适配RISC-V



主流Linux发行版 均支持RISC-V架构

| OS | 源码包数量 适配成功/社区总数 | 适配 完成度 |
|------------|--------------------|-----------|
| Debian | 15148 / 16268 | 93.1% |
| Fedora | 14610 / 23040 | 63.4% |
| openSuse | 14552 / 15715 | 92.6% |
| Gentoo | 7142 / 19822 | 36.0% |
| Arch Linux | 10560 / 12586 | 83.9% |
| openEuler | 6481 / 8777 | 73.8% |

2023年6月 由13家企业发起，旨在加速RISC-V开源软件生态发展



Accelerating the RISC-V Software Ecosystem

The RISC-V Software Ecosystem (RISE) project is a collaborative effort led by industry leaders with a mission to accelerate the development of open source software for the RISC-V architecture.

谷歌官方宣布安卓 将支持 RISC-V 指令集



中科院软件所发布基于 openEuler的RISC-V社区版



RISC-V基础软件 获新一轮中科院专项支持



急需的RISC-V高端芯片面临产业链风险



- **先进工艺的短板**：先进制程受限会影响高性能芯片设计；
- **解决方案**：利用**Chiplet**等先进技术和RISC-V相结合有望解决部分先进制程受限问题。

| | 芯片设计 | | 晶圆制造 | | | | 封装测试 |
|------|--|--|--------------------------|-------------------------------------|------------------|----------------------|-------------------------|
| | EDA软件 | 设计公司 | 检测 | 光刻 | PVD/CVD | 刻蚀 | 切割/封测 |
| 我国现状 | Synopsys、Cadence 和 Mentor 占据 95% 以上，华大九天等有积累 | 国内公司在部分细分领域实现从成长到引领的跨越，特别是RISC-V设计的 SoC 和 MCU，正在缩短和国际大厂的差距 | 国内部分已开展一些列国产化突破 | 我国部分企业可以生成光刻胶、光刻机等，但制程比较落后 | 国内可以满足28nm技术要求 | 在刻蚀领域已实现技术突破 | 国内车规封测发展相对较早，部分处于全球领先地位 |
| 主要短板 | 先进制程设计软件和工艺绑定，完全依赖国外 | 目前国内车规设计公司基本满足国内需求 | 关键检测设备依然依赖美国 LKA、Onto等企业 | 不能生产 ArFi 及 EUV 等高端光刻胶和光刻机，光刻机被国外垄断 | 设备及核心零部件可以满足国内需求 | 高深宽比、特定工艺刻蚀机依然无法满足需求 | 封测的部分关键原材料，依然依赖于海外进口 |

RISC-V芯片应用的难点，面临严格的检测认证



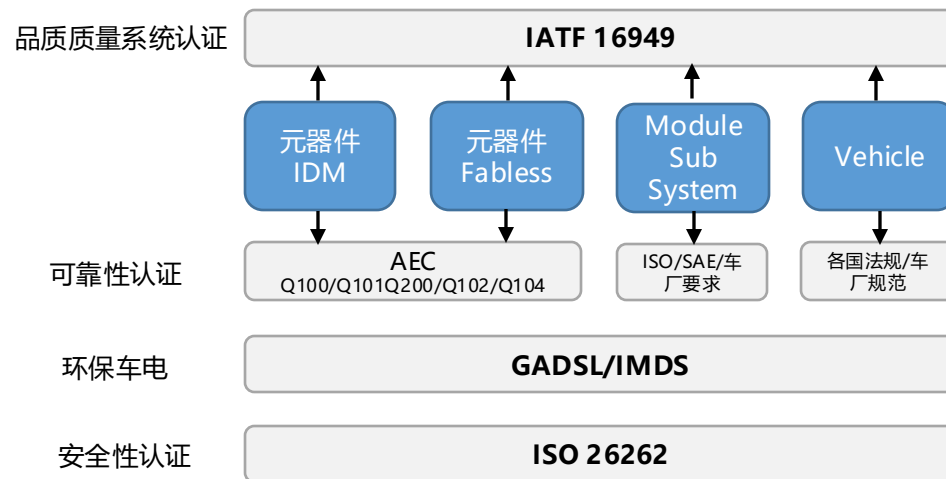
- **车规要求**：汽车芯片相较于消费级芯片而言使用工况**更恶劣**，**寿命要求更长**，**需要满足的标准和要求更高**，一款芯片产品的前期开发及验证周期非常长，上车过程非常漫长；
- **国内现状**：**尚缺乏完整的车规级芯片测试认证能力**，急需组织架构建立能力，为国产化提供支撑。

汽车芯片与消费级芯片的主要指标对比

| 指标 | 车载 | 消费型 |
|-------|-----|---------------------------|
| 质量 | 温度 | -40℃~125℃ |
| | 振动 | 50G |
| | 静电 | 15~25KV |
| | 湿度 | 95% |
| | 不良率 | 约1dppm(Parts Per Million) |
| | 寿命 | 10年以上 |
| 持续供给期 | —— | 10年以上 |



汽车芯片需要满足的关键标准



性能及可靠性未经市场验证，需要统筹测试方案



- 性能及可靠性未经市场验证。RISC-V起步较晚且发展较慢，未能大规模上车验证，性能及可靠性拥有不确定性。
 - 当前很多芯片企业所宣称的“车规级”“通过AEC-Q认证”，性质大多为企业委托检测，由企业和检测机构商定检测项目，**或多或少存在检测不完整、不规范、不透明等问题**，且不包括晶圆加工和封测等生产环节的现场一致性审核。需要从流程设计，保障AEC-Q100的实现

| AEC-Q100测试项 | 车规 | 消规&工规 |
|---------------|----------------------|---------------------------|
| 温度循环 | -55℃-125℃1000次 | 5-10不等 |
| 湿敏等级 | MSL3 | 无保证项 |
| 上电温度循环 | -40℃/105℃各1000次 | 无保证项 |
| 加速老化 | 110℃/85% 264小时 | 无保证项 |
| 高温存储 | 25/125℃ 1000小时 | 无保证项 |
| 高温工作寿命 | 105℃工作1000小时 | 无保证项 |
| 封装完整性（蒸汽老化后） | > 95% | 无保证项 |
| 跌落/基板抗弯曲等机械测试 | 保证 | 无保证项 |
| 可靠性 | 3个Lot进行HTOL 1000小时测试 | 1个Lot 进行 500 or 1000小时的测试 |

RISC-V芯片测试的解决方案建议：有公信力的第三方检测



■ RISC-V 汽车芯片从成品到量产应用需要经过多重检测和可靠性验证：至少包括**器件级**、**系统级**、**整车级**，共“三级”测试验证；

■ **建议主体**：国创中心、中汽研等第三方机构

■ **验证内容**：

- 1、AEC-Q100，测试完整、规划
- 2、车规功能安全:SGS、TUV、国创、中汽研等
- 3、0DPPM：中汽研等。

■ **面临的问题及挑战**：

- 1、AEQ100国内芯片厂，测试不完整、不规范，公信力较低，亟需第三方机构，出具报告。
- 2、26262，国内芯片厂商较多获得是流程认证，成品认证仅1-2款，则号称全部过了ASILB\D认证。

■ **建议主体**：车厂

■ **验证内容**：上车测试，给予国产芯片上车使用机会



汽车芯片“三级”测试验证

测试
器件级

①

②

测试
整车级

③

测试
系统级

■ **建议主体**：车厂、TIER1、国创、中汽研等

■ **验证功能**：性能测试，包含接口、算力等芯片性能的测试。

■ **面临的问题**：

- 1、大算力芯片，性能指标声称较高，但往往实际测试，不理想。希望中汽研能够建立标准，提供较为准确数据，为选型降低难度。



需求**有公信力的**第三方检测机构报告，降低试错成本

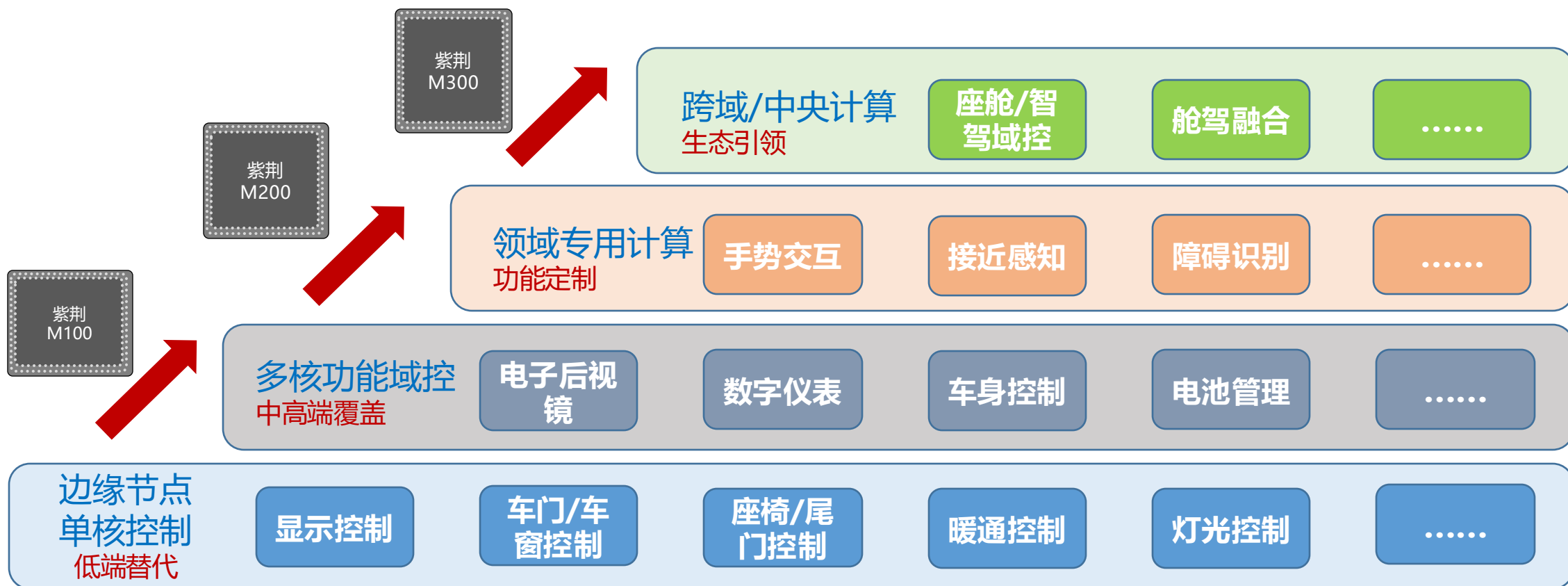
CONTENTS

目录

- 1 汽车领域对芯片的需求
- 2 RISC-V芯片的挑战
- 3 RISC-V芯片的上车路径思考

| | 2030年 | 2035年 | 2040年 |
|--------|---|---|---|
| 总体目标 | RISC-V基础构建与初步应用阶段 中低端芯片IP全覆盖 功能安全 and 信息安全双重保障 初步完成RISC-V生态建设和应用 | RISC-V技术成熟与广泛应用阶段 高端芯片IP全覆盖 功能安全 and 信息安全双重保障 构建完成RISC-V成熟汽车芯片生态应用 | RISC-V引领创新与全球影响力阶段 IP性能到达领先水平 功能安全 and 信息安全满足未来智慧交通需求 RISC-V成为汽车主流芯片架构 |
| 关键指标 | 1. 性能指标：RISC-V 车用 MCU 和 SoC 实现与 ARM 高端 Cortex-M55 和 A72 A78 系列相当的性能水平，支持高效能运算，功耗降低 30%。 2. 生态建设指标：至少 100 家以上生态合作伙伴；在新能源汽车和智能网联汽车的关键部件中，RISC-V 芯片渗透率达到 20%。 | 1. 性能指标：RISC-V 高端车用 SoC 性能超越主流 ARM 处理器，支持 AI 加速，功耗效率进一步提升。 2. 生态建设指标：至少 500 家以上生态合作伙伴；在自动驾驶域控制器、V2X 通信模块、动力系统控制等领域广泛应用，RISC-V 芯片渗透率超过 50%。 | 1. 性能指标：RISC-V 架构在汽车芯片领域达到顶尖水平，支持超大规模并行处理和量子计算接口，实现性能和能效的革命性飞跃。 2. 生态建设指标：RISC-V 成为汽车芯片生态的主导架构之一，中国企业在其中扮演核心角色；RISC-V 芯片在所有汽车电子系统中普及，渗透率达到 80% 以上。 |
| 重点技术攻关 | 1. 基于先进工艺的 RISC-V 内核设计技术 2. 基于 RISC-V 内核的高端复杂超高算力 SoC 芯片设计技术 3. ASIL D 级别功能安全设计及系统解决方案 4. 自主可控符合 ASIL D 的可信工具链 | 1. 基于先进工艺的 RISC-V 内核设计技术 2. 基于 RISC-V 内核的高端复杂超高算力一体化 SoC 芯片设计技术 3. 功能安全 and 信息安全双重安全设计技术 4. 软件生态相关设计技术 | 1. 基于先进工艺的 RISC-V 内核设计技术 2. 基于 RISC-V 内核的高端复杂超高算力一体化 SoC 芯片设计技术 3. 符合未来智慧需求的各类安全应用技术 4. 软件生态相关设计技术 |

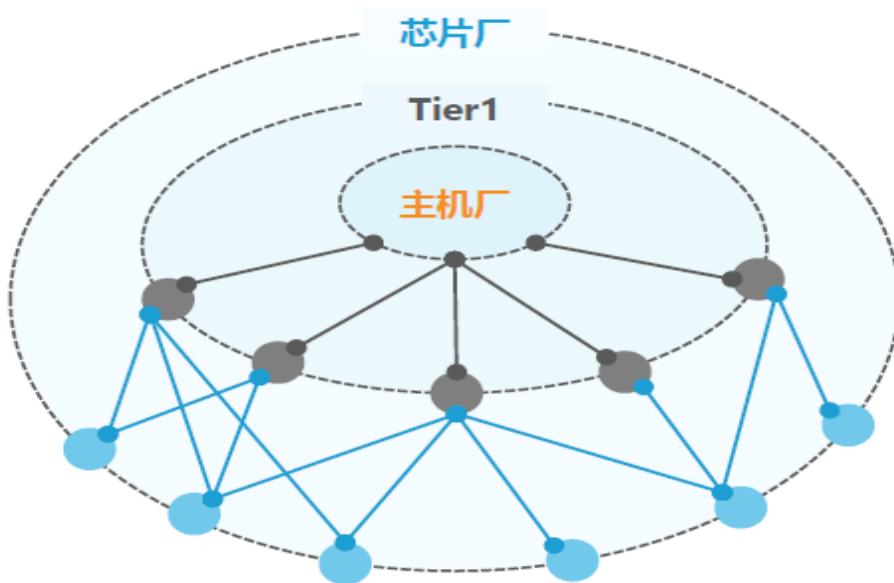
- RISC-V具有开放、灵活、轻量、高性价比等优势，有助于开发面向全新场景需求的定制化芯片并实现自主可控，但**仍需提升安全、强化生态、统一标准等**，建议**从边缘节点单核控制、多核功能域控开始探索**，提升安全后再拓展至领域专用计算、跨域/中央计算。



- 供应链逐渐走向网状结构，软件算法成为演变进程加速器
- 车规级芯片供应链正从传统链条式结构向**更加扁平的网状结构**演变。
- 芯片产业整体正走向**开放模式**和**网状结构**，对于智能驾驶SoC、智能座舱SoC等芯片来说，由于软件算法在芯片架构中参与程度高，软硬协同性更强，更易产生定制化需求，此类芯片供应链网状化进程将更快

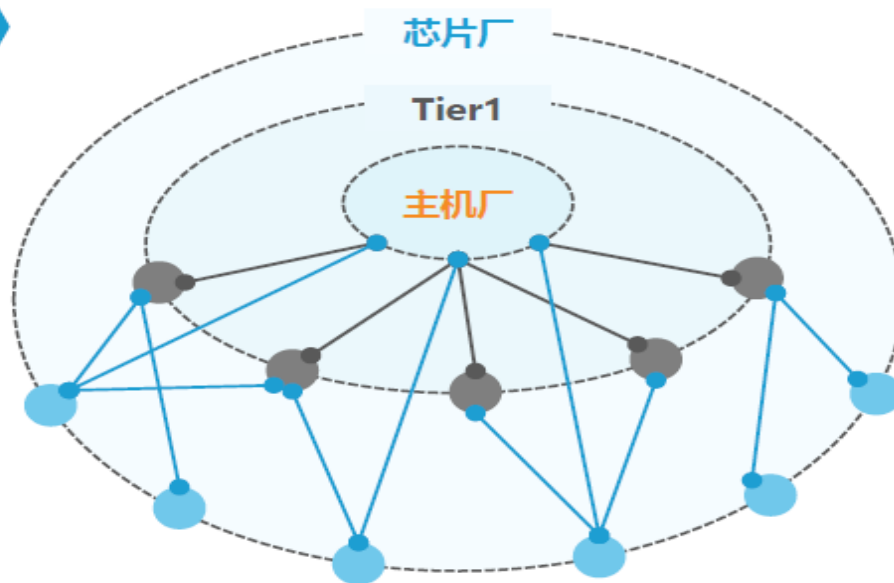
圈层分明的链条式结构

- ① 供应链呈现出“主机厂→Tier1→芯片厂”固定链条式结构特征，由主机厂提出功能需求，Tier1采购零部件集成功能方案，而芯片厂则负责提供芯片产品及方案；
- ② 芯片厂位置处于上游，较为被动



突破圈层的网状结构

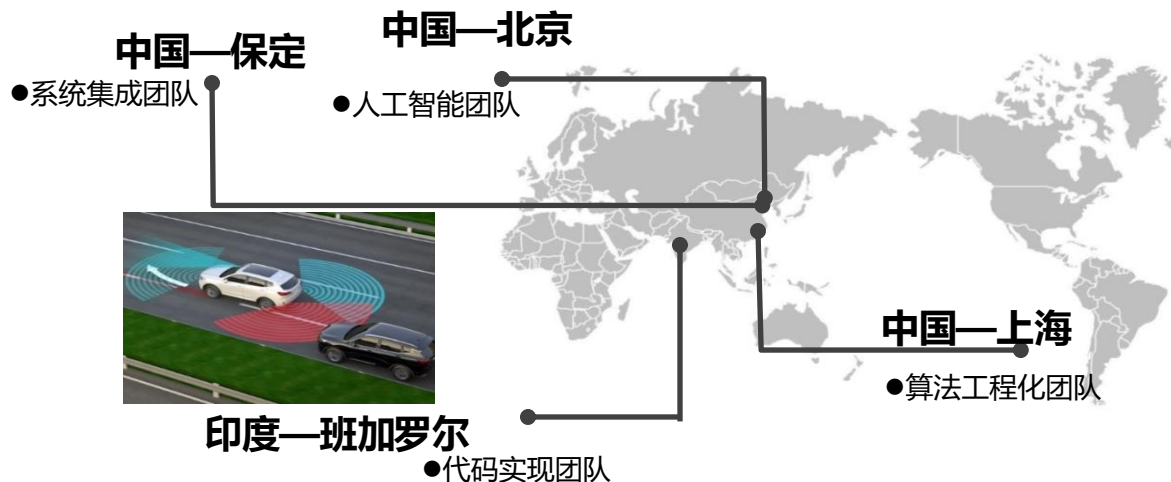
- ① 打破传统圈层分明固定模式，主机厂与芯片厂之间构建直接联系，车型功能需求与芯片性能需求同步沟通
- ② 芯片厂主动触达主机厂



长城汽车做“难而正确的事”，全力支持RISC-V发展



■ RISC-V: 乘风起



智能化研发人员 **超5000人**



■ 长城汽车做“难而正确的事”，积极支持RISC-V芯片发展



智能驾驶
人工智能
末端物流



智能语音
多模态数字人



智能座舱
前端UI及交互设计
场景引擎



智能座舱平台
域控制器开发
电子系统



毫米波雷达
高清摄像头
电气系统

**谢谢
请批评指正！**