|  |
| --- |
| **北 京 邮 电 大 学**  **实 验 报 告**  **课程名称： 计算机组成原理实验课**  **实验名称: 数据通路综合实验报告**  **计算机学院学院 2022211304班 姓名：赵宇鹏**  **教师：杨秦 成绩\_\_\_\_\_\_**  **2024年4月19日** |

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **实验一、运算器组成实验**   1. **芯片及硬件电路分析**   实验一运算器的部分原理框图如下所示：    要对其中硬件进行分析，首先需要了解时序发生器，其可以提供CPU周期所需要的时序信号，提供数据通路和控制器各寄存器所需的节拍脉冲信号T1,T2,T3以及中断请求信号ITNQ，W1、W2、W3位节拍电位信号供硬连线控制器使用。单微指令开关DP控制节拍脉冲信号T1、T2、T3的数目。当DP朝上时，处于单微指令运行方式，每按一次QD按钮，只产生一组T1、T2、T3；当DP朝下时，处于连续运行方式，每按一次QD按钮，开始连续产生T1、T2、T3，直到按一次CLR按钮或者控制器产生  STOP信号为止。  双端口寄存器为图中虚线所框选部分，由1片EPM7064组成，内部包含4个8位个8位寄存器R0-3，4选1选择器A、B和1个2-4译码器。根据信号RD1-0的值选择寄存器送往ALU的A端口， 根据信号RS1-0的值选择寄存器送往ALU的B端口，当DRW信号为1时，则在T3的上升沿，将数据总线DBUS上的数写入相应寄存器。 ALU由2片74LS181、1片74LS74、1片74 LS 244、1片74 LS 245和1片74LS30构成。74LS181完成算术逻辑运算，加法和减法同时影响C标志和Z标志，与操作和或操作只影响Z标志。   1. **测试方案详解**   实验的测试方案及相关解释如下：将运算器模块与试验台操作版上线路按课件进行连接，接好线后将控制转换开关拨到“独立”位置，将DP置1使实验过程中只能产生单拍脉冲，将SBUS开关置1，打开三态门使得数据开关SD7-SD0的数据能够存入DBUS数据总线中去，通过2-4译码器以及RD0和RD1来选择相应寄存器，将DRW置1，按下QD，此时数据总线中的数据就会被写入相应寄存器中，重复以上步骤即可将数据存入R0-R3四个寄存器中，关闭SBUS以及DRW，此时在使用RD0,RD1以及RS0，RS1来通过4选1选择器来选出两个寄存器将里面储存的值送给ALU中，通过调整M，S0-S3以及CIN来选择ALU的运算模式，再将ABUS置1即可将运算结果输出到数据总线中。ALU算数/逻辑运算功能表如下图：     1. **测试数据及分析**  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | | A | B | 算术运算 | A+B | A加B | A减1 | 减1 | | 55H | AAH |  | FFH | FFH | 54H | FFH | |  |  | 逻辑运算 | A | 逻辑0 | AB | A非B | |  |  |  | 55H | 00H | 00H | 55H | | A | B | 算术运算 | A+B | A加B | A减1 | 减1 | | FFH | 01H |  | FFH | 00H 进位 | FEH | FFH | |  |  | 逻辑运算 | A | 逻辑0 | AB | A非B | |  |  |  | FFH | 00H | 01H | FEH |   按照老师所说A+B为按位异或但不进位，A加B才有进位信号，可在实验时，A=FFH,B=01H时，进行A+B操作，DBUS得出结果是FFH，经多次实验发现A+B实为按位进行或操作，其余数据如预期所示。   1. **实验结论**   本次实验帮助我了解了运算器的原理以及相关操作，掌握了运算器的数据传输通路及其功能特性，熟悉了实验中所用模拟开关的作用和使用方法，在使用数据55H以及AAH时并未发现A+B存在的问题，后经多组数据测试发现问题并与同学老师讨论得以解决疑惑，因此实验过程中测试数据不能过少过简单，应当多进行尝试以解决所有疑惑。  **实验二、双端口存储器实验**   1. **芯片及硬件电路分析**       IDT7132的左右两个端口有独立的总线及控制信号： CE#、R/W#和OE#。左端口为读、写端口，当MEMW为1时，在T2上升沿将DBUS上的D7-0写入AR7-0指定的存储单元；当MBUS信号为1时，指定的存储单元的数送DBUS；右端口为只读方式，从PC7-0指定的存储单元读出指令INS7-0，送往指令寄存器IR。  程序计数器PC由2片GAL22V10组成。向RAM的右端口提供存储器地址。当信号LPC为1时，在T3的上升沿，将DBUS上的数D7-0写入PC；当信号PCINC为1时，在T3的上升沿，PC加1；当PCADD信号为1时，PC和IR中的转移偏量相加，在T3的上升沿，将相加得到的和写入PC。  地址寄存器AR由1片GAL22V10组成，向RAM的左端口提供存储器地址AR7-0 。当信号LAR为1时，在T3的上升沿，数据总线上的数D7~0写入AR。当信号ARINC为1时，在T3的上升沿，完成AR加1。   1. **实验方案详解及数据分析**   按电路图将有关信号和二进制开关对应接好。将编程开关拨到“正常”位置,控制转换开关拨到“独立”位置，合上电源,按CLR#按钮,使TEC-8实验系统处于初始状态，将DP开关置1，使之处于单拍状态。  首先打开SBUS开关以及LAR开关，将ARINC开关置0关闭自加1功能，设置好S7-S0数据为01H后按下QD，将地址存入AR，关闭LAR，再将S7-S0设为55H，将MEMW置1把55H存入RAM中，此时55H就被存入01H地址中。  首先打开SBUS开关以及LAR开关，将ARINC开关置1打开自加1功能，设置好S7-S0数据为01H后使其自加1变成02H，然后重复上述操作存入AAH，打开DBUS即可左读RAM数据，打开LPC重复上述操作，当PC寄存器里为01H时，INS7-INS0输出即为55H，PC为02H时，为AAH，右读。  冲突测试：重复前操作使AR和PC内地址为01H，打开MBUS对01H地址数据进行左读得到55H，此时双端口储存器左读和右读同时访问了同一地址，使用测试笔测芯片45号引脚BUSY（低电平有效），发现信号为低电平，发生冲突，若此时执行写入操作，打开SBUS以及MEMW，写入一个新数据F0H，按下QD后发现INS7-0也立刻变成了刚刚写入的数据，这会导致信号突变，导致电信号读取不完整，特别容易产生错误信号。   |  |  |  |  | | --- | --- | --- | --- | | 左端存储器地址 | 左端存入数据 | 右端存储器地址 | 右端读出数据 | | 10H | 55H | 10H | 55H | | 20H | AAH | 20H | AAH | | 21H | 10H | 21H | 10H | | 22H | 20H | 22H | 20H |   **3、实验结论**  掌握了IDT7132双端口存储器的功能特性以及使用方法，了解了冲突的发生原理以及影响。  **实验三、数据通路实验**   1. **硬件电路分析**     实验三内容为把实验一、实验二内容结合起来，电路也是实验一加上实验二的电路，因此此处不做分析。   1. **实验方案详解及数据分析**   首先将实验电路与控制台的有关信号进行线路连接，接好线后,将编程开关拨到“正常”位置,控制转换开关拨到“独立”位置，合上电源,按CLR#按钮,使TEC-8实验系统处于初始状态，将DP置1处于单拍状态。  首先，打开SBUS以及LAR，使用数据开关给AR赋值01H，然后关闭LAR，打开DRW，利用RD0-RD3将数据写往寄存器R0-R3，数据分别为55H，AAH，FFH，01H，通过四选一选择器A、B将R1和R2的数据传入ALU的A端口和B端口，S0置1，S1-S3以及M置0，此时ALU执行的是A+B操作，打开ABUS此时D7-D0显示为FFH，将MEMW置1，按下QD，此时FFH就会通过数据总线存入RAM中01H地址，利用上述步骤将01H赋值给PC寄存器，此时INS7-INS0就会显示01H所储存的值FFH，打开MBUS，则可以看到左读AR地址01H中的值也为FFH。   1. **实验总结**   通过本次实验，我进一步熟悉了TEC-8实验系统的操作步骤，掌握了基本的数据输入输出和存储器访问操作。同时，我也深入了解了实验一和实验二的内容，并将其应用到了综合性实验中，加深了对数字逻辑电路和计算机原理的理解，掌握了数据通路的基本概念和功能，理解了数据通路的原理和方法，熟悉了寄存器、存储器、多路选择器等基本数据通路部件的实现方式，并能够正确处理数据冲突和控制冲突。 |