

慧微半导体商业计划

面向半导体芯片设计公司，尤其是中小型和初创型设计公司，慧微半导体（以下简称 PWRSemi），2010 年中创立于深圳的一家半导体 IP 设计公司，致力于为嵌入式市场提供具有性价比领先优势的微处理器 IP 核，以降低芯片产品开发的商业风险，共同推动本土电子半导体产业的繁荣。

PWRSemi 的主要商业模式为将处理器 IP 核以公平透明的支付条款授权给半导体芯片设计公司和具有芯片设计部门的系统公司，营收主要包括每个设计开始时的授权使用费和基于最终芯片产品出货量的权利金等。和现有主要处理器 IP 核供应商（ARM 和 MIPS）相比，PWRSemi 的主要差异化因素在于，建立在卓越运营的结构化优势基础上的，全球领先的产品性价比优势：最高为同类厂商的 10 倍。我们的产品将帮助解决困扰芯片设计行业，尤其是本土设计行业的一个两难局面：购买现有厂商处理器 IP 核的高商业风险和自主独立开发的高技术风险。在充分利用贴近本土庞大的消费电子市场、电信设备市场、以及国防和航空等市场，和全球化的互联网营销等的基础上，我们计划同时开拓国内和国际市场，力争三年之内成为嵌入式处理器 IP 核市场的主流厂商。

我们的处理器产品支持运行 Power 指令，以方便用户延续使用熟悉的开发环境和工具，充分利用成熟的基础系统软件，并保护现有智力投资。目前 Power 架构处理器在通信，汽车电子，家庭娱乐，高性能计算和航空航天等市场占据领导地位。为规避潜在的知识产权风险，PWRSemi 采用“静室设计方法”完成兼容性设计，并开发出 PWR（Processor With Reduced-RISC）技术以适应嵌入式市场灵活性的需求。目前我们已经在 FPGA 上实现设计验证，并将在 2011 年的第二季度发布为 FPGA 市场优化的第一个处理器 IP 核产品。

目前，PWRSemi 正面向半导体行业投资者寻求约三百万人民币的种子融资，投资人将获得和创始团队具有同样权责的 20% 的公司股权。种子资金将主要用于建立完整团队，开发完善处理器 IP 核和配套产品，我们预计种子资金将支持公司运营 12 个月并使公司增加至 10 名员工，关键成果是获取首个处理器 IP 核客户。由于轻资产，高利润率的运营特点，我们估计 PWRSemi 可在两年之内达到正现金流和损益平衡点。

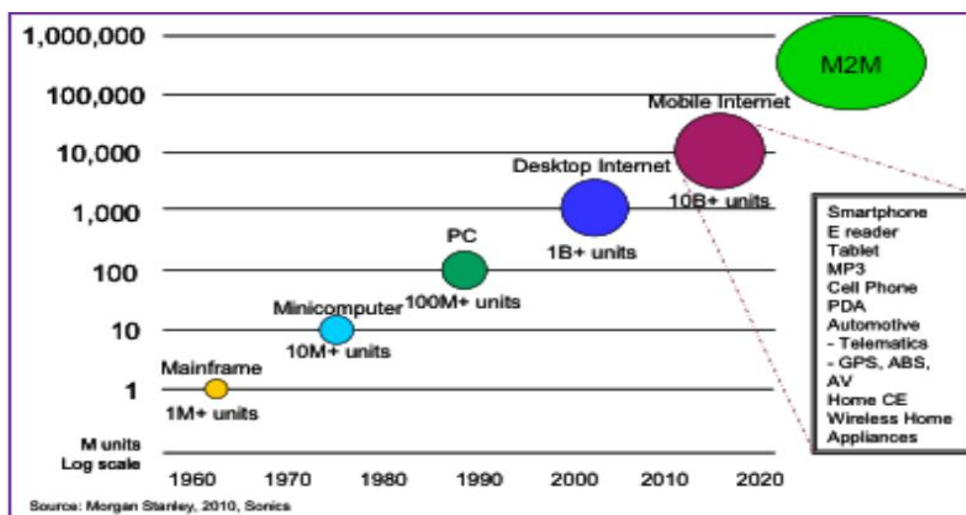
PWRSemi 的商业计划书在保密基础上提交。未取得 PWRSemi 同意的情况下，该计划书不希望以任何形式复制、存储或散发。接收该计划书就意味着接收者同意如下条件：如果您选择不订购 PWRSemi 发行的证卷，请将计划书销毁或归还，并不以任何形式复制，存储或散发本计划书的全部或部分内容，感谢您的合作。

目 录

PWRSemi 商业计划	1
目 录	2
一 市场需求	3
二 PWRSemi 解决方案	4
2.1 商业模式	4
2.2 技术研发	5
2.3 产品计划	5
2.4 市场策略	5
三 知识产权策略	6
四 竞争和价值链分析	6
五 时间表	8
六 财务计划	8
6.1 财务预测	8
6.2 关键收入	8
6.3 关键开销	9
6.4 融资方案	9
6.5 投资者回报	9
6.6 同类型企业比较	10
七 风险分析	10
7.1 市场风险	10
7.2 团队风险	10
7.3 财务风险	11
7.4 知识产权风险	11
八 团队	11
九 联系我们	11

一 市场需求

随着半导体工艺的发展，单芯片集成度越来越高，芯片设计已经进入片上系统阶段。为应对设计复杂度、开发成本和上市时间的挑战，聚焦核心差异化功能、结合大规模采用商用 IP 的芯片产品开发方式已经成为业界的普遍选择。而微处理器核由于其通用性，已成为电子设备的核心 - 微芯片的必然组成部分，从超级计算机等大型电子设备，到机顶盒，手机，多媒体播放器等中小设备，直至 IC 卡和电子玩具等微型电子设备的微芯片中，几乎都嵌入有一颗或多颗微处理器核。根据分析公司 Linley Group 报告¹，2008 年全球的微处理器内核出货量达 53 亿颗，预计至 2012 年，年出货量将在此基础上翻一番 - 超过 100 亿颗。随着互联网逐渐向各种设备渗透，智能化家电和物联网终端等对微处理器核的需求将进一步迎来爆发性增长。如下图总结所示，随着“计算机”由大型机，小型机，PC，移动终端，逐步过渡到物联网（Machine to Machine）器件，单个“计算机”价格呈指数下降，而出货量则呈指数增长，最终可达年度万亿颗数量级。



回到本土半导体芯片设计行业，根据工业和信息化部统计报告²，中国大陆目前共有约 500 家芯片设计公司，2009 年中国大陆 IC 设计业销售收入 286.74 亿元，其中 IP 核市场规模估计约为 2.98 亿元，仅占全球 IP 核市场 16.58 亿美元的 2.64%。一方面，由于贴近电子系统设计和整机制造厂商，同时又面对巨大的内需市场，本土芯片设计行业面临广阔的发展空间。另一方面本土芯片设计公司受历史市场和设计能力等各方面因素影响，在发展路途中又面临着独特挑战。根据我们对本土芯片设计公司产品开发成本结构（包括各种 IP，EDA 工具，集成验证和物理设计，软件，生产和测试，人力资源）的简要分析，中高端嵌入式微处理器 IP 核已经成为大部分设计公司 - 尤其是初创公司和中小设计公司，开拓市场空间、提升竞争水平的主要障碍之一。如若采用目前市场的处理器 IP 授权，则其昂贵价格（平均超过百万美元）和封闭的支付条款将提高开发成本和商业风险负担 - 根据估计，芯片设计项目的最终商业成功率仅约 50%³；另一方面，如选择自主开发处理器内核，一是缺乏处理器设计专业能力，技术风险上升，二是

¹ EETimes - "CPU core shipments to exceed 10 billion in 2012, says analyst"

² 2009 中国 IC 设计业与 IP 现状调研报告，工业和信息化部软件与集成电路促进中心，2009 年 12 月

³ Dan Nenni's blog, "TSMC Open Innovation Platform Explained"

自主开发所需资源投入也大于商业授权，更重要的是产品上市时间延长可能导致错失市场机会窗。这一局面致使本土大部分设计公司集中在低端 4/8/16 位数字芯片市场，过度竞争，由于进入门槛低，市场过度竞争，产品平均销售价格和利润率不但落后于全球同行业水平，且面临不断下滑的局面。而选择进入中高端市场，则面临购买授权的高商业风险或自主开发的高技术风险的两难局面。从全球范围来看，处理器 IP 高昂的授权价格也是形成芯片设计初创公司高启动门槛的因素之一。

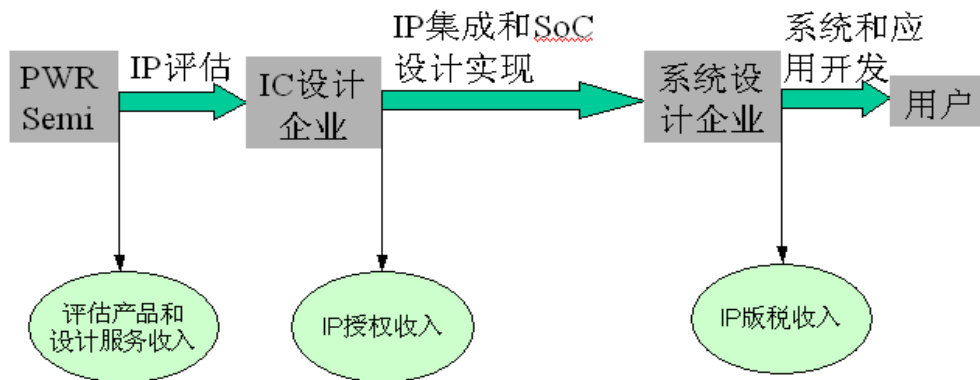
另外，在如高性能计算、防卫与航空行业等特定市场，出于技术需要，以及突破海外技术的出口限制、用途限制，满足政府特种行业关键设备国产化要求等需要，本土自主开发的微处理器 IP 核也存在广阔的市场空间。而 Power 架构的处理器产品更是在上述市场占据领导地位。

二 PWRSEmi 解决方案

PWRSEmi 定位于开发兼容 Power 的 16/32/64 位嵌入式微处理器 IP 核，在设计产业链不断走向垂直分化的背景下，充分利用中国本土运营，创新的低成本营销模式等有利条件，以合理的定价方式推向全球市场，改变目前微处理器 IP 核供应商和设计公司之间议价能力，风险分担等方面不均衡的市场结构。

2.1 商业模式

PWRSEmi 并不自己设计和制造最终半导体芯片，我们通过向 Fabless 设计公司(例如国民技术)和具有芯片设计部门的系统公司(例如华为技术和 ZTE 中兴)，授权使用处理器 IP 核的方式获取回报。主要收入包括每个设计开始时的授权使用费和基于我们 IP 核的每个最终产品的权利金等，其他收入包括配套产品销售和设计服务收入等。与同类企业相比，我们的产品市场策略将聚焦在相对对价格敏感的初创芯片设计公司和中小企业，通过降低处理器 IP 授权初期费用，以分担客户产品开发的商业风险，降低半导体领域创业和中高端市场进入门槛。



图：SIP 商业模式

2.2 技术研发

作为一家市场驱动的技术型初创公司，PWRSemi 的成功依赖于核心技术的研发与产品的持续演进能力，其中指令集兼容，微架构的设计两项技术对微处理器产品开发至关重要，也是我们核心竞争力所在。PWRSemi 创始团队在上述领域超过 20000 个小时的研发经验，以及对过去 15 年市场上所有处理器 IP 核产品的详细技术分析，为保持和进一步发展这一核心竞争力打下了良好基础。

在第一代产品设计中，我们重点解决 Power 架构兼容问题：以评估静态翻译，动态翻译，微码，Trap 模拟和直接硬件译码等指令集兼容实现技术，并将通过软件仿真、实际应用环境验证等方法确保 100%兼容。由于兼容设计跟知识产权策略紧密相关，后续专门章节将结合法律方面因素综合考虑这一技术问题。

2.3 产品计划

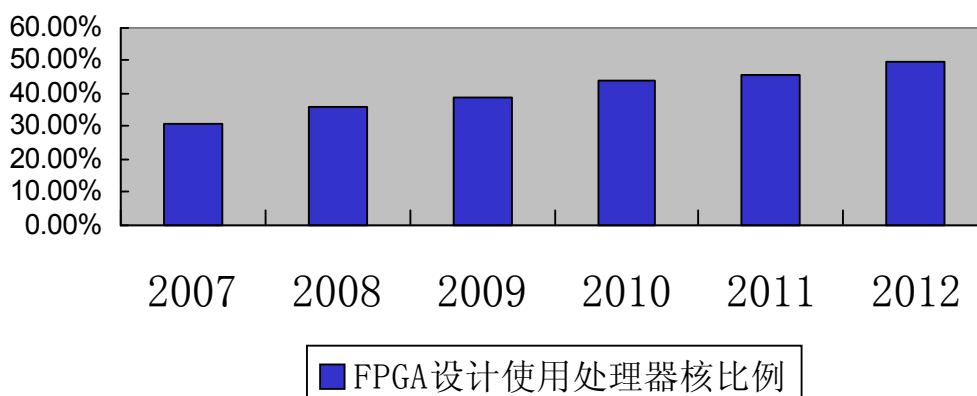
根据产品性能指标，我们将处理器 IP 核划分为入门级，中低端和高端三个系列产品，主要衡量指标包括 DMIPS/MHz 和 mW/MHz 等。三个系列兼容同一指令集，主要区别来自微架构设计：流水线、超标量、分支预测、多线程多核支持、互连，以及诸如 MAC、FPU、MMU/TLB、Cache 等可选部件的配置等。

根据目标实现工艺的差别，我们将产品划分为 FPGA 核和 ASIC 核两部分（由于实现方法的相似性，我们将 ASIC、ASSP 和 SoC 通称为 ASIC）。根据最终向客户提供的格式，处理器 IP 又分为软核、固核和硬核等多重产品形态。

由于处理器在芯片产品和最终系统中的重要作用，除处理器 IP 核之外，处理器供应商必须同时提供配套产品：包括配合 IP 核实现和集成的 EDA 参考设计流程，实现脚本和各层次模型，以及软件集成开发环境、开发工具链、底层软件包和硬件参考平台等。

2.4 市场策略

在市场选择方面，我们将首先选择进入 FPGA 市场。一是，从产业角度来看，受 ASIC 开发成本上升和 FPGA 器件性能不断提高影响，FPGA 应用范围不断扩大，FPGA 处理器市场规模处于增长期，如下图所示，FPGA 设计项目中采用处理器内



核的比例从 2007 年的约 30%，将上升至超过 50%⁴，每年将有超过 4 万个设计项目采用处理器 IP 核。二是由于 FPGA 产品开发成本和市场进入成本相对远低于 ASIC 产品，产品的商业交易周期也远低于 ASIC 产品。三是目前主流处理器 IP 厂商公司结构并不适应 FPGA 市场特点 - 授权价格低，客户数量众多，分布广泛。在 FPGA 市场推广方面，我们计划选择直销，或和 EDA 厂商、FPGA 器件供应商、器件分销商等合作的方式到达全球客户。

针对 ASIC 市场，由于 ASIC 处理器 IP 核产品的复杂性 - 需要产业链上下游的紧密配合、和高 NRE 成本带来的高风险特点，我们计划采用和芯片制造 Fab，EDA 厂商，专业设计服务公司和其他 IP 供应商合作的方式推广产品，最大限度降低客户集成风险和成本。

随着产业链进一步垂直分化，业界出现了如 CAST 和 IPExtreme 等专业半导体 IP 核营销公司。通过合作或外包方式，PWRSemi 可以集中有限资源于核心差异化能力 - 产品开发 - 的发展，降低自身运营风险。另一个引起我们重视的市场开拓方式就是充分利用互联网，例如 Design and Reuse 和 ChipEstimate 等半导体 IP 网络交易平台，和社会化网络等工程师社区。

由于目标客户群体相对数量较小且集中，PWRSemi 也将采用其他高效方式推广产品：例如特别针对本土市场，整个设计产业链和主要设计公司都集中于各大 IC 设计基地，我们计划通过和设计基地和行业协会合作的方式推广产品。

三 知识产权策略

选择开发兼容性处理器产品，竞争对手可能的知识产权纠纷是我们从第一天起必须面对并重视的问题，这也是潜在客户/合作伙伴对我们发展前景的主要担心之一。由于指令集整体并不能申请专利形成法律保护，传统厂商的策略一般是对某些特定指令的实现专利化，再通过专利文件中覆盖广泛的权利要求来提高竞争对手法律风险。

根据对过去近二十年同类型产品的技术分析和法律案例初步分析，包括 Intel 与 AMD、C&T 和 Cyrix 等一系列关于 x86 兼容处理器的专利和版权诉讼；MIPS 与 Lexra 的 '976 和 '703 专利诉讼和版权诉讼；ARM 与 PicoTurbo 之间有关 '563、'646 和 '461 的专利诉讼；Transmeta 与 Intel 之间有关 '687 等 11 篇专利的诉讼等，我们认为完全可以通过一系列技术或商业方法解决这一问题：例如开发规避技术，取得专利交叉授权许可和建立防御性专利池等。例如 IBM 公司就曾成功推出和 TI 的 C54x 数字信号处理器完全兼容的系列产品。

另外，作为一家 IP 授权公司，除技术手段之外，我们深知通过专利、版权、商标、合同、商业和技术机密等法律形式保护自身知识产权对于取得商业成功至关重要，我们计划选取合适的法律顾问，紧密协作以建立完善的 IP 保护体系。

四 竞争和价值链分析

根据商业模式和营收规模等特点，我们将竞争对手划分为以下几类：

一是聚焦于 IP 授权的主流处理器 IP 供应商，包括英国 ARM 和美国 MIPS 公

⁴ Gartner Report: Market Trends - ASIC Design Starts, 2009 (March 2009)

司。ARM 的主要产品有 ARM7、ARM9 和 ARM11/ARM11MP，2004 年底发布 v7 指令集之后 ARM 启用 Cortex 品牌：M 系列面对微控制器市场，A 系列面对中高端应用，R 系列面对中低端应用。MIPS 的主要产品有 4K、5K、20K、24K、34K、74K、1004K 和 M4K/M14K，其中仅 5K 为 64 位内核，4K 为入门级产品，24K 采用超标量设计，34K 增加多线程支持，74K 为超标量超流水设计，1004K 为多核多线程，1074k 为多核超标量超流水设计，M4K/M14K 面对微控制器市场。目前，这两家厂商占据微处理器 IP 核大部分市场份额。

二是采用混合商业模式的主流处理器 IP 供应商，包括美国 IBM 公司和 Freescale 公司。这类厂商主要半导体业务或是生产，或是销售 ASIC 产品和系统产品，处理器 IP 授权仅作为补充业务，而且本身主要业务与 IP 客户或上下游伙伴存在不同程度的竞争关系。IBM 的嵌入式产品有 405、403/401、440、460 和 476 等，Freescale 的嵌入式内核有 e200、e300、e500、e600 和 e5500，其中仅 e200 系列可供外部客户授权，其余部分内核可供客户定制产品使用。

三是 x86 处理器供应商，包括 Intel，AMD 和 Via。虽然目前市场并没有可授权 x86 处理器核 (Intel 已经暂停与 TSMC 合作的 Atom 授权业务)，但 x86 架构厂商和其产品对嵌入式市场具有重大影响，我们将持续关注 x86 厂商的发展动态。

四是非主流处理器 IP 供应商，包括欧洲的 Gaisler (现 Aeroflex)、Beyond Semi、Cambridge Consultants 和 Cortus，台湾地区的 Andes，本土的苏州国芯等。这一部分厂商主要受产品技术特点限制 - 指令集没有得到广泛应用，缺乏生态系统的有力支持，在嵌入式处理器市场占据边缘地位。

五类是其他处理器 IP 核厂商，包括 Tensilica、ARC (现 Synopsys)、SiliconHive (现 Intel) 和 Sun (现 Oracle) 等。其中 Tensilica 和 ARC 提供可变指令集处理器，SiliconHive 开发提供应用优化的指令集处理器，其特性更加接近于数字信号处理器 (DSP)，在最终系统产品中可作为通用嵌入式处理器的有效补充。其中 Sun 仅是开源处理器设计代码，并不参与 IP 授权业务。

六是混和嵌入式处理器厂商，一方面他们自有私有架构处理器产品，另一方面也有采用 ARM/MIPS/Power 授权的产品。这类包括 ST、NEC、Infineon、Renesas、NXP 等 ASIC 厂商和主要 FPGA 厂商 Xilinx 和 Altera 等等。ST 有 ST20/40 处理器，NEC 有 v8xx 系列处理器，Infineon 有 TriCore 系列处理器，Renesas 有 SH 处理器等。Xilinx 有 PicoBlaze/MicroBlaze，Altera 有 Nios 处理器等。

其中前三类厂商采用的 ARM、MIPS、Power 和 x86 架构是目前嵌入式处理器市场的主流架构，例如 Google 的 Android 系统目前均包含上述四种架构的支持。其中前两类厂商是 PWRSemi 面对的主要竞争所在。

除此之外，价值链的分析还必须包括能对处理器 IP 核产品的成功产生重大影响的上下游产品和服务，他们主要有以下几类：

物理 IP：主要有 ARM，Virage Logic (现 Synopsys)，和 VeriSilicon 等。

片上互连 IP：主要标准和产品有 ARM 的 AMBA，IBM 的 CoreConnect，OCP-IP 的 OCP，OpenCore 的 WishBone，Sonics 和 Arteris 的互连网络等。

EDA 工具：主要有 Synopsys，Cadence，Mentor Graphics 和 Magma 等。

制造 Fabs：主要有 CSMC，HNNEC，SMIC，TSMC，UMC 和 GlobalFoundries 等。我们将 FPGA 器件供应商 Xilinx 和 Altera 等也划入此类

设计服务厂商：如 Alchip，eSilicon，Open Silicon 和 VeriSilicon 等。

软件开发工具和操作系统厂商：主要有 Wind River (现 Intel)，Green Hills，Mentor Graphics，QNX (现 RIM)，Lauterbach，和 CodeSourcery (现 Mentor

Graphics) 等。除商业公司之外, 开源社区在这方面也可提供成熟的整套方案。

有关产品特性比较和公司级的竞争与价值链详细分析, 以及我们如何应对市场领导者改变定价策略, 本土出现类似 IP 供应商和开源处理器 IP 核供应商等各方面挑战的策略, 请与我们进一步沟通。

五 时间表

目前第一个处理器设计阶段工作全部完成, 正在进行功能验证和 FPGA 的全系统调试。紧接下一步工作是 FPGA 处理器 IP 核的产品化: 推出参考系统和评估板, 面向重点潜在客户推广, 获取市场反馈以进一步明确产品定位, 调整设计并开展相关产品化工作, 并获取首个客户。近期的主要里程碑如下:

里程碑一: 进行系统导入和验证: 在基于 FPGA 平台的 SoC 参考设计上运行完整 BSP/RTOS 和基本应用等软件。预计在 2011 年 Q2 结束时达到。

里程碑二: 向早期客户试推出 FPGA 处理器 IP 核产品, 和早期客户紧密合作解决系统集成的各方面问题。在 2011 年 Q3 结束时, 签订首个 FPGA 核授权合同并完成交付。

里程碑三: 开发完成 ASIC 市场入门级处理器 IP 核, 通过 .25/.18/.13 工艺的测试芯片验证各项设计目标。并签订首个 ASIC 核授权合同。估计在 2011 年 Q4 结束时达成。

六 财务计划

6.1 财务预测

	2010	2011	2012	2013	2014
营收 (M)	/	¥ 1.8M	¥ 24M	¥ 70M	¥ 150M
R&D 开销 [1]	¥ 0.15M	¥ 0.65M	¥ 3M	¥ 6M	¥ 10M
S&M 开销 [1]	/	¥ 0.30M	¥ 4M	¥ 12M	¥ 22M
G&A 开销 [1]	/	¥ 0.15M	¥ 1M	¥ 3M	¥ 5M
员工数量		10 人	25 人	38 人	45 人
运营总开销	¥ 0.15M	¥ 1.6M	¥ 13M	¥ 31M	¥ 50M
税前利润	/	/	¥ 11M	¥ 39M	¥ 100M
运营利润率	/	/	46%	56%	67%

注 1: 条目中不包括人力资源开销, 由员工数量乘以平均薪酬得出。

6.2 关键收入

在前三年主要来自处理器 IP 核授权和相关的设计服务, 后续权利金依赖于客户产品的成功 - 预计权利金部分在第五年 (2014) 才开始对收入产生较大影响。所以初期收入取决于授权平均销售价格 (ASP), 每个授权的销售成本, 和客户获取速度。预计 2011 年 ASP 为 60 万元, 随着产品线向中高端拓展, 后续三年逐渐

提升为 100 万元, 150 万元和 200 万元。(按照 10 个 FPGA 授权合并为一个 ASIC 授权计算)。

6.3 关键开销

- * 人力资源, PWRsemi 将人视为公司最宝贵的资产, 公司的成功也依赖于关键工程师和市场人员的个人能力和表现, 预计第二年 (2011) 人均薪酬约 15 万元, 后续每年人均薪酬逐年递增 5 万元。

- * 产品开发, 包括 EDA 工具和设备的租赁, 物理设计, 测试芯片的制造封装和测试, 验证演示系统开发等。其中占主要的是测试芯片制造, 例如 SMIC 0.13um 工艺 MPW 费用接近 30 万人民币, 90nm 工艺 MPW 费用约为 50 万人民币。

- * 市场开拓, 主要包括专业媒体广告, 组织或参加专业会议等市场活动费用。

- * 法务开销, 这一部分在现阶段不确定因素很大, 暂按照 2011 年 5 万人民币, 后续逐年翻番列入财务计划。具体可参考运营计划。

6.4 融资方案

我们计划面向有 Fab/EDA 等背景的战略投资者、在半导体业界具有广泛影响力的战略投资者和重要潜在客户进行私募融资。

A 轮融资: 在达到里程碑——完成 FPGA 处理器核开发, 验证指令集兼容之后, 2011 年第二季度前引入 300 万人民币种子资金。这部分资金主要用于开发完善处理器 IP 核产品、建设团队、和进行市场推广。关键目标是建立完善的销售渠道, 并获取首个处理器 IP 核授权客户。预计种子融资将支持我们运营 12 个月至 2012 年 6 月, 并使团队发展至 10 名员工: 8 名工程师, 1 名市场人员和 1 名运营管理人员。

B 轮融资: 在确定首个处理器 IP 核授权合同后, 2012 年第一季度计划完成 B 轮融资, 预期资金需求约为 1800 万人民币。资金将用于完善产品线和建设生态系统, 进行大规模市场推广和完善知识产权体系建设等。关键目标是开发完成中高端处理器 IP 核, 获取 30 个 IP 核授权合同, 收购完成关键防御性专利。预计 B 轮融资将支持我们继续运营 12 个月至 2013 年 3 月, 并使团队发展至 25 名员工: 20 名工程师, 3 名市场人员和 2 名运营管理人员。预计 B 轮融资将是我们的最后一轮私募融资, 资金将支持我们运营至损益平衡点, 并可保持健康的现金流。

6.5 投资者回报

在退出通道方面: 一是 PWRsemi 可在短期内达到损益平衡点, 并具备强劲的盈利能力, 可为股权投资者长期持有带来合理的回报。二是 PWRsemi 的产品和技术是上市公司, 同行和上下游企业的重点并购目标。三是 PWRsemi 在快速发展的情况下可在本土或海外资本市场进行公开募集。

在估算未来 PWRsemi 投资者回报时, 假设 PWRsemi 在 2014 年末以 20% 的股权比例进行 IPO。根据本土半导体行业在资本市场上的表现, 我们假定 PWRsemi 估值为运营利润乘以 10 倍系数, 退出时估值约为 ¥1B 元, 股权结构如下所示

时间	持有者	预设股权数量	价格	融资额	估值	百分比
2Q10	创始团队	8,000,000	/	/	/	40%
2Q11	A 轮投资	2,000,000	¥ 1.50	¥ 3M	¥ 15M	10%
2Q11	员工期权	2,000,000	/	/	/	10%
1Q12	B 轮投资	3,000,000	¥ 6.00	¥ 18M	¥ 90M	15%
1Q15	IPO	5,000,000	¥ 50.00	¥ 250M	¥ 1B	25%
总计		20,000,000		¥ 271M	¥ 1B	100%
A 轮投资者投资 ¥ 3M, 4 年周期, 退出估值 ¥ 100M, 年复合回报率约为 140 %						
B 轮投资者投资 ¥ 18M, 3 年周期, 退出估值 ¥ 150M, 年复合回报率约为 103 %						

6.6 同类型企业比较

ARM	2009	2008	2007	2006
营收	£ 305M	£ 299M	£ 259M	£ 263M
R&D 开销	£ 112M	£ 88M	£ 84M	/
S&M 开销	£ 62M	£ 57M	£ 55M	/
G&A 开销	£ 60M	£ 61M	£ 52M	/
毛利润率	91.6%	89.0%	89.2%	88.3%
运营利润率	31.2%	32.7%	31.7%	31.1%
净利润率	23.2%	24.4%	25.2%	26.7%
处理器 授权收入	\$128M	\$145M	\$163.5M	\$138M
处理器 授权数量	87 个	61 个	62 个	65 个
平均每个 授权收入	\$1.47M	\$2.38M	\$2.64M	\$2.12M

来源：ARM 年报。

七 风险分析

7.1 市场风险

处理器 IP 产品得不到首个客户认可；和客户获取速度慢于预期；

我们的备用计划一是采用开源商业模式：开放基本设计源码，转向以附加服务和定制设计为主要业务。第二种选择是转向 Fabless 设计公司，自己完成最终芯片产品设计并推向市场。

7.2 团队风险

创始团队缺乏丰富的公司运营和管理经验；

我们计划雇佣一位经验丰富并和创始团队相互认可的高级管理人员。除此之

外，创始团队将通过实践学习，以及建立由经验丰富人士组成的董事会和外部顾问团队降低这一风险。

7.3 财务风险

最大的财务风险是 PWRSemi 无法募集快速发展所需资金。

我们将采用各种方法减低资金需求量，包括：寻求在早期和潜在客户或上下游厂商建立各种合作关系共同开发和推广产品；依靠自有资金，集中开拓 FPGA 市场，再寻求合适时间点进入高开发成本高风险的 ASIC 市场；转换商业模式等。

另外，受现有厂商 FUD (Fear, Uncertainty, Doubt) 等策略影响，我们认为市场存在一个误导性看法 - “微处理器产品需要上百人，数千万上亿资金才能完成开发商品化”。实际上，这并不适用于所有细分市场，商业模式和产品形态。嵌入式处理器 IP 核属于知识密集和人才依赖型行业。一方面是硅 IP 公司和 Fabless 设计公司相比，资金需求和运营复杂度大为降低（同时风险和回报率也相应降低）；另一方面则是随着技术发展，现在的微处理器产品开发成本和二十年前相比大为降低：部分技术从少数公司少数工程师掌握的黑魔术转变为“商品化”技术；EDA 工具和设计流程等的发展使单个工程师生产率大幅提升，同时 FPGA 的应用使得研发能够几乎以零成本快速迭代改进设计。但微处理器内在的复杂性仍然使得产品开发具有“高门槛”的特点，表现为严重依赖于关键人员的技术水平和市场阅读能力。总之，我们认为一个小规模的高质量团队在适量资金的支持下是完全可以处理器 IP 核市场取得成功的。

7.4 知识产权风险

参考“知识产权策略”相关部分

八 团队

九 联系我们