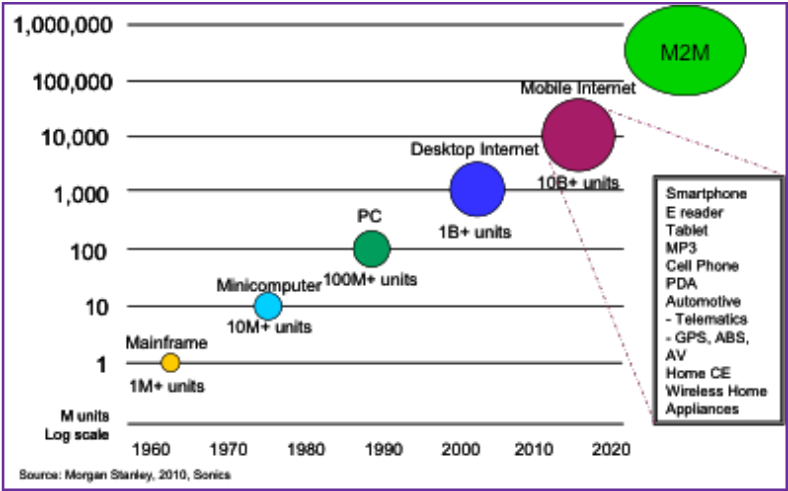
**zCore－微处理器业的十倍速变革**

随着半导体工艺的发展，单芯片集成度不断提升，芯片设计已经进入片上系统阶段。为应对设计复杂度、开发成本和上市时间的挑战，业界普遍走向聚焦核心差异化功能，同时大规模采用商用IP的芯片产品开发方式。而嵌入式微处理器核由于其通用性，已成为各种电子设备的核心－微芯片的必然组成部分，从超级计算机等大型电子设备，到机顶盒，手机，多媒体播放器等中小设备，直至IC卡和电子玩具等微型电子设备的微芯片中，几乎都嵌入有一颗或多颗微处理器核。根据分析公司Linley Group报告，2008年全球的微处理器内核出货量已达53亿颗，预计至2012年，年出货量将在此基础上翻一番－超过100亿颗。随着互联网逐渐向各种设备渗透，智能化家电和物联网终端等对微处理器核的需求将进一步迎来爆发性增长。如下图总结所示，随着“计算机”由大型机，小型机，PC，移动终端，逐步过渡到物联网（Machine to Machine）时代，单个“计算机”的价格呈指数下降，而出货量则呈指数增长，最终可达每年万亿颗数量级。



从技术角度来说，上述每一个计算机时代都存在占据主要地位的处理器架构，比如，大型机时代的IBM System 360系列，小型机时代的DEC PDP/VAX系列，PC和桌面时代的x86系列，和目前移动终端时代的ARM系列等。而在未来物联网时代，受生态系统影响，可以预见，占据各种终端的处理器架构将在目前的四种主流架构－x86、Power、MIPS和ARM中诞生。但其中x86和Power现有厂商受制于自身商业模式无法普及，而MIPS和ARM则因为其昂贵的入门授权价格（平均约百万美元）和封闭的支付条款给最终微芯片的开发带来沉重的商业风险和负担。

慧微半导体，2010年中创立于深圳并全部由私人投资持有的一家处理器IP核设计公司，致力于为嵌入式市场提供具有性价比领先优势的微处理器IP核，以降低微芯片开发的商业风险，共同推动电子系统创新和半导体产业的繁荣。为方便用户延续使用熟悉的开发环境和工具，充分利用成熟的基础系统软件，并保护现有智力投资，慧微半导体的zCore系列处理器IP核产品全部透明兼容于Power架构。

zCore系列的入门级ASIC处理器核，基于我们针对嵌入式应用优化的超精简指令技术PWR（Processor With Reduced-RISC），是目前业界最小，能效最高的32位微处理器之一。和同级别其他Power处理器相比，在不损失性能的情况下，设计规模和功耗均降低约50％，可广泛应用于各类深度嵌入的微控制器和中低端32位系统。

除传统ASIC处理器市场，慧微针对新兴FPGA市场优化的处理器产品进一步为系统设计者带来了新的创新可能。一方面，从产业角度来看，受ASIC开发成本上升和FPGA器件性能不断提升的影响，FPGA应用范围不断扩大，FPGA与ASIC/ASSP相比已经由过去工艺的追随者一跃成为先进工艺的领先者，相应地FPGA处理器市场规模也处于高速增长期，据Gartner估计，FPGA设计项目中采用处理器内核的比例将上升至50％。另一方面，由于目前传统ASIC处理器IP厂商并不适应FPGA市场特点－授权费用低、客户数量众多、分布广泛，所以市场一直缺乏有竞争力的主流架构处理器产品。慧微半导体将结合商业上的灵活授权和技术上的针对性优化，为FPGA系统设计者提供全面的处理器IP核解决方案，主要优点包括：独立于厂商和器件，全面支持Xilinx、Altera、Lattice、Tabula和Achronix等多种FPGA底层架构；无缝支持FPGA和ASIC之间的转换，以适应系统厂商的多重产品实现选择；良好的可扩展性和稳固的产品路标，并首次将多核软处理器带入FPGA市场。

建立于卓越运营的结构化优势，和创始团队平均约十年超级计算机系统芯片和微处理器芯片的设计经验基础之上，我们将为微处理器市场带来十倍速的变革，以和上下游合作伙伴、微芯片设计者和系统开发者一起，共同迎接未来电子系统设计创新的机遇和挑战。

慧微半导体将在2011年6月深圳集成电路创新应用展与合作伙伴联合展示嵌入zCore的片上系统和包括实时操作系统, 协议栈和高层应用在内的完整嵌入式智能系统。

【原文发表于<深圳市半导体行业简讯>2011年第5期】