



上海交通大学

SHANGHAI JIAO TONG UNIVERSITY

研究生课程实验报告

GRADUATE COURSE PROJECT REPORT

课 程: 高等数字电路设计
报告题目: Project I Linear Feedback Shift Register

学生姓名: 赵拯基
学生学号: 121039910125
任课教师: 何卫锋 孙亚男
学院(系):
开课学期:

目录

| | | |
|-------|--|----|
| 一、 | 项目目的 | 1 |
| 二、 | 项目要求 | 1 |
| 三、 | 前期准备 | 1 |
| 3.1 | LFSR 简介 | 1 |
| 3.2 | 时钟电路 | 2 |
| 3.3 | 负载电路 | 3 |
| 3.4 | 通用组件电路 | 3 |
| 3.4.1 | inv_size_1 | 3 |
| 3.4.2 | inv_size_4 | 3 |
| 3.4.3 | or2 | 3 |
| 3.4.3 | tg | 3 |
| 3.4.4 | xor | 3 |
| 四、 | 设计流程 | 3 |
| 4.1 | 24T_TGFF (经典 24 管 D 触发器) | 4 |
| 4.1.1 | 基本功能测试 | 4 |
| 4.1.2 | 高能效测试 | 5 |
| 4.1.3 | 工作范围测试 | 6 |
| 4.2 | 24T_CSFF (change-sensing FF) | 6 |
| 4.2.1 | 基本功能测试 | 7 |
| 4.2.2 | 高能效测试 | 8 |
| 4.3 | 26T_SCDFF (Static Contention-free Differential FF) | 8 |
| 4.3.1 | 基本功能测试 | 9 |
| 4.3.2 | 高能效测试 | 10 |
| 4.3.2 | 工作范围测试 | 10 |
| 4.4 | 18TSPC (18-Transistors Single-Phase Clocked FF) | 11 |
| 4.4.1 | 基本功能测试 | 11 |
| 4.4.2 | 高能效测试 | 12 |
| 4.4.2 | 工作范围测试 | 13 |
| 五、 | 设计总结 | 13 |
| 5.1 | 触发器选择 | 13 |

| | |
|---------------------------|----|
| 5.2 逻辑门选择..... | 14 |
| 5.3 最终高能效测试 | 14 |
| 六、 附录 | 14 |
| 6.1 common.net | 14 |
| 6.2 clk_circuit.net | 16 |
| 6.3 load_circuit.net..... | 16 |
| 6.4 24T_TGFF.net..... | 16 |
| 6.5 24T_CSFF.net | 17 |
| 6.6 26T_SCDFF.net | 17 |
| 6.7 18TSPC.net..... | 18 |

一、项目目的

构建触发器的电路网表，由 n 级触发器和一些逻辑门组成线性反馈移位寄存器（LFSR）。最终目的为设计一款高能效的 16bit LFSR。

二、项目要求

高能效的 16bit LFSR 包含 16 个触发器，反馈函数至少包含 3 个逻辑门，需产生一个周期为 2^n-1 的序列 ($n=16$)。

高能效指标具体是说，通过低功耗的设计，降低 LFSR 电路完成 1024 个序列输出所消耗的能量，要求测试温度为 35°C。

具体要求如下：

- 使用 SPICE 网表实现 LFSR 电路
- 工艺：7nm PTM LP（采用 7nm FinFET 工艺，栅极长度采用默认值 l_g 为 11nm，宽度为最小宽度整数倍数，标准供电电压为 0.7V）
- 温度：保证 0~70°C 都能工作
- 输出负载：4 倍最小尺寸反相器门电容负载
- 输入时钟信号：使用 2 级 FO4（Fan-out=4）电路搭建时钟树

三、前期准备

3.1 LFSR 简介

线性反馈移位寄存器（Linear feedback shift register, LFSR）是指给定前一状态的输出，将该输出的线性函数再用作输入的移位寄存器。异或运算是最常见的单比特线性函数：对寄存器的某些位进行异或操作后作为输入，再对寄存器中的各比特进行整体移位，一个 16bit LFSR 如下图所示。

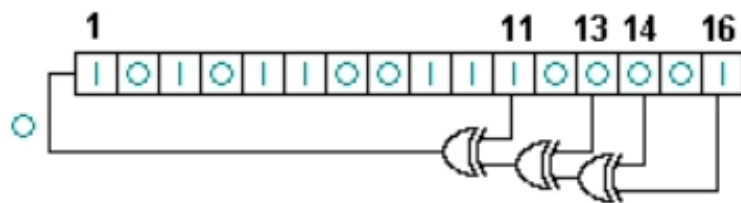


图 1 16bit LFSR，反馈函数 $y = x_{16} \oplus x_{14} \oplus x_{13} \oplus x_{11}$ 。

对于一个 n bit 的 LFSR，可用的抽头至少有 n 个（第 0 个抽头是必须的）虽然一个 n bit 的 LFSR 可以有很多种不同的抽头配置，但不是所有抽头都能使其达到最长输出序列。对于 16bit LFSR 来说，为达到最长输出序列，选择 16, 15, 13, 4 抽头，进行异或操作，反馈函数为 $y = x_{16} \oplus x_{15} \oplus x_{13} \oplus x_4$ 。本次 project 构建的 16bit LFSR 如下图所示。

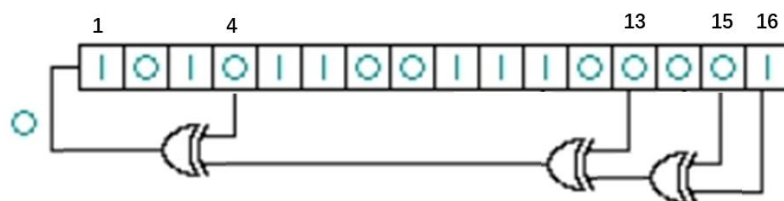


图 2 16bit LFSR，反馈函数 $y = x_{16} \oplus x_{15} \oplus x_{13} \oplus x_4$ 。

由于没有复位信号，LFSR 中的 16 个寄存器初始可能为任何状态。如果初始状态为全 0，整个 LFSR 并不能正常工作，无法产生输出序列。因此，对于这样的初始状态，应该起始输入逻辑 1。构建实际的电路时，最终反馈函数的输出为 $d_0 = init | (x_{16} \oplus x_{15} \oplus x_{13} \oplus x_4)$ ， $init$ 仅在第一个时钟周期为逻辑 1。

3.2 时钟电路

16bit LFSR 需要 16 个时钟信号，按照项目要求搭建时钟树。通过两级 4 扇出的 buffer 产生 16 个时钟信号。单个 buffer 的结构如下图所示。

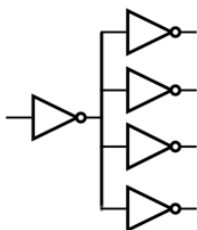


图 3 buffer 结构

两级 buffer 的组成结构如下图所示。时钟电路的网表描述位于 `clk_circuit.net`。

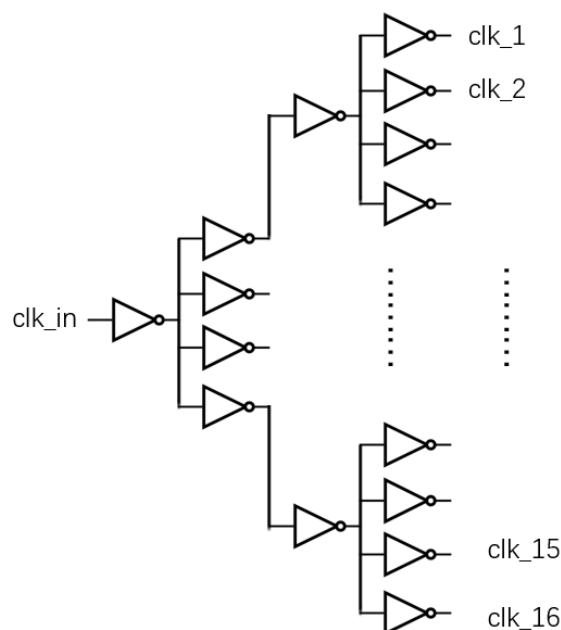


图 4 时钟电路

3.3 负载电路

负载电路为单个反相器，反相器尺寸为 4 倍最小尺寸。负载电路的网表描述位于 `load_circuit.net`。另外，除了负载电路的反相器尺寸大小为 4 倍最小尺寸外，所有 MOS 管的尺寸均为最小尺寸（即 `nfin=1`）。

3.4 通用组件电路

四、 设计流程

按照项目要求，针对高能效指标进行优化，未指定电路的工作电压和频率。首先保证寄存器可以在 $0\sim 70^{\circ}\text{C}$ 条件下，以标准电压 0.7V 进行供电可以正常工作，无需验证 1024 个输出序列，仅测试正常的功能。

在此前提下，以低电压 0.4V 进行供电，时钟周期 20ns ，测量产生 1024 个输出序列时的平均功耗，作为高能效的主要评价标准。

同时，我们仍希望所设计的 LFSR 能拥有更宽泛的工作范围，即更高的工

作频率和更低的工作电压，同时仍然保持高能效的工作特点。在上述同样的测量结果下，比较单个寄存器的输出延时 $t_p = (t_{pHL} + t_{pLH})/2$ ，找到最佳的设计方案。



图 7 设计优化流程

另外，设计的 LFSR 与时钟电路的供电分离。时钟电路供电保持独立，始终为 0.7V。

4.1 24T_TGFF（经典 24 管 D 触发器）

经典的 24 管 D 触发器作为 baseline。

TGFF 的结构如下图所示。经典的 24 管 D 触发器采用主从结构，主从结构工作在不同的时钟电平，工作状态相反，通过传输门进行控制。外部输入的时钟信号在其内部经过反相器生成反相时钟信号。

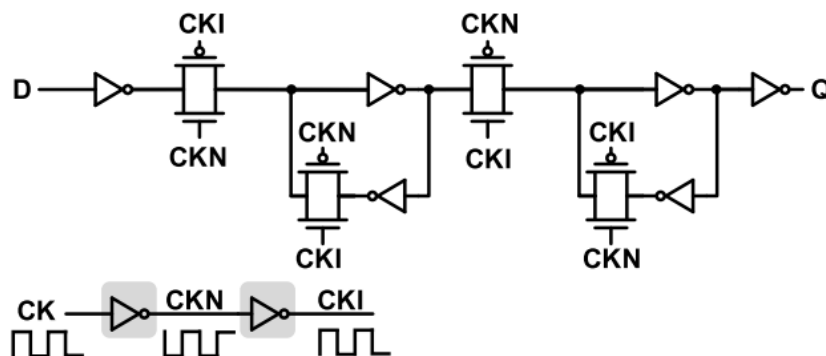


图 8 TGFF 结构

4.1.1 基本功能测试

选取三个温度点进行测试 0℃、35℃、70℃，LFSR 电路供电为 0.7V，时钟周期 20ns，测试时间 1000ns。下图的波形展示了第一个触发器的输入输出变化。同时对平均功耗进行测量，如下表所示。

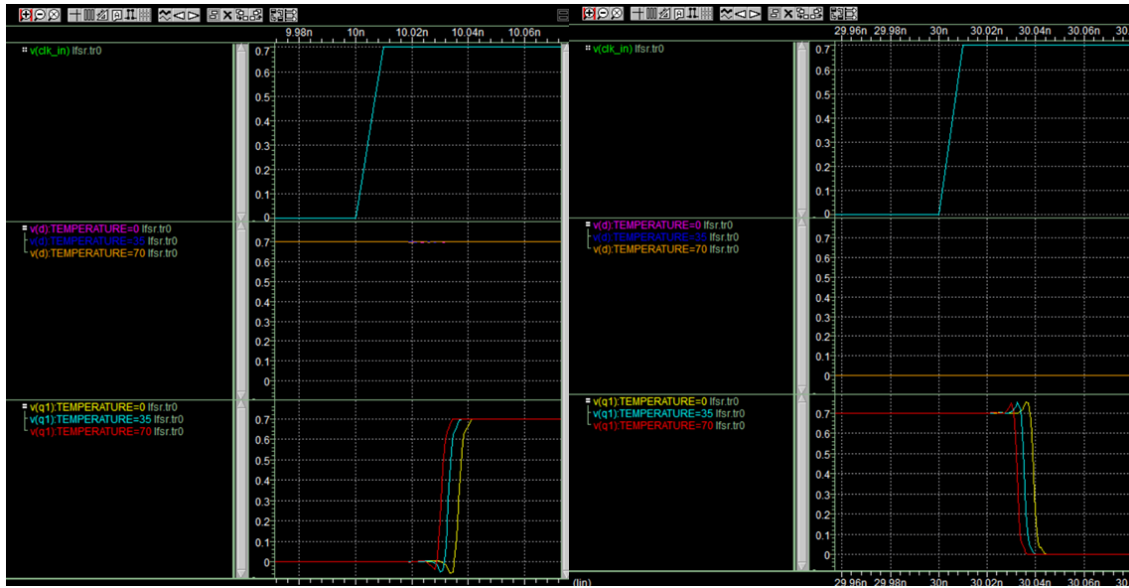


图 9 TGFF LFSR 的第一个触发器输入输出波形

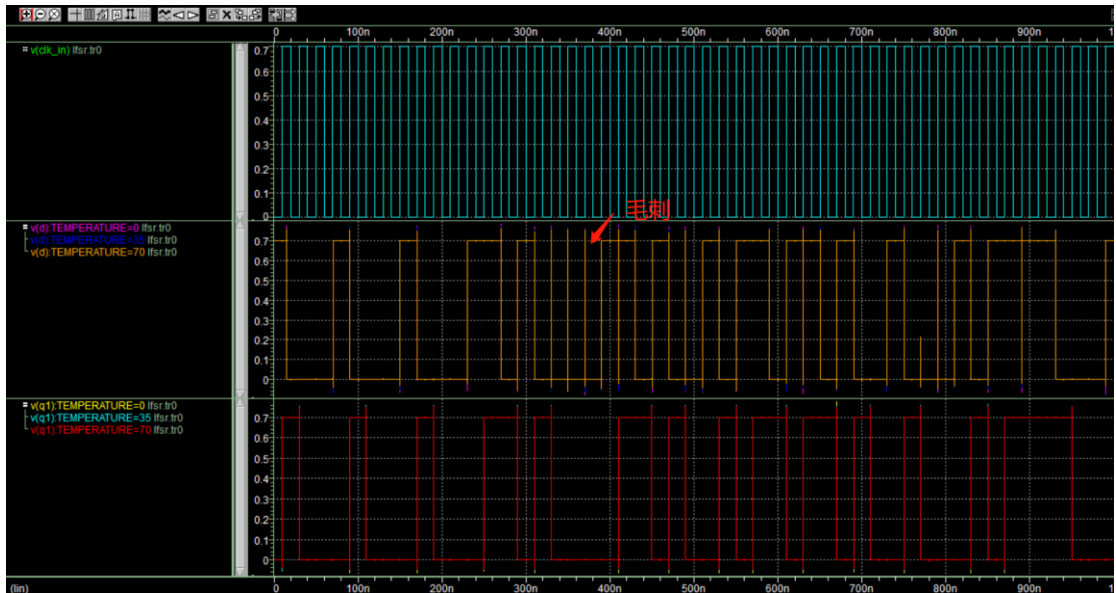


图 10 TGFF LFSR 第一个触发器的 1000ns 波形

| FF | 时间 (ns) | vdd_design (v) | T (°C) | p_vdd_design (W) | p_vdd_clk (W) |
|----------|---------|----------------|--------|------------------|---------------|
| 24T_TGFF | 1000 | 0.7 | 0 | 2.591E-07 | 1.420E-07 |
| | | | 35 | 2.561E-07 | 1.414E-07 |
| | | | 70 | 2.636E-07 | 1.435E-07 |

表 1 TGFF LFSR 基本功能测试

4.1.2 高能效测试

保持温度为 35℃，LFSR 电路低电压 0.4V 供电，时钟周期保持 20ns。产生

1024 个序列输出，在当前时钟周期的条件下需要运行 20480ns。需要增加瞬态仿真的仿真步长，降低仿真时间。结果如下表所示。

| FF | 时间 (ns) | vdd_design (v) | T (°C) | p_vdd_design (W) | p_vdd_clk (W) |
|----------|---------|----------------|--------|------------------|---------------|
| 24T_TGFF | 20480 | 0.4 | 35 | 8.715E-08 | 2.366E-07 |

表 2 TGFF LFSR 高能效测试

4.1.3 工作范围测试

保持温度为 35℃，LFSR 电路供电电压从 0.3V 开始，步长变化为 0.02V，直至 0.4V。在每个不同的供电电压下，改变时钟周期，从 20ns 开始，步长变化为 3.8ns，直至 1ns。测试时间 500ns，判断 LFSR 能否正常工作。测试结果如下表所示，红色部分表示电路无法工作，记录可以正常工作时的平均功耗。通过观察波形也不难发现，导致无法正常的工作的原因是因为毛刺的产生，其对低电压高频率的影响更甚。

| p_vdd_design (W) | | vdd_design (v) | | | | | |
|------------------|------|----------------|----------|----------|----------|----------|-----|
| | | 0.4 | 0.38 | 0.36 | 0.34 | 0.32 | 0.3 |
| CLK_T(ns) | 20 | 7.56E-08 | 6.83E-08 | 6.08E-08 | 5.42E-08 | 4.92E-08 | |
| | 16.2 | 9.74E-08 | 8.80E-08 | 7.82E-08 | 7.05E-08 | 9.74E-08 | |
| | 12.4 | 1.34E-07 | 1.21E-07 | 1.08E-07 | 9.68E-08 | | |
| | 8.6 | 1.99E-07 | 1.80E-07 | 1.60E-07 | | | |
| | 4.8 | 3.41E-07 | 3.41E-07 | 2.75E-07 | | | |
| | 1 | 1.57E-06 | | | | | |

表 3 TGFF LFSR 工作范围测试

4.2 24T_CSFF (change-sensing FF)

一种极低电压、低功耗的 24 管单相时钟无冗余传输触发器，称为变化感知触发器 (change-sensing FF)。通过利用变化感知方案消除内部时钟节点的冗余转换，CSFF 在没有数据活动时不存在任何动态功耗。采用 40 nm CMOS 工艺制作的测试芯片的测量结果表明，与传统的传输门触发器 (TGFF) 相比，CSFF 在无需额外晶体管的情况下，在 5% 的数据活动下可节省高达 90% 的功耗。结构如下图所示。

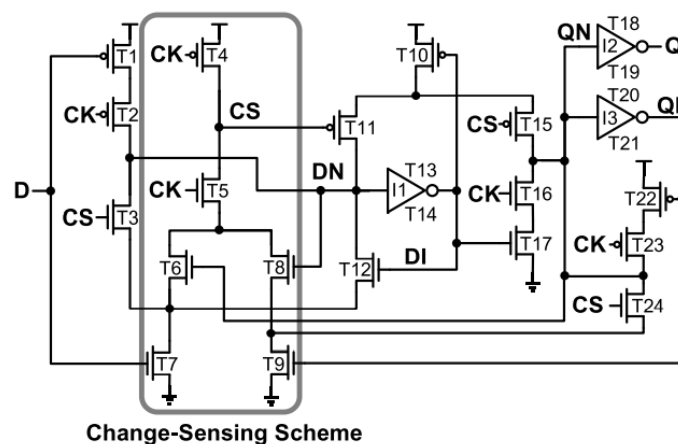


图 11 CSFF 结构

但是，针对本次项目来说，数据活动效率很高，该款触发器的设计并不适合搭建满足项目测试要求的 LFSR。通过后续的数据测量可以进一步反应，其在 7nm PTM LP 工艺下表现不如传统的传输门触发器。

4.2.1 基本功能测试

选取三个温度点进行测试 0℃、35℃、70℃，LFSR 电路供电为 0.7V，时钟周期 20ns，测试时间 1000ns。下图的波形展示了第一个触发器的输入输出变化，可以观察到同样存在毛刺。同时对平均功耗进行测量，如下表所示。

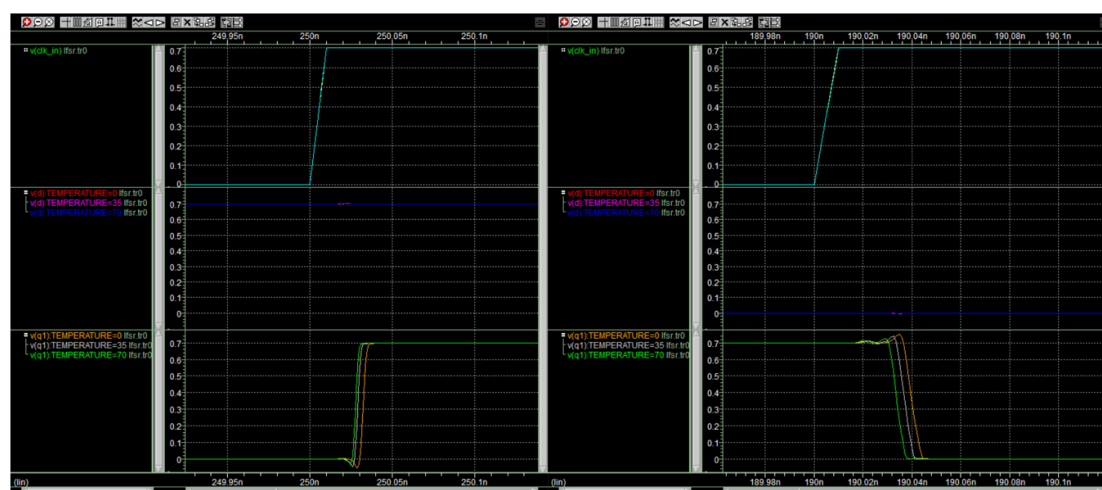


图 12 CSFF LFSR 的第一个触发器输入输出波形

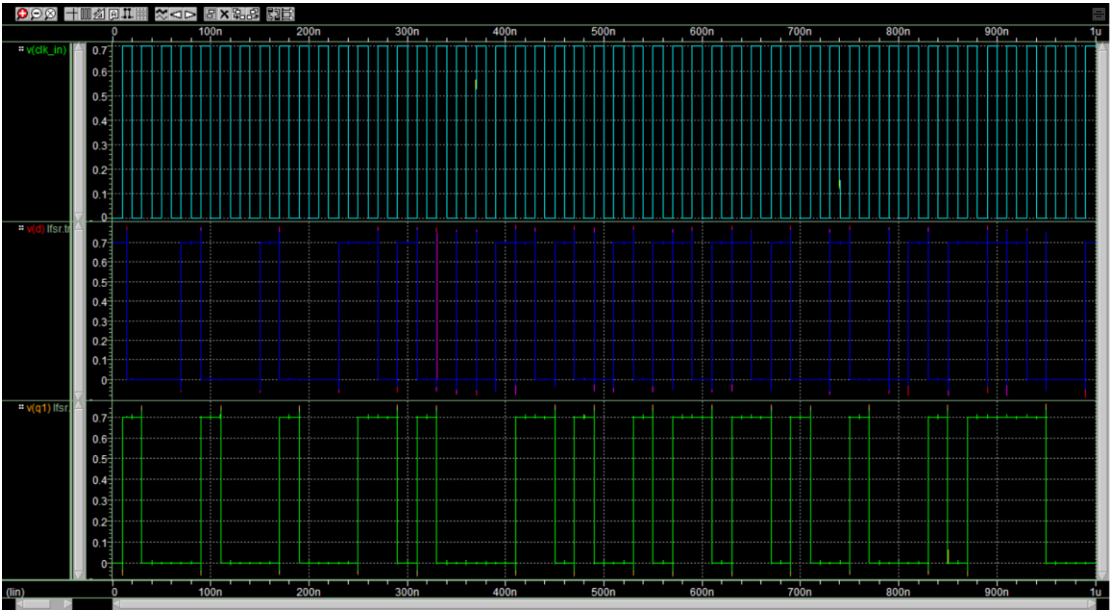


图 13 CSFF LFSR 第一个触发器的 1000ns 波形

| FF | 时间 (ns) | vdd_design (v) | T (°C) | p_vdd_design (W) | p_vdd_clk (W) |
|----------|---------|----------------|--------|------------------|---------------|
| 24T_CSFF | 1000 | 0.7 | 0 | 7.161E-08 | 1.721E-07 |
| | | | 35 | 1.249E-07 | 2.519E-07 |
| | | | 70 | 2.342E-07 | 4.978E-07 |

表 4 CSFF LFSR 基本功能测试

4.2.2 高能效测试

保持温度为 35℃，LFSR 电路低电压 0.4V 供电，时钟周期保持 20ns。产生 1024 个序列输出，在当前时钟周期的条件下需要运行 20480ns。需要增加瞬态仿真的仿真步长，降低仿真时间。结果如下表所示，可以看到其平均功耗高于传输门触发器，该触发器的设计方案不适合构建此项目的 LFSR，不再进行后续的测试。

| FF | 时间 (ns) | vdd_design (v) | T (°C) | p_vdd_design (W) | p_vdd_clk (W) |
|----------|---------|----------------|--------|------------------|---------------|
| 24T_CSFF | 20480 | 0.4 | 35 | 1.202E-07 | 2.609E-07 |

表 5 CSFF LFSR 高能效测试

4.3 26T_SCDFE (Static Contention-free Differential FF)

一种基于 28nm CMOS 工艺的静态无竞争差分触发器 (SCDFE, A Static Contention-Free Differential FF)，适用于低电压和低功率应用。SCDFE 提供完全静态和无竞争操作，无需使用差分锁存器进行冗余内部时钟切换，同时保持与传

统传输门触发器相似的面积。完全静态且无竞争的操作允许在低电源电压范围内实现高变化容限，从而实现宽范围的电压可扩展性。根据论文描述，其最低工作电压可低至 0.28V。结构如下图所示。

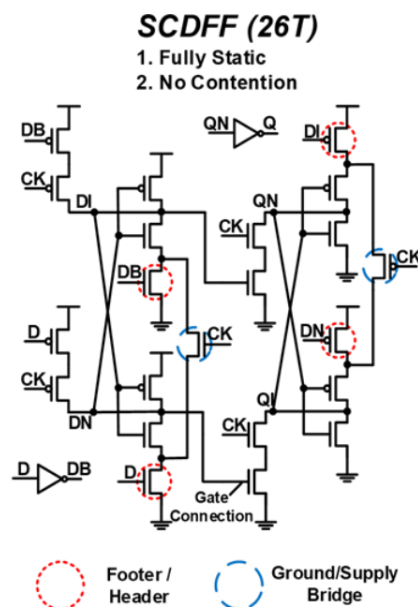


图 14 SCDFF 结构

4.3.1 基本功能测试

选取三个温度点进行测试 0℃、35℃、70℃，LFSR 电路供电为 0.7V，时钟周期 20ns，测试时间 1000ns。下图的波形展示了第一个触发器的输入输出变化。同时对平均功耗进行测量，如下表所示。

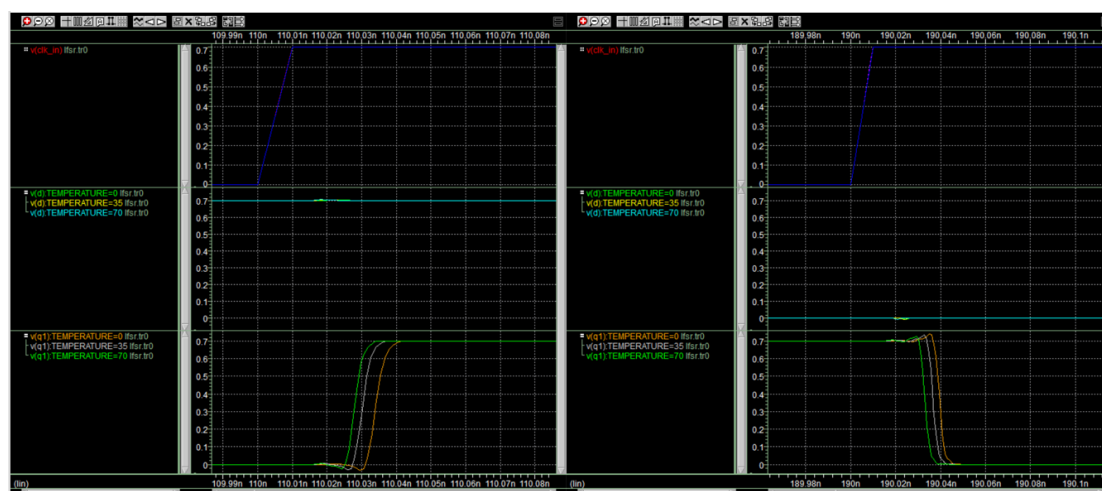


图 15 SCDFF LFSR 的第一个触发器输入输出波形

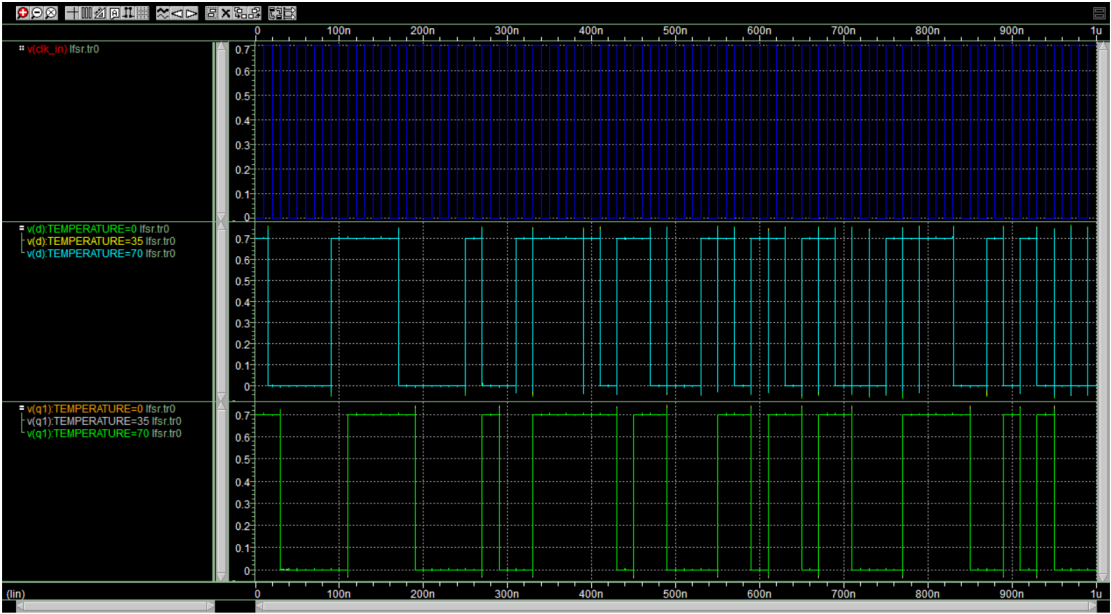


图 16 SCDF LFSR 第一个触发器的 1000ns 波形

| FF | 时间 (ns) | vdd_design (v) | T (°C) | p_vdd_design (W) | p_vdd_clk (W) |
|-----------|---------|----------------|--------|------------------|---------------|
| 24T_SCDFF | 1000 | 0.7 | 0 | 3.381E-08 | 1.820E-07 |
| | | | 35 | 3.474E-08 | 2.636E-07 |
| | | | 70 | 5.973E-08 | 5.120E-07 |

表 6 SCDF LFSR 基本功能测试

4.3.2 高能效测试

保持温度为 35℃，LFSR 电路低电压 0.4V 供电，时钟周期保持 20ns。产生 1024 个序列输出，在当前时钟周期的条件下需要运行 20480ns。需要增加瞬态仿真的仿真步长，降低仿真时间。结果如下表所示，可以看到其平均功耗小于传输门触发器构成的 LFSR。

| FF | 时间 (ns) | vdd_design (v) | T (°C) | p_vdd_design (W) | p_vdd_clk (W) |
|-----------|---------|----------------|--------|------------------|---------------|
| 24T_SCDFF | 20480 | 0.4 | 35 | 4.871E-08 | 2.680E-07 |

表 7 SCDF LFSR 高能效测试

4.3.2 工作范围测试

保持温度为 35℃，LFSR 电路供电电压从 0.3V 开始，步长变化为 0.02V，直至 0.4V。在每个不同的供电电压下，改变时钟周期，从 20ns 开始，步长变化为 3.8ns，直至 1ns。测试时间 500ns，判断 LFSR 能否正常工作。测试结果如下表

所示，红色和灰色部分表示电路无法工作，记录可以正常工作时的平均功耗。

| p_vdd_design (W) | | vdd_design (v) | | | | | |
|------------------|------|----------------|----------|----------|----------|------|-----|
| | | 0.4 | 0.38 | 0.36 | 0.34 | 0.32 | 0.3 |
| CLK_T(ns) | 20 | 2.28E-08 | 2.11E-08 | 1.85E-08 | 1.66E-08 | | |
| | 16.2 | 3.21E-08 | 2.98E-08 | 2.62E-08 | 2.37E-08 | | |
| | 12.4 | 5.13E-08 | 4.64E-08 | 4.31E-08 | 3.84E-08 | | |
| | 8.6 | 8.64E-08 | 7.76E-08 | 7.03E-08 | | | |
| | 4.8 | 1.94E-07 | 1.77E-07 | | | | |
| | 1 | 3.17E-07 | | | | | |

表 8 SCDF LFSR 工作范围测试

这里灰色部分时因为触发器无法正常工作导致的 LFSR 功能失效。虽然 SCDF 搭建的 LFSR 工作范围相对更小，但是其在相同的工作条件下功耗更低，更符合其高能效的定义。同时，红色部分的工作失效是由反馈函数产生的毛刺导致的，通过优化组合逻辑或者优化 SCDF 的期间尺寸大小降低输出延时，可以进一步扩大工作范围。

4.4 18TSPC (18-Transistors Single-Phase Clocked FF)

18TSPC 这是一种完全静态无竞争单相时钟触发器，只有 18 个晶体管。根据文论描述，其以 65nm CMOS 工艺实现，与传输门触发器相比，它实现了 20% 的单元面积减少，更少的晶体管数量也意味着更低的功耗。仿真结果表明，所提出的 18TSPC 在能量延迟空间中的效率是 TGFF 的 3 倍。结构如下图所示。

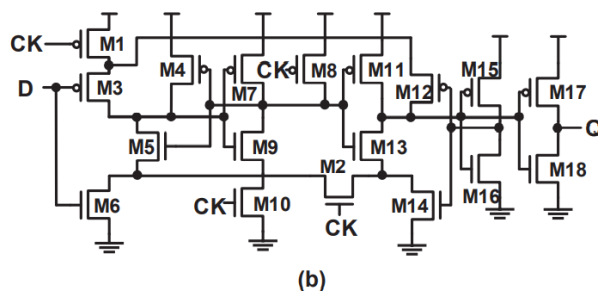


图 17 18TSPC 结构

4.4.1 基本功能测试

选取三个温度点进行测试 0℃、35℃、70℃，LFSR 电路供电为 0.7V，时钟

周期 20ns，测试时间 1000ns。下图的波形展示了第一个触发器的输入输出变化。同时对平均功耗进行测量，如下表所示。

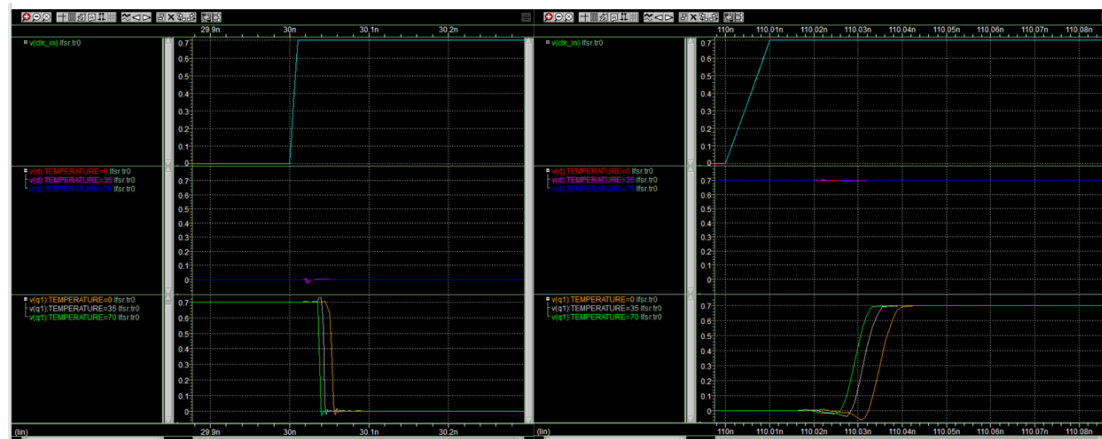


图 18 18TSPC LFSR 的第一个触发器输入输出波形

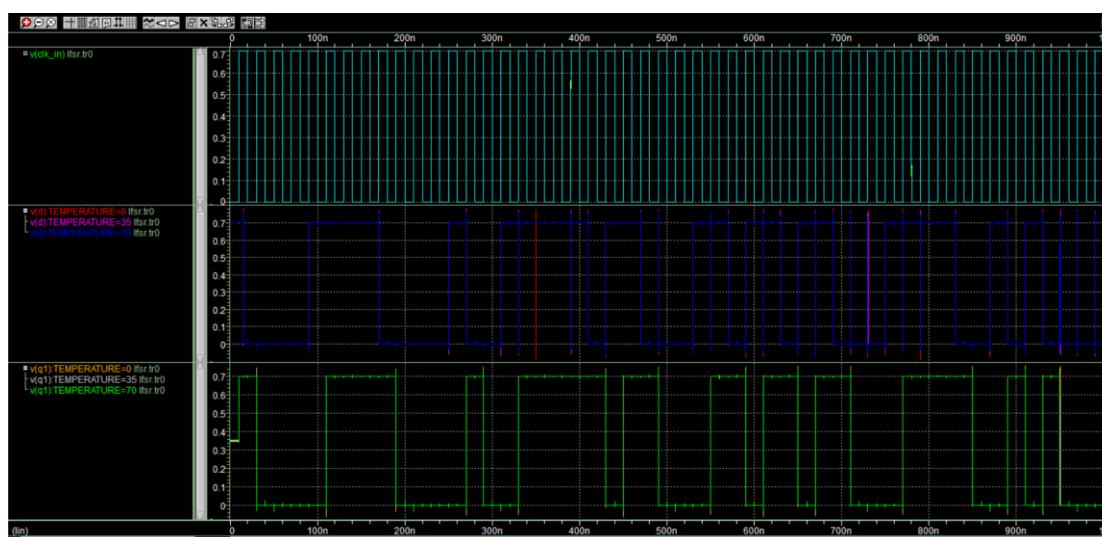


图 19 18TSPC LFSR 第一个触发器的 1000ns 波形

| FF | 时间 (ns) | vdd_design (v) | T (°C) | p_vdd_design (W) | p_vdd_clk (W) |
|--------|---------|----------------|--------|------------------|---------------|
| 18TSPC | 1000 | 0.7 | 0 | 2.928E-08 | 1.733E-07 |
| | | | 35 | 3.927E-08 | 2.539E-07 |
| | | | 70 | 4.203E-08 | 5.008E-07 |

表 9 18TSPC LFSR 基本功能测试

4.4.2 高能效测试

保持温度为 35°C，LFSR 电路低电压 0.4V 供电，时钟周期保持 20ns。产生 1024 个序列输出，在当前时钟周期的条件下需要运行 20480ns。需要增加瞬态仿真的仿真步长，降低仿真时间。结果如下表所示，可以看到其平均功耗小于传输

门触发器、26T_SCDFE 构成的 LFSR。

| FF | 时间 (ns) | vdd_design (v) | T (°C) | p_vdd_design (W) | p_vdd_clk (W) |
|--------|---------|----------------|--------|------------------|---------------|
| 18TSPC | 20480 | 0.4 | 35 | 4.276E-08 | 2.548E-07 |

表 10 18TSPC LFSR 高能效测试

4.4.2 工作范围测试

保持温度为 35℃，LFSR 电路供电电压从 0.3V 开始，步长变化为 0.02V，直至 0.4V。在每个不同的供电电压下，改变时钟周期，从 20ns 开始，步长变化为 3.8ns，直至 1ns。测试时间 500ns，判断 LFSR 能否正常工作。测试结果如下表所示，红色和灰色部分表示电路无法工作，记录可以正常工作时的平均功耗。

| p_vdd_design (W) | | vdd_design (v) | | | | | |
|------------------|------|----------------|----------|------|------|------|-----|
| | | 0.4 | 0.38 | 0.36 | 0.34 | 0.32 | 0.3 |
| CLK_T(ns) | 20 | 3.48E-08 | 2.43E-08 | | | | |
| | 16.2 | 4.18E-08 | 3.41E-08 | | | | |
| | 12.4 | 5.34E-08 | | | | | |
| | 8.6 | | | | | | |
| | 4.8 | | | | | | |
| | 1 | | | | | | |

表 11 18TSPC LFSR 工作范围测试

虽然 18TSPC 使用了更少的晶体管，但是总体而言其工作范围相比 26T_SCDFE，受到毛刺的影响更加严重。这里所测量得到的平均功耗高于 26T_SCDFE 的原因可能是仿真时间较短。

五、 设计总结

5.1 触发器选择

制程工艺的提升本身就会提升电路整体的高能效水平，传统的基于传输门的触发器也有不错的高能效水准。

根据项目提供的参考文献以及自己的调查研究，发现很少有针对 28nm 以下工艺提出的高能效触发器设计。针对特定的工作的环境（较低的数据活动率）和制程（40nm、65nm）有着不错的表现，但这些设计未必均符合本项目的要求。

考虑高性能以及更宽泛的工作频率，选择 SCDF 构建 LFSR。

5.2 逻辑门选择

本项目设计的 LFSR 使用的反馈函数中包含了三个异或门，每个异或门包含 10 个晶体管。18TSPC 触发器的设计方案给予了一定的启示，通过减少晶体管的数目也能降低整体的功耗，将原有的异或门设计变更为如下图所示。

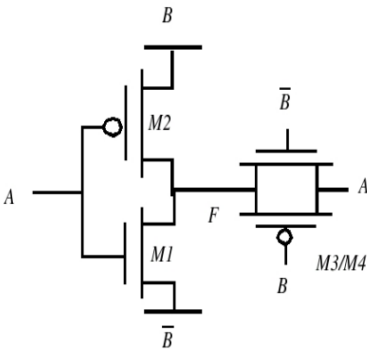


图 20 使用传输门 XOR

5.3 最终高能效测试

| FF | 时间 (ns) | vdd_design (v) | T (°C) | p_vdd_design (W) | p_vdd_clk (W) |
|----------------------|---------|----------------|--------|------------------|---------------|
| 24T_SCDFF | 20480 | 0.4 | 35 | 4.871E-08 | 2.680E-07 |
| 24T_SCDFF 传输门 xor | 20480 | 0.4 | 35 | 4.749e-08 | 1.678e-07 |

六、 附录

6.1 common.net

```
* size=1 inverter
.subckt inv_size_1 in out vdd vss
Xpfet out in vdd vdd pfet l=lg nfin=1
Xnfet out in vss vss nfet l=lg nfin=1
.ends inv_size_1

* size=4 inverter
```

```

.subckt inv_size_4 in out vdd vss
Xpfet out in vdd vdd pfet l=lg nfin=4
Xnfet out in vss vss nfet l=lg nfin=4
.ends inv_size_4

* Transmission Gate
.subckt tg in out enable enable_n vdd vss
Xpfet out enable_n in vdd pfet l=lg nfin=1
Xnfet out enable in vss nfet l=lg nfin=1
.ends tg

* Exclusive-OR gate
.subckt xor in_1 in_2 out vdd vss
* Two-input NOR gate
Xpfet_1 node_1 in_1 vdd vdd pfet l=lg nfin=1
Xpfet_2 s in_2 node_1 vdd pfet l=lg nfin=1
Xnfet_1 s in_1 vss vss nfet l=lg nfin=1
Xnfet_2 s in_2 vss vss nfet l=lg nfin=1
* F = !(AB+S)
Xpfet_3 node_2 in_1 vdd vdd pfet l=lg nfin=1
Xpfet_4 node_2 in_2 vdd vdd pfet l=lg nfin=1
Xpfet_5 out s node_2 vdd pfet l=lg nfin=1
Xnfet_3 out in_1 node_3 vss nfet l=lg nfin=1
Xnfet_4 node_3 in_2 vss vss nfet l=lg nfin=1
Xnfet_5 out s vss vss nfet l=lg nfin=1
.ends xor

.subckt xor_tg in_1 in_2 out vdd vss
Xinv_size_1 in_2 in_2_n vdd vss inv_size_1

Xpfet_inv out in_1 in_2 vdd pfet l=lg nfin=1
Xnfet_inv out in_1 in_2_n vss nfet l=lg nfin=1

Xpfet_tg out in_2 in_1 vdd pfet l=lg nfin=1
Xnfet_tg out in_2_n in_1 vss nfet l=lg nfin=1
.ends xor_tg

.subckt or2 in_1 in_2 out vdd vss
* Two-input NOR gate
Xpfet_1 node_1 in_1 vdd vdd pfet l=lg nfin=1
Xpfet_2 s in_2 node_1 vdd pfet l=lg nfin=1

```

```

Xnfet_1 s      in_1 vss      vss nfet l=lg nfin=1
Xnfet_2 s      in_2 vss      vss nfet l=lg nfin=1

Xinv_size_1 s  out  vdd      vss inv_size_1
.ends or2

```

6.2 clk_circuit.net

```

* fan_out=4 buffer
.subckt buffer in out_1 out_2 out_3 out_4 vdd vss
Xinv_size_4_in in out_int vdd vss inv_size_4
Xinv_size_1_out_1 out_int out_1 vdd vss inv_size_1
Xinv_size_1_out_2 out_int out_2 vdd vss inv_size_1
Xinv_size_1_out_3 out_int out_3 vdd vss inv_size_1
Xinv_size_1_out_4 out_int out_4 vdd vss inv_size_1
.ends buffer

* clk tree
* 一级扇出
Xbuffer_1 clk_in clk_temp_1 clk_temp_2 clk_temp_3 clk_temp_4 VDD_CLK VSS_COM buffer
* 二级扇出
Xbuffer_2_1 clk_temp_1 clk_1 clk_2 clk_3 clk_4 VDD_CLK VSS_COM buffer
Xbuffer_2_2 clk_temp_2 clk_5 clk_6 clk_7 clk_8 VDD_CLK VSS_COM buffer
Xbuffer_2_3 clk_temp_3 clk_9 clk_10 clk_11 clk_12 VDD_CLK VSS_COM buffer
Xbuffer_2_4 clk_temp_4 clk_13 clk_14 clk_15 clk_16 VDD_CLK VSS_COM buffer

```

6.3 load_circuit.net

```

* load
Xinv_size_4 load_in load_out VDD_LOAD VSS_COM inv_size_4

```

6.4 24T_TGFF.net

```

* 经典 24 管 D 触发器
.subckt tgff d q clk vdd vss
* 控制信号 ckl ckn
Xinv_1 clk ckn vdd vss inv_size_1
Xinv_2 ckn ckl vdd vss inv_size_1
* master
Xinv_3 d m1 vdd vss inv_size_1
Xtg_1 m1 m2 ckn ckl vdd vss tg
Xinv_4 m2 temp vdd vss inv_size_1

```

```

Xinv_5 temp    m3 vdd vss inv_size_1
Xtg_2    m3    m2 ckl ckn vdd vss tg
* slave
Xtg_3    temp   s1 ckl ckn vdd vss tg
Xinv_6    s1    s2 vdd vss inv_size_1
Xinv_7    s2     q vdd vss inv_size_1
Xinv_8    s2    s3 vdd vss inv_size_1
Xtg_4    s3    s1 ckn ckl vdd vss tg
.ends tgff

```

6.5 24T_CSFF.net

* 24T change-sensing FF (CSFF)

```
.subckt csff d q clk vdd vss
```

* master

```

Xmaster_t1    vdd      d    master_1    vdd pfet
Xmaster_t2    master_1 clk DN            vdd pfet
Xmaster_t3    DN       CS   csu_2        vss nfet
Xmaster_t10   vdd      DI   master_2     vdd pfet
Xmaster_t11   master_2 CS   DN            vdd pfet
Xmaster_t12   DN       DI   csu_2        vss nfet
Xmaster_i1    DN DI    vdd vss inv_size_1

```

* change-sensing unit

```

Xcsu_t4    vdd      clk CS            vdd pfet
Xcsu_t5    CS       clk csu_1          vss nfet
Xcsu_t6    csu_1    QN   csu_2          vss nfet
Xcsu_t7    csu_2    d    vss            vss nfet
Xcsu_t8    csu_1    DN   csu_3          vss nfet
Xcsu_t9    csu_3    QI   vss            vss nfet

```

* slave

```

Xslave_t15   master_2 CS   QN            vdd pfet
Xslave_t16   QN      clk  slave_1        vss nfet
Xslave_t17   slave_1 DI   vss            vss nfet
Xslave_i2    QN   q    vdd vss inv_size_1
Xslave_i3    QN   QI   vdd vss inv_size_1
Xslave_t22   vdd     QI   slave_2        vdd pfet
Xslave_t23   slave_2 clk  QN            vdd pfet
Xslave_t24   QN      CS   csu_3          vdd pfet
.ends csff

```

6.6 26T_SCDFE.net

* 26T Static Contention-free Differential Flip-Flop (SCDFE)

```

.subckt scdff d q clk vdd vss
* inverter
Xinv_1 d DB_ vdd vss inv_size_1
Xinv_2 QN q vdd vss inv_size_1
* MOS => nfet/pfet [d g s x]
Xt_1 node_1 DB_ vdd vdd pfet
Xt_2 DI clk node_1 vdd pfet
Xt_3 node_2 d vdd vdd pfet
Xt_4 DN clk node_2 vdd pfet
*
Xt_5 DI DN vdd vdd pfet
Xt_6 DI DN node_3 vss nfet
Xt_7 node_3 DB_ vss vss nfet
Xt_8 DN DI vdd vdd pfet
Xt_9 DN DI node_4 vss nfet
Xt_10 node_4 d vss vss nfet
*
Xt_11 node_3 clk node_4 vss nfet
*
Xt_12 QN clk node_5 vss nfet
Xt_13 node_5 DI vss vss nfet
Xt_14 QI clk node_6 vss nfet
Xt_15 node_6 DN vss vss nfet
*
Xt_16 node_7 DI vdd vdd pfet
Xt_17 QN QI node_7 vdd pfet
Xt_18 QN QI vss vss nfet
Xt_19 node_8 DN vdd vdd pfet
Xt_20 QI QN node_8 vdd pfet
Xt_21 QI QN vss vss nfet
*
Xt_22 node_7 clk node_8 vdd pfet
.ends scdff

```

6.7 18TSPC.net

* 18-Transistors Single-Phase Clocked FF (18TSPC)

```

.subckt _18tspc d q clk vdd vss
Xm_1 node_1 clk vdd vdd pfet
Xm_2 node_4 clk node_6 vss nfet
Xm_3 node_2 d node_1 vdd pfet
Xm_4 node_2 node_3 vdd vdd pfet
Xm_5 node_2 node_3 node_4 vss nfet
Xm_6 node_4 d vss vss nfet

```

```
Xm_7 node_3 node_2 vdd vdd pfet
Xm_8 node_3 clk vdd vdd pfet
Xm_9 node_3 node_2 node_5 vss nfet
Xm_10 node_5 clk vss vss nfet
Xm_11 node_7 node_3 vdd vdd pfet
Xm_12 node_7 node_8 node_1 vdd pfet
Xm_13 node_7 node_3 node_6 vss nfet
Xm_14 node_6 node_8 vss vss nfet

Xinv_1 node_7 node_8 vdd vss inv_size_1
Xinv_2 node_7 q vdd vss inv_size_1
.ends_18tspc
```