



上海交通大学
Shanghai Jiao Tong University



Project I

Linear Feedback Shift Register

Digital Integrated Circuit Design

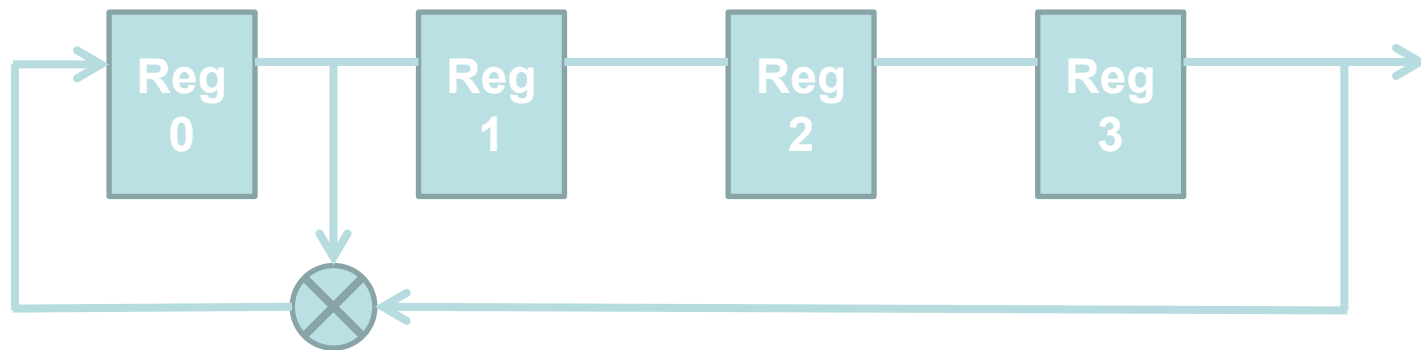
TA1: Zihan Lian - lianzihan@sjtu.edu.cn;

TA2: Yuxuan Qin - qinyuxuan@sjtu.edu.cn;





LFSR 介绍



d0	d1	d2	d3
1	0	0	0
1	1	0	0
1	1	1	0
1	1	1	1
...
0	0	0	1
1	0	0	0

周期=15

示例：4bit 的斐波那契LFSR



LFSR（线性反馈移位寄存器）：

- 用于产生可重复的伪随机序列
- 可以由n级触发器和一些逻辑门组成



项目要求

项目目标：设计高能效的 16bit LFSR

- 包括 **16** 个锁存器和 ≥ 3 个逻辑门
- 产生一个周期为 $2^n - 1$ 的序列 ($n=16$)

考核指标：

- **高能效**：通过低功耗的设计，降低 LFSR 电路完成 **1024** 个时钟周期的序列变化消耗的 Energy (**35°C**)

项目要求：

- 使用 SPICE 网表实现 LFSR 电路
- **工艺**：7nm PTM LP
- **温度**：0~70°C 都能工作
- **寄存器输出负载**：加上 4 倍最小尺寸反相器门电容负载
- **寄存器输入时钟信号**：使用 2 级 FO4 电路搭建

* 对于实现电路的电路设计、工作电压、频率等不做要求



项目要求：报告提交



报告内容：

- 参考的文献列表
- 详细说明选择当前寄存器设计的原因
- 寄存器的各指标测量方案和结果，与所参考论文进行比对
- LFSR的优化方案：包括运行的电压，频率，设计的优化等
- 仿真结果，波形，数据分析
- SPICE网表（包含必要注释，作为附录与报告合并为一个pdf）



提交方式：

- 上传至Canvas平台
- 以 **学号_姓名_ADIC_Project1.pdf** 命名
- Deadline: xxxxx



参考文献

- ① **JSSC 2018**, *Ultra-Low Power 18-Transistor Fully Static Contention-Free Single-Phase Clocked Flip-Flop in 65-nm CMOS*
- ② **VLSI 2018**, *A 0.4-V, 0.138-fJ/Cycle Single-Phase-Clocking Redundant-Transition-Free 24T Flip-Flop With Change-Sensing Scheme in 40-nm CMOS*
- ③ **CICC 2020**, *A Static Contention-Free Differential Flip-Flop in 28nm for Low-Voltage, Low-Power Applications*
- ④ **JSSC 2021**, *An Ultra-Low-Power Fully-Static Contention-Free Flip-Flop With Complete Redundant Clock Transition and Transistor Elimination*
- ⑤ **VLSI 2021**, *Low-Power Retentive True Single-Phase-Clocked Flip-Flop With Redundant-Precharge-Free Operation*



上海交通大学
Shanghai Jiao Tong University



谢谢

2021

