SHANGHAI JIAO TONG UNIVERSITY

研究生课程实验报告

GRADUATE COURSE PROJECT REPORT

课 程： 高等数字电路设计

报告题目： Lab 1 Inverter chain & OR7 design

学生姓名:  赵拯基

学生学号: 121039910125

任课教师: 何卫锋 孙亚男

学院(系) :

开课学期:

# 实验目的

试验一中分为两个部分，分别为反相器链路设计与七输入或门设计。运用所学理论知识，完成CMOS工艺数字集成电路的设计，并用 HSPICE软件验证电路设计的正确性。加深对 MOS晶体管理论、CMOS数字电路的理解，掌握MOS晶体管尺寸调整对时序电路性能参数影响的规律，设计正确的数字缓冲器电路。

# 实验要求

采用所学过的 CMOS数字集成电路结构，分别设计反相器链路与七输入或门，满足下列指标（采用10nm FinFet工艺，栅极长度采用默认值lg为14nm，宽度为最小宽度整数倍数，电源电压0.75V）：

## 2.1 反相器链路要求

固定标准电压（PTM 10nm: 0.75V）的情况下，设计适当的级数和尺寸，保证反相器输出上升下降速度基本相等的情况下，优化；除此之外，在满足之前的情况下，确定EDP最优的工作电压。

## 2.2 七输入或门要求

进行结构上的选取（多级，动静态，…）,设计工作在标准电压（PTM 10nm: 0.75V）的七输入或门，平均延迟、面积、功耗都要优于参考电路，如下图所示。

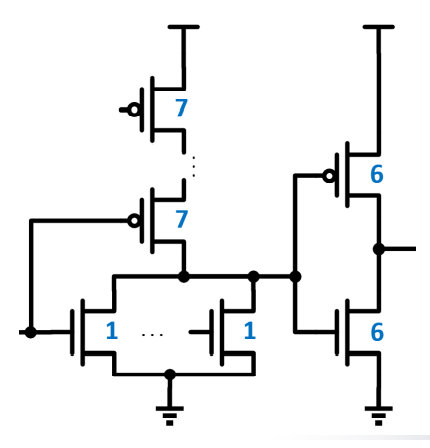


图 1 七输入或门参考电路

# 实验流程

## 3.1 反相器链路设计流程

### 3.1.1 模型

反相器链路如下图所示，其中输入负载为最小尺寸反相器，输出负载为150倍最小尺寸反相器(扇出为4)，设计的内容即为需要确定链路的级数N和每一级反相器的大小，即NFIN的数值。设计的前提需要尽量保证反相器输出上升下降速度基本相等，即= 。

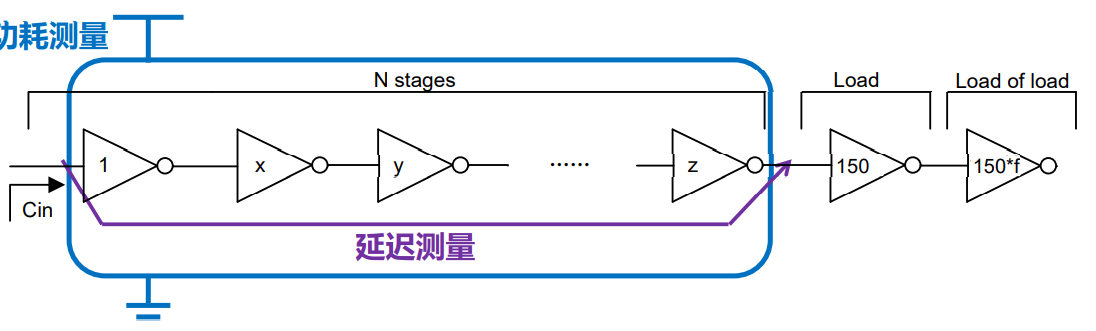


图 2 反相器链路模型

### 3.1.2 参数计算

计算反相器链路延时，满足，为使最小，得到，当γ约等于1时，最优解约为3.6。为了得到N，求解,其中 ,对于本次实验的链路来说，F=150，代入公式后可以计算得到N=3.912，所以最终取N=4，即为四级的反相器链路，每级的等效扇出为3.6。

### 3.1.3 结果分析

设计4级反相器链路，NFIN的数值大小依据大小分别为1、4、13和47，将得到的参数代入实际的电路中。测量连接相同负载的情况下，使用1级反相器链路、2级反相器链路、3级反相器链路、4级反相器链路的延时特性，结果如下表所示，通过合理的尺寸和级数设计可以大幅度减小延时。

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  |  | **()** |  |  |
| **1级反相器链路** | 1.146e-10 | 1.088e-10 | 1.117e-10 | 5.18% |
| **2级反相器链路** | 3.354e-11 | 3.218e-11 | 3.286e-11 | 4.14% |
| **3级反相器链路** | 2.109e-11 | 2.048e-11 | 2.079e-11 | 2.93% |
| **4级反相器链路** | 2.059e-11 | 2.090e-11 | 2.075e-11 | 1.49% |

表 1 延时测量

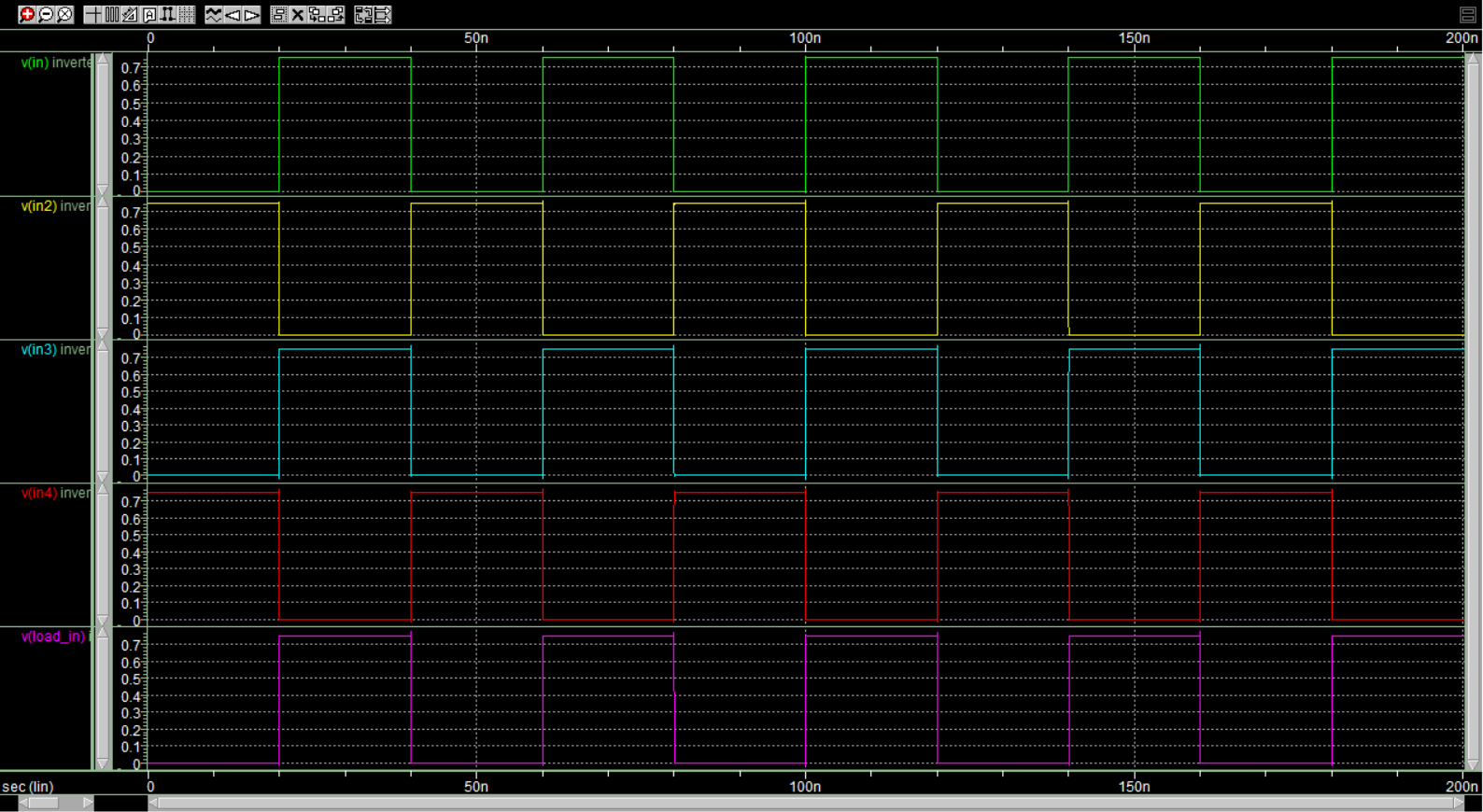


图 3 各节点波形。in，输入激励；in2，1级反相器的输出/2级反相器的输入；in3，2级反相器的输出/3级反相器的输入；in4，3级反相器的输出/4级反相器的输入；load\_in，4级反相器的输出/负载电路的输入。



图 4 上升延迟

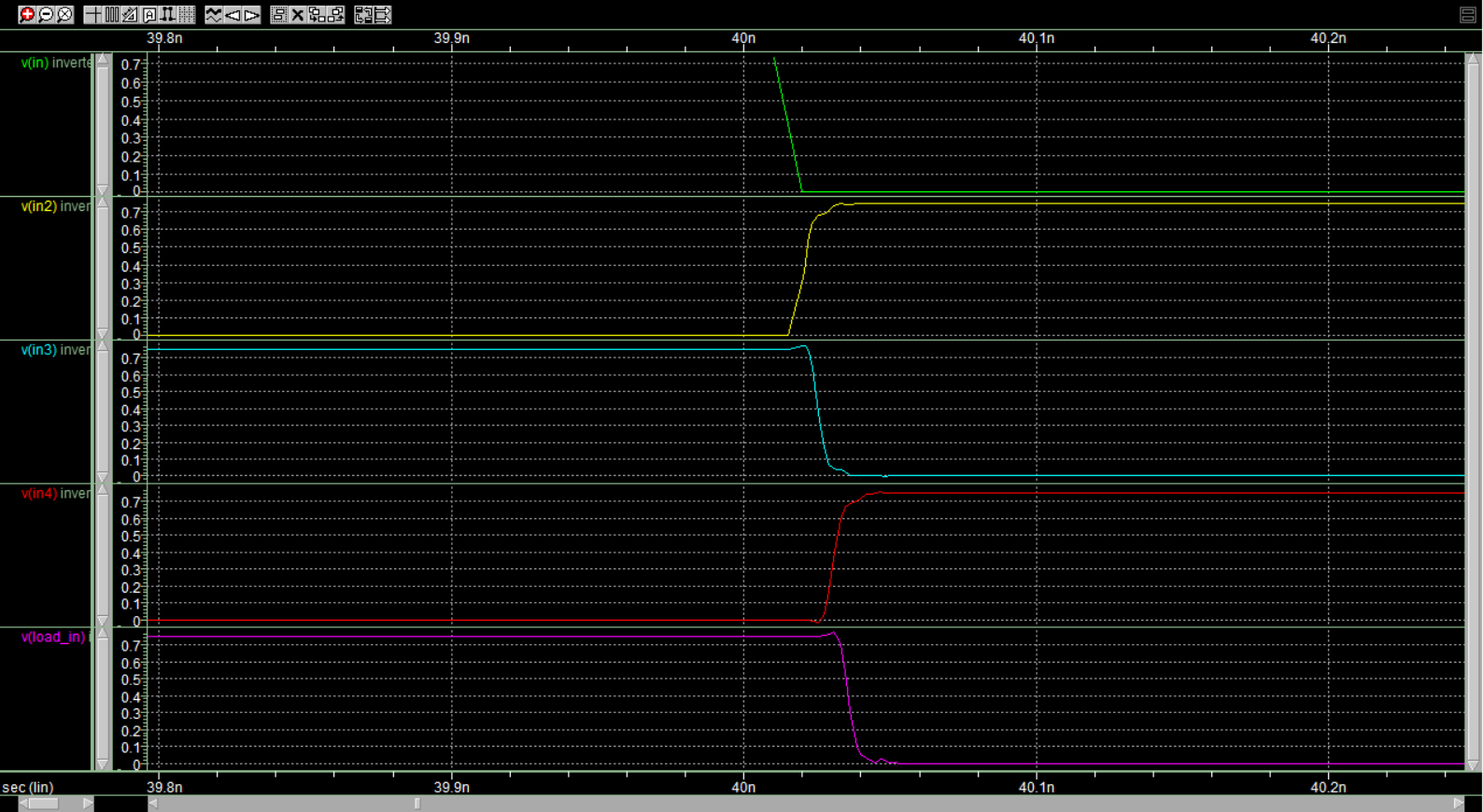


图 5 下降延迟

实验的第二部分对的降低，得到的EDP与的变化如下图所示。当为0.68V至0.69V之间可能出现最小值，在此区间以更小的步长进行扫描，如下表所示。

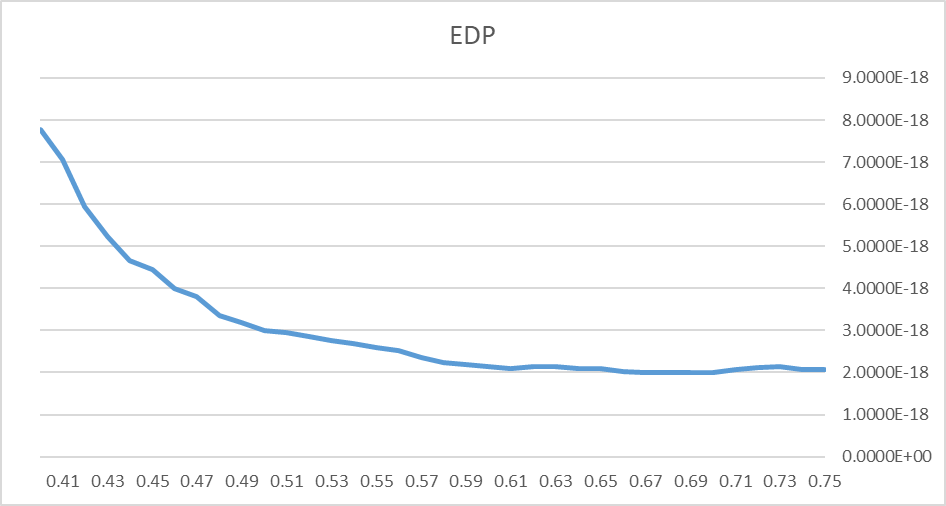


图 6 EDP-VDD

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| ***Vdd*** |  | **()** | **()** | **power(W)** | **EDP** |
| 0.689 | 2.4100E-11 | 2.4420E-11 | 2.4260E-11 | 8.2313E-08 | 1.9969E-18 |
| 0.688 | 2.4170E-11 | 2.4490E-11 | 2.4330E-11 | 8.2048E-08 | 1.9962E-18 |
| 0.687 | 2.4240E-11 | 2.4560E-11 | 2.4400E-11 | 8.1801E-08 | 1.9959E-18 |
| 0.686 | 2.4310E-11 | 2.4630E-11 | 2.4470E-11 | 8.1527E-08 | 1.9950E-18 |
| 0.685 | 2.4390E-11 | 2.4710E-11 | 2.4550E-11 | 8.1269E-08 | 1.9952E-18 |
| 0.684 | 2.4460E-11 | 2.4780E-11 | 2.4620E-11 | 8.1043E-08 | 1.9953E-18 |
| 0.683 | 2.4530E-11 | 2.4860E-11 | 2.4695E-11 | 8.0778E-08 | 1.9948E-18 |
| 0.682 | 2.4610E-11 | 2.4930E-11 | 2.4770E-11 | 8.0540E-08 | 1.9950E-18 |
| 0.681 | 2.4680E-11 | 2.5010E-11 | 2.4845E-11 | 8.0293E-08 | 1.9949E-18 |
| 0.68 | 2.4760E-11 | 2.5080E-11 | 2.4920E-11 | 8.0068E-08 | 1.9953E-18 |
| 0.679 | 2.4840E-11 | 2.5160E-11 | 2.5000E-11 | 7.9842E-08 | 1.9961E-18 |
| 0.678 | 2.4910E-11 | 2.5240E-11 | 2.5075E-11 | 7.9615E-08 | 1.9963E-18 |
| 0.677 | 2.5000E-11 | 2.5320E-11 | 2.5160E-11 | 7.9389E-08 | 1.9974E-18 |
| 0.676 | 2.5080E-11 | 2.5400E-11 | 2.5240E-11 | 7.9161E-08 | 1.9980E-18 |
| 0.675 | 2.5160E-11 | 2.5480E-11 | 2.5320E-11 | 7.8944E-08 | 1.9989E-18 |
| 0.674 | 2.5240E-11 | 2.5560E-11 | 2.5400E-11 | 7.8728E-08 | 1.9997E-18 |
| 0.673 | 2.5320E-11 | 2.5640E-11 | 2.5480E-11 | 7.8520E-08 | 2.0007E-18 |
| 0.672 | 2.5380E-11 | 2.5720E-11 | 2.5550E-11 | 7.8303E-08 | 2.0006E-18 |
| 0.671 | 2.5450E-11 | 2.5810E-11 | 2.5630E-11 | 7.8098E-08 | 2.0017E-18 |

表 2 最小EDP

最终得到，在0.683 V时对应的EDP最低。

## 3.2 七输入或门设计流程

七输入或门设计，其中输入负载为最小尺寸反相器，输出负载为32倍最小尺寸反相器(扇出为4)。

### 3.2.1 参考七输入或门电路性能指标

电路模型和尺寸如下图所示。

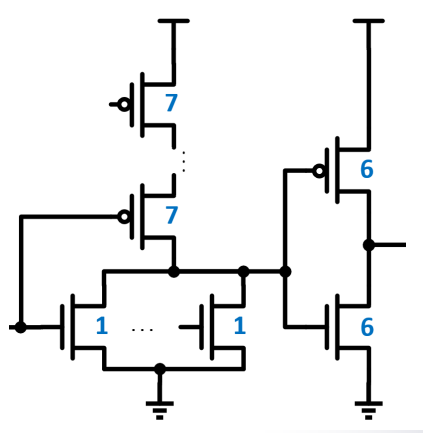


图 7 参考七输入或门电路模型和尺寸

按照实验要求，对不同的input data pattern的测量单次翻转的延时和动态功耗，并求平均值。测量结果如下表所示。平均延时，平均功耗。由于采用FinFET搭建电路，整个电路的面积正比于鳍的数量。

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **输入负载激励** | |  | | **()** | **()** | **power(W)** |
| 1111111<=>1111110 | | 2.3930E-11 | | 1.9000E-11 | 2.1465E-11 | 5.3450E-08 |
| 1111111<=>1111101 | | 2.6750E-11 | | 2.1880E-11 | 2.4315E-11 | 5.6160E-08 |
| 1111111<=>1111011 | | 2.9230E-11 | | 2.4190E-11 | 2.6710E-11 | 5.9220E-08 |
| 1111111<=>1110111 | | 3.1010E-11 | | 2.6140E-11 | 2.8575E-11 | 6.1270E-08 |
| 1111111<=>1101111 | | 3.3140E-11 | | 2.7780E-11 | 3.0460E-11 | 6.3650E-08 |
| 1111111<=>1011111 | | 3.5180E-11 | | 2.9160E-11 | 3.2170E-11 | 6.5610E-08 |
| 1111111<=>0111111 | | 3.6730E-11 | | 3.0340E-11 | 3.3535E-11 | 6.9190E-08 |
| **鳍数量** | 68 | | **平均值** | | 2.8176E-11 | 6.1221E-08 |

表 3参考七输入或门电路的性能指标

### 3.2.2 多级七输入或门电路性能指标

将七输入或门拆分为两级，第一级包含两个二输入与非门、一个三输入与非门，每个门的输出通过反相器输入到第二级；第二级为一个三输入与非门，最后的反相器不再是最小尺寸，根据负载对尺寸进行调整。结构如下图所示。

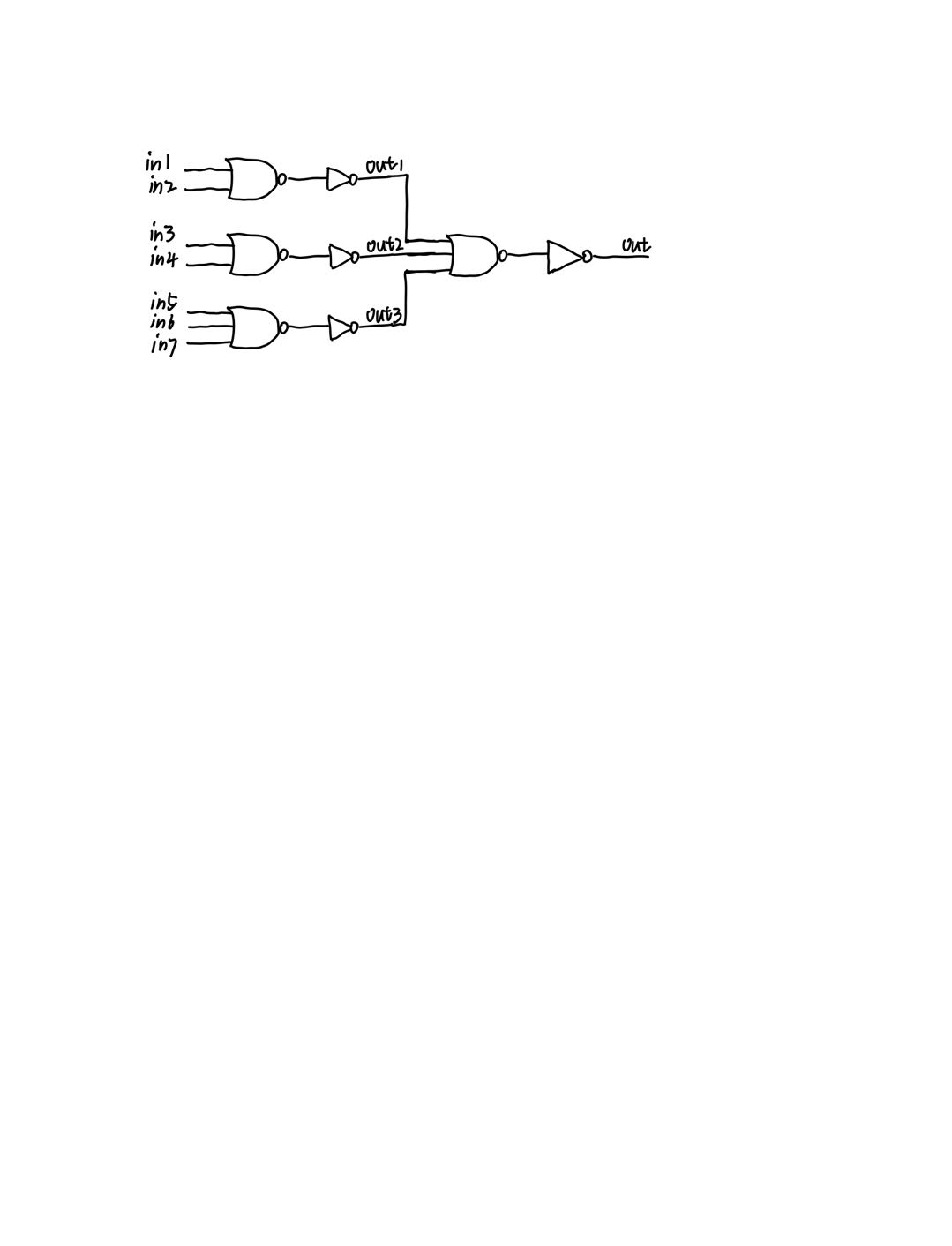


图 8多级七输入或门

第一级反相器均为最小尺寸，PMOS和NMOS的尺寸大小均为1。二输入与非门，PMOS的尺寸大小为2，NMOS的尺寸大小为1。三输入与非门，PMOS的尺寸大小为3，NMOS的尺寸大小为1。第二级反相器，PMOS的尺寸大小为4，NMOS的尺寸大小为3。性能指标入下表所示。

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **输入负载激励** | |  | | **()** | **()** | **power(W)** |
| 1111111<=>1111110 | | 2.3100E-11 | | 2.2870E-11 | 2.2985E-11 | 5.3150E-08 |
| 1111111<=>1111101 | | 2.3710E-11 | | 2.3690E-11 | 2.3700E-11 | 5.3970E-08 |
| 1111111<=>1111011 | | 2.4090E-11 | | 2.3920E-11 | 2.4005E-11 | 5.4140E-08 |
| 1111111<=>1110111 | | 2.4700E-11 | | 2.4760E-11 | 2.4730E-11 | 5.4940E-08 |
| 1111111<=>1101111 | | 2.6350E-11 | | 2.5730E-11 | 2.6040E-11 | 5.5670E-08 |
| 1111111<=>1011111 | | 2.7390E-11 | | 2.6820E-11 | 2.7105E-11 | 5.6690E-08 |
| 1111111<=>0111111 | | 2.8410E-11 | | 2.7810E-11 | 2.8110E-11 | 5.7750E-08 |
| **鳍数量** | 49 | | **平均值** | | 2.5239E-11 | 5.5187E-08 |

表 4多级七输入或门电路的性能指标

在面积和平均功耗均低于参考七输入或门电路的情况下，实现了更低的平均延时。

### 3.2.3 pseudo-NMOS七输入或门电路性能指标

电路结构如下图所示。pseudo-NMOS七输入或非门为有比逻辑，out节点的逻辑1为电压值为，逻辑0的电压值与PMOS和NMOS的电阻值有关。为了保证后面输出反相器的延时不至于过大，七输入或非门输出逻辑0的电压值应该尽可能趋向于0，即NMOS的尺寸应该大于PMOS。可以预见的是，当out节点输出为逻辑0时，存在到地的导电通路，势必造成功耗的上升，应尽可能选择小尺寸的PMOS的NMOS。

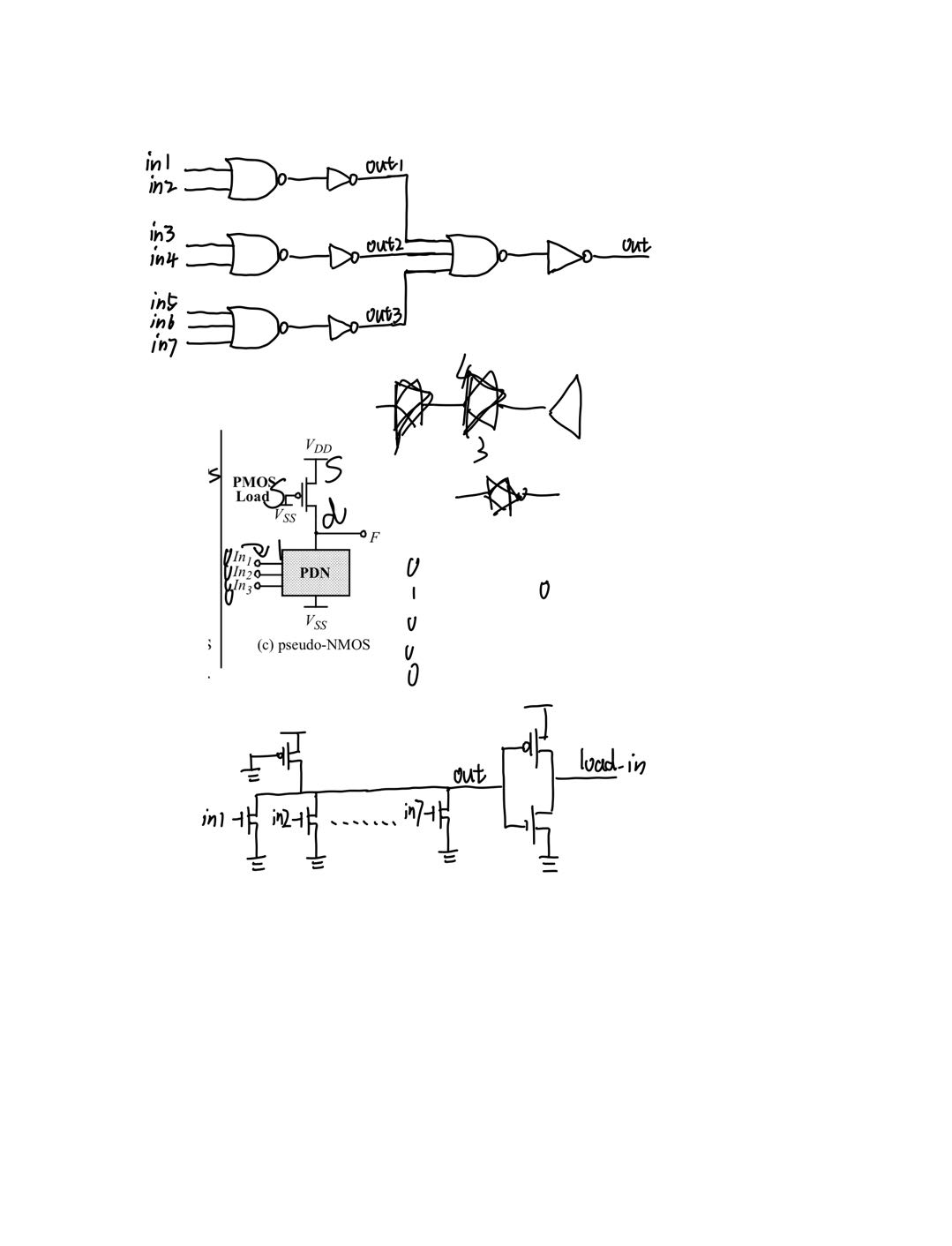


图 9 pseudo-NMOS七输入或门

pseudo-NMOS七输入或非门的PMOS尺寸为1，NMOS尺寸为2。输出反相器的PMOS尺寸为4，NMOS尺寸为3。性能指标入下表所示，另外此电路的输入端是对称的，不同input pattern的测量结果应该相同。

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **输入负载激励** | |  | | **()** | **()** | **power(W)** |
| 1111111<=>1111110 | | 1.8300E-11 | | 1.7520E-11 | 1.7910E-11 | 2.0610E-05 |
| 1111111<=>1111101 | | 1.8300E-11 | | 1.7520E-11 | 1.7910E-11 | 2.0610E-05 |
| 1111111<=>1111011 | | 1.8300E-11 | | 1.7520E-11 | 1.7910E-11 | 2.0610E-05 |
| 1111111<=>1110111 | | 1.8300E-11 | | 1.7520E-11 | 1.7910E-11 | 2.0610E-05 |
| 1111111<=>1101111 | | 1.8300E-11 | | 1.7520E-11 | 1.7910E-11 | 2.0610E-05 |
| 1111111<=>1011111 | | 1.8300E-11 | | 1.7520E-11 | 1.7910E-11 | 2.0610E-05 |
| 1111111<=>0111111 | | 1.8300E-11 | | 1.7520E-11 | 1.7910E-11 | 2.0610E-05 |
| **鳍数量** | 22 | | **平均值** | | 1.7910E-11 | 2.0610E-05 |

表 5 pseudo-NMOS七输入或门电路的性能指标

以更小的面积实现更小的延时，但是功耗被大幅度提升。

### 3.2.4动态七输入或门电路性能指标

引入时钟信号

# 附录