SHANGHAI JIAO TONG UNIVERSITY

研究生课程实验报告

GRADUATE COURSE PROJECT REPORT

课 程： 高等数字电路设计

报告题目： Project I Linear Feedback Shift Register

学生姓名:  赵拯基

学生学号: 121039910125

任课教师: 何卫锋 孙亚男

学院(系) :

开课学期:

目录

[一、 项目目的 1](#_Toc104499041)

[二、 项目要求 1](#_Toc104499042)

[三、 前期准备 1](#_Toc104499043)

[3.1 LFSR 简介 1](#_Toc104499044)

[3.2 时钟电路 2](#_Toc104499045)

[3.3 负载电路 3](#_Toc104499046)

[3.4 通用组件电路 3](#_Toc104499047)

[3.4.1 inv\_size\_1 3](#_Toc104499048)

[3.4.2 inv\_size\_4 3](#_Toc104499049)

[3.4.3 or2 3](#_Toc104499050)

[3.4.3 tg 3](#_Toc104499051)

[3.4.4 xor 3](#_Toc104499052)

[四、 设计流程 3](#_Toc104499053)

[4.1 24T\_TGFF（经典24管D触发器） 4](#_Toc104499054)

[4.1.1 基本功能测试 4](#_Toc104499055)

[4.1.2 高能效测试 5](#_Toc104499056)

[4.1.3 工作范围测试 6](#_Toc104499057)

[4.2 24T\_CSFF（change-sensing FF） 6](#_Toc104499058)

[4.2.1 基本功能测试 7](#_Toc104499059)

[4.2.2 高能效测试 8](#_Toc104499060)

[4.3 26T\_SCDFF（Static Contention-free Differential FF） 8](#_Toc104499061)

[4.3.1 基本功能测试 9](#_Toc104499062)

[4.3.2 高能效测试 10](#_Toc104499063)

[4.3.2 工作范围测试 10](#_Toc104499064)

[4.4 18TSPC（18-Transistors Single-Phase Clocked FF） 11](#_Toc104499065)

[4.4.1 基本功能测试 11](#_Toc104499066)

[4.4.2 高能效测试 12](#_Toc104499067)

[4.4.2 工作范围测试 13](#_Toc104499068)

[五、 设计总结 13](#_Toc104499069)

[5.1触发器选择 13](#_Toc104499070)

[5.2逻辑门选择 14](#_Toc104499071)

[5.3最终高能效测试 14](#_Toc104499072)

[六、 附录 14](#_Toc104499073)

[6.1 common.net 14](#_Toc104499074)

[6.2 clk\_circuit.net 16](#_Toc104499075)

[6.3 load\_circuit.net 16](#_Toc104499076)

[6.4 24T\_TGFF.net 16](#_Toc104499077)

[6.5 24T\_CSFF.net 17](#_Toc104499078)

[6.6 26T\_SCDFF.net 17](#_Toc104499079)

[6.7 18TSPC.net 18](#_Toc104499080)

# 项目目的

构建触发器的电路网表，由n级触发器和一些逻辑门组成线性反馈移位寄存器（LFSR）。最终目的为设计一款高能效的 16bit LFSR。

# 项目要求

高能效的 16bit LFSR 包含16个触发器，反馈函数至少包含3个逻辑门，需产生一个周期为 -1 的序列 (n=16)。

高能效指标具体是说，通过低功耗的设计，降低 LFSR 电路完成 1024 个序列输出所消耗的能量，要求测试温度为35。

具体要求如下：

* 使用 SPICE 网表实现 LFSR 电路
* 工艺：7nm PTM LP（采用7nm FinFET工艺，栅极长度采用默认值lg为11nm，宽度为最小宽度整数倍数，标准供电电压为0.7V）
* 温度：保证0~70 都能工作
* 输出负载： 4倍最小尺寸反相器门电容负载
* 输入时钟信号：使用 2 级 FO4 （Fan-out=4）电路搭建时钟树

# 前期准备

## 3.1 LFSR 简介

线性反馈移位寄存器（Linear feedback shift register，LFSR）是指给定前一状态的输出，将该输出的[线性](https://zh.wikipedia.org/wiki/%E7%B7%9A%E6%80%A7%E9%97%9C%E4%BF%82)函数再用作输入的[移位寄存器](https://zh.wikipedia.org/wiki/%E7%A7%BB%E4%BD%8D%E5%AF%84%E5%AD%98%E5%99%A8)。异或运算是最常见的单比特线性函数：对寄存器的某些位进行异或操作后作为输入，再对寄存器中的各比特进行整体移位，一个16bit LFSR如下图所示。

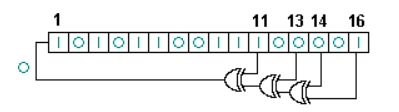


图 1 16bit LFSR，反馈函数 。

对于一个n bit的LFSR，可用的抽头至少有n个（第0个抽头是必须的）虽然一个n bit 的LFSR可以有很多种不同的抽头配置，但不是所有抽头都能使其达到最长输出序列。对于16bit LFSR的来说，为达到最长输出序列，选择16, 15, 13, 4抽头，进行异或操作，反馈函数为。本次project构建的16bit LFSR如下图所示。

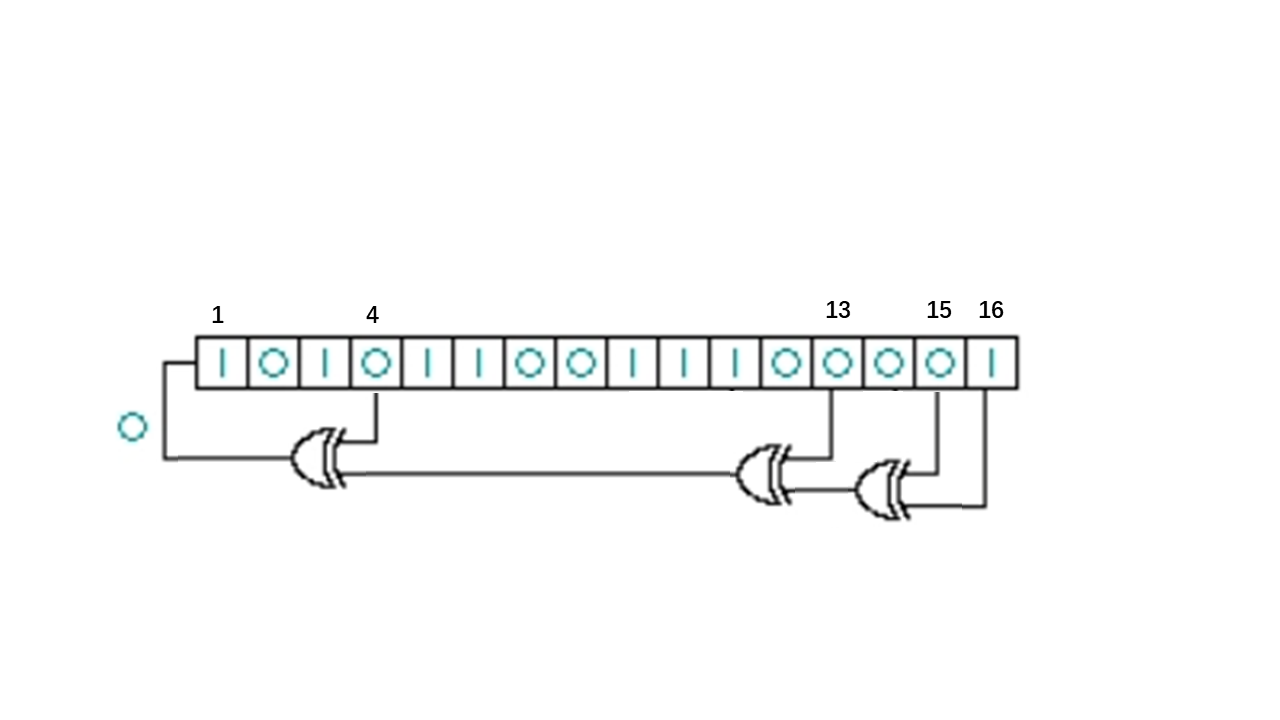


图 2 16bit LFSR，反馈函数 。

由于没有复位信号，LFSR中的16个寄存器初始可能为任何状态。如果初始状态为全0，整个LFSR并不能正常工作，无法产生输出序列。因此，对于这样的初始状态，应该起始输入逻辑1。构建实际的电路时，最终反馈函数的输出为， 仅在第一个时钟周期为逻辑1。

## 3.2 时钟电路

16bit LFSR需要16个时钟信号，按照项目要求搭建时钟树。通过两级4扇出的 buffer 产生16个时钟信号。单个 buffer 的结构如下图所示。

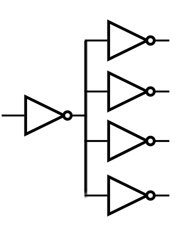


图 3 buffer结构

两级buffer的组成结构如下图所示。时钟电路的网表描述位于clk\_circuit.net。

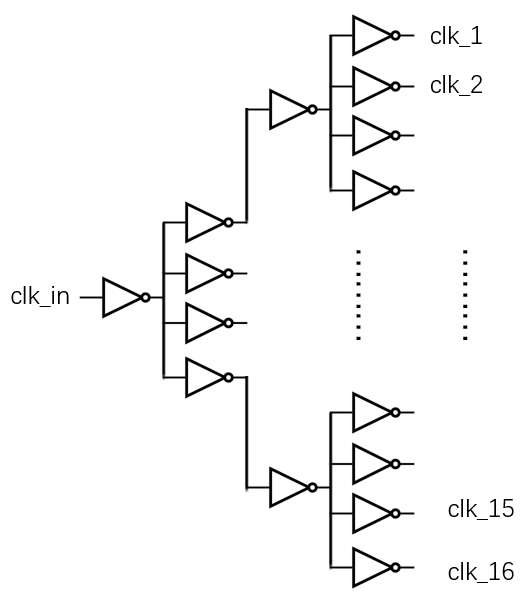


图 4 时钟电路

## 3.3 负载电路

负载电路为单个反相器，反向器尺寸为4倍最小尺寸。负载电路的网表描述位于load\_circuit.net。另外，除了负载电骡的反相器尺寸大小为4倍最小尺寸外，所有MOS管的尺寸均为最小尺寸（即nfin=1）。

## 3.4 通用组件电路

所有的通用组件电路网表描述位于common.net，用于构成其他的电路。

### 3.4.1 inv\_size\_1

最小尺寸的反相器。

### 3.4.2 inv\_size\_4

4倍最小尺寸的反相器。

### 3.4.3 or2

两输入或门，使用最小尺寸的NMOS和PMOS搭建，或非门后接最小尺寸的反相器。

### 3.4.3 tg

传输门（Transmission Gate），使用最小尺寸的NMOS和PMOS搭建，结构如下图所示。

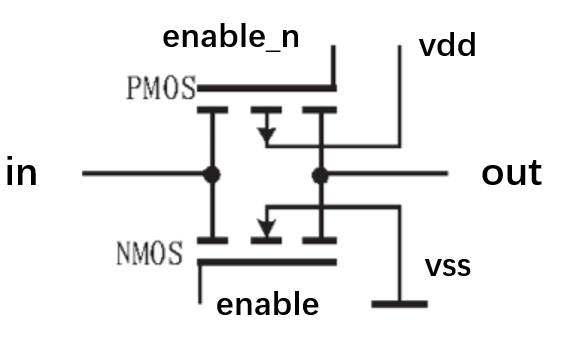


图 5 传输门结构

### 3.4.4 xor

两输入异或门，同样使用最小尺寸的NMOS和PMOS搭建，结构如下图所示。其中，，化简后。整个电路共需要10个MOS管。

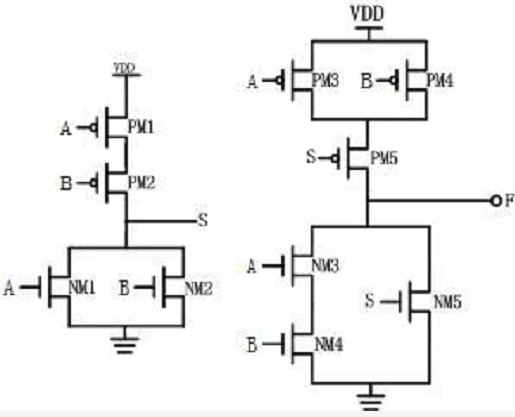


图 6 两输入异或门结构

# 设计流程

按照项目要求，针对高能效指标进行优化，未指定电路的工作电压和频率。首先保证寄存器可以在0~70℃条件下，以标准电压0.7V进行供电可以正常工作，无需验证1024个输出序列，仅测试正常的功能。

在此前提下，以低电压0.4V进行供电，时钟周期20ns，测量产生1024个输出序列时的平均功耗，作为高能效的主要评价标准。

同时，我们仍希望所设计的 LFSR 能拥有更宽泛的工作范围，即更高的工作频率和更低的工作电压，同时仍然保持高能效的工作特点。在上述同样的测量结果下，比较单个寄存器的输出延时，找到最佳的设计方案。

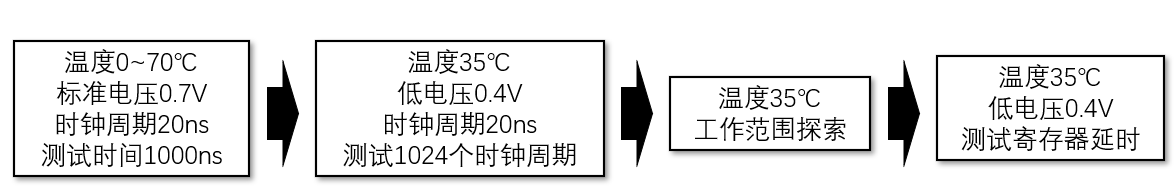


图 7设计优化流程

另外，设计的LFSR与时钟电路的供电分离。时钟电路供电保持独立，始终为0.7V。

## 4.1 24T\_TGFF（经典24管D触发器）

经典的24管D触发器作为baseline。

TGFF的结构如下图所示。经典的24管D触发器采用主从结构，主从结构工作在不同的时钟电平，工作状态相反，通过传输门进行控制。外部输入的时钟信号在其内部经过反相器生成反相时钟信号。

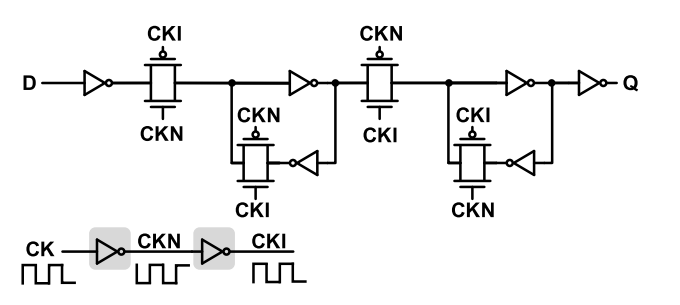


图 8 TGFF结构

### 4.1.1 基本功能测试

选取三个温度点进行测试0℃、35℃、70℃，LFSR电路供电为0.7V，时钟周期20ns，测试时间1000ns。下图的波形展示了第一个触发器的输入输出变化。同时对平均功耗进行测量，如下表所示。

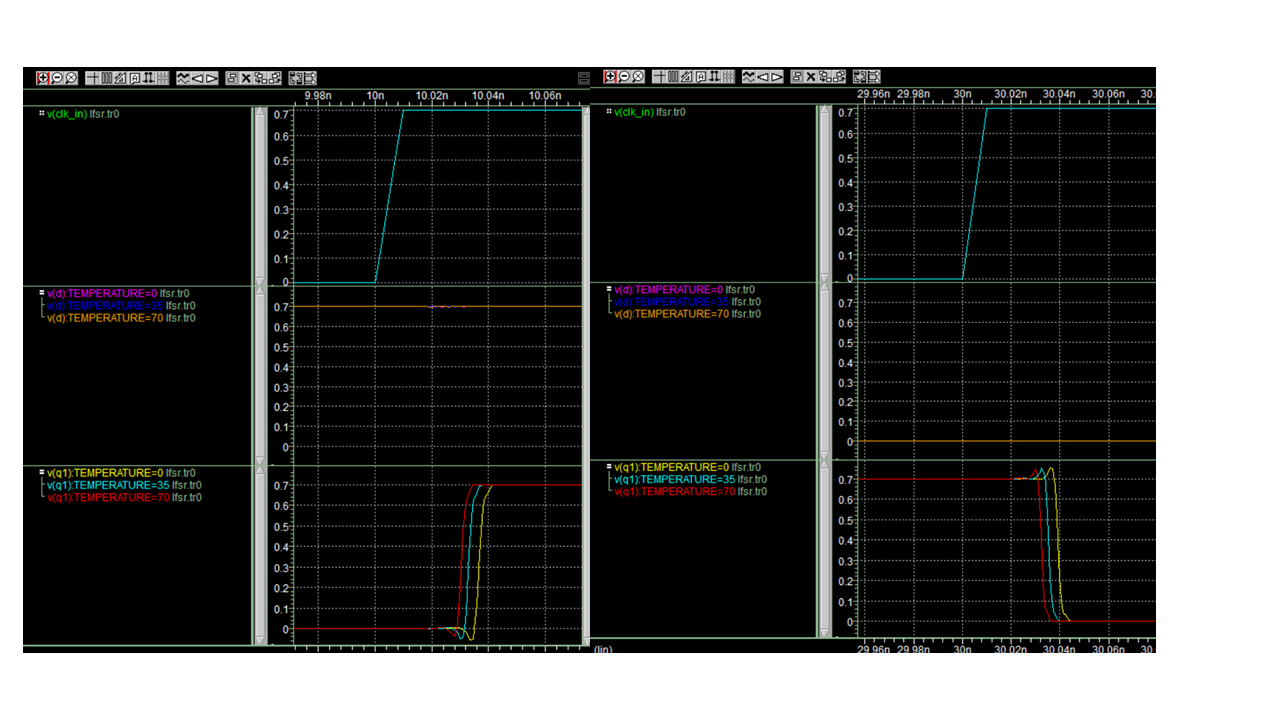


图 9 TGFF LFSR的第一个触发器输入输出波形

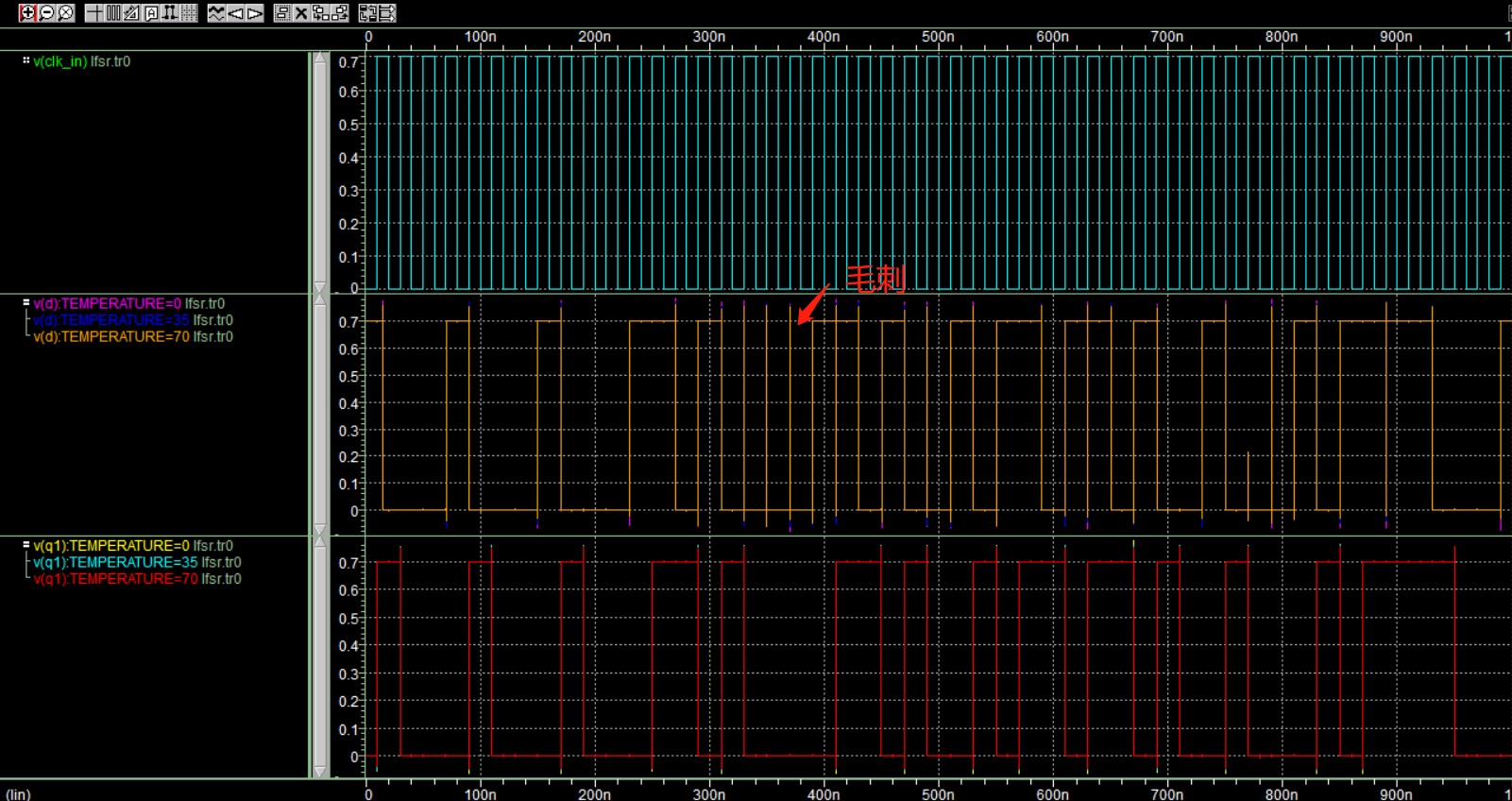


图 10 TGFF LFSR第一个触发器的1000ns波形

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **FF** | **时间（ns）** | **vdd\_design（v）** | **T（°C）** | **p\_vdd\_design（W）** | **p\_vdd\_clk（W）** |
| **24T\_TGFF** | **1000** | **0.7** | **0** | **2.591E-07** | **1.420E-07** |
| **35** | **2.561E-07** | **1.414E-07** |
| **70** | **2.636E-07** | **1.435E-07** |

表 1 TGFF LFSR基本功能测试

### 4.1.2 高能效测试

保持温度为35℃，LFSR电路低电压0.4V供电，时钟周期保持20ns。产生1024个序列输出，在当前时钟周期的条件下需要运行20480ns。需要增加瞬态仿真的仿真步长，降低仿真时间。结果如下表所示。

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **FF** | **时间（ns）** | **vdd\_design（v）** | **T（°C）** | **p\_vdd\_design（W）** | **p\_vdd\_clk（W）** |
| **24T\_TGFF** | **20480** | **0.4** | **35** | **8.715E-08** | **2.366E-07** |

表 2 TGFF LFSR 高能效测试

### 4.1.3 工作范围测试

保持温度为35℃，LFSR电路供电电压从0.3V开始，步长变化为0.02V，直至0.4V。在每个不同的供电电压下，改变时钟周期，从20ns开始，步长变化为3.8ns，直至1ns。测试时间500ns，判断LFSR能否正常工作。测试结果如下表所示，红色部分表示电路无法工作，记录可以正常工作时的平均功耗。通过观察波形也不难发现，导致无法正常的工作的原因是因为毛刺的产生，其对低电压高频率的影响更甚。

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **p\_vdd\_design（W）** | | **vdd\_design（v）** | | | | | |
| **0.4** | **0.38** | **0.36** | **0.34** | **0.32** | **0.3** |
| **CLK\_T(ns)** | **20** | **7.56E-08** | **6.83E-08** | **6.08E-08** | **5.42E-08** | **4.92E-08** |  |
| **16.2** | **9.74E-08** | **8.80E-08** | **7.82E-08** | **7.05E-08** | **9.74E-08** |  |
| **12.4** | **1.34E-07** | **1.21E-07** | **1.08E-07** | **9.68E-08** |  |  |
| **8.6** | **1.99E-07** | **1.80E-07** | **1.60E-07** |  |  |  |
| **4.8** | **3.41E-07** | **3.41E-07** | **2.75E-07** |  |  |  |
| **1** | **1.57E-06** |  |  |  |  |  |

表 3 TGFF LFSR 工作范围测试

## 4.2 24T\_CSFF（change-sensing FF）

一种极低电压、低功耗的24管单相时钟无冗余传输触发器，称为变化感知触发器（change-sensing FF）。通过利用变化感知方案消除内部时钟节点的冗余转换，CSFF在没有数据活动时不存在任何动态功耗。采用40 nm CMOS工艺制作的测试芯片的测量结果表明，与传统的传输门触发器（TGFF）相比，CSFF在无需额外晶体管的情况下，在5%的数据活动下可节省高达90%的功耗。结构如下图所示。

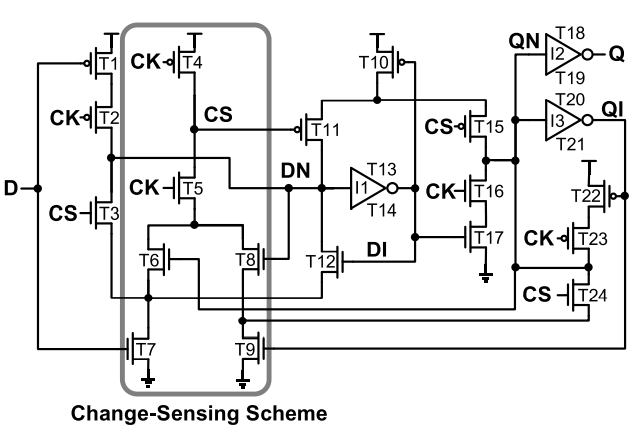


图 11 CSFF结构

但是，针对本次项目来说，数据活动效率很高，该款触发器的设计并不适合搭建满足项目测试要求的LFSR。通过后续的数据测量可以进一步反应，其在7nm PTM LP工艺下表现不如传统的传输门触发器。

### 4.2.1 基本功能测试

选取三个温度点进行测试0℃、35℃、70℃，LFSR电路供电为0.7V，时钟周期20ns，测试时间1000ns。下图的波形展示了第一个触发器的输入输出变化，可以观察到同样存在毛刺。同时对平均功耗进行测量，如下表所示。

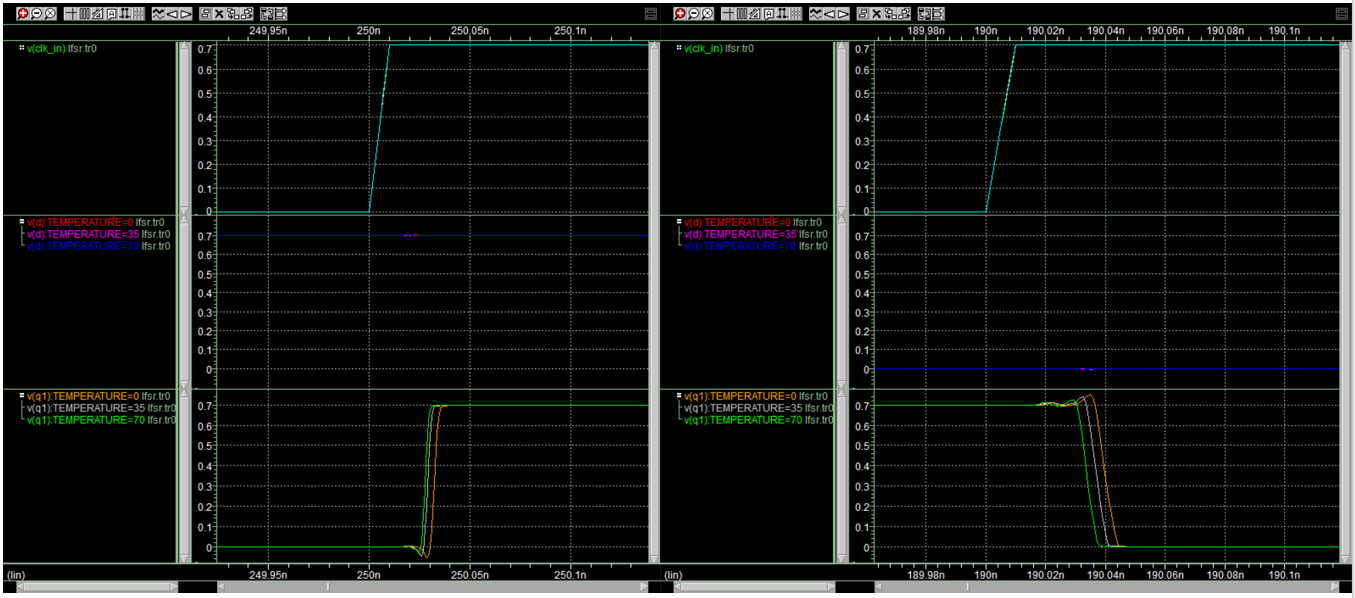


图 12 CSFF LFSR的第一个触发器输入输出波形

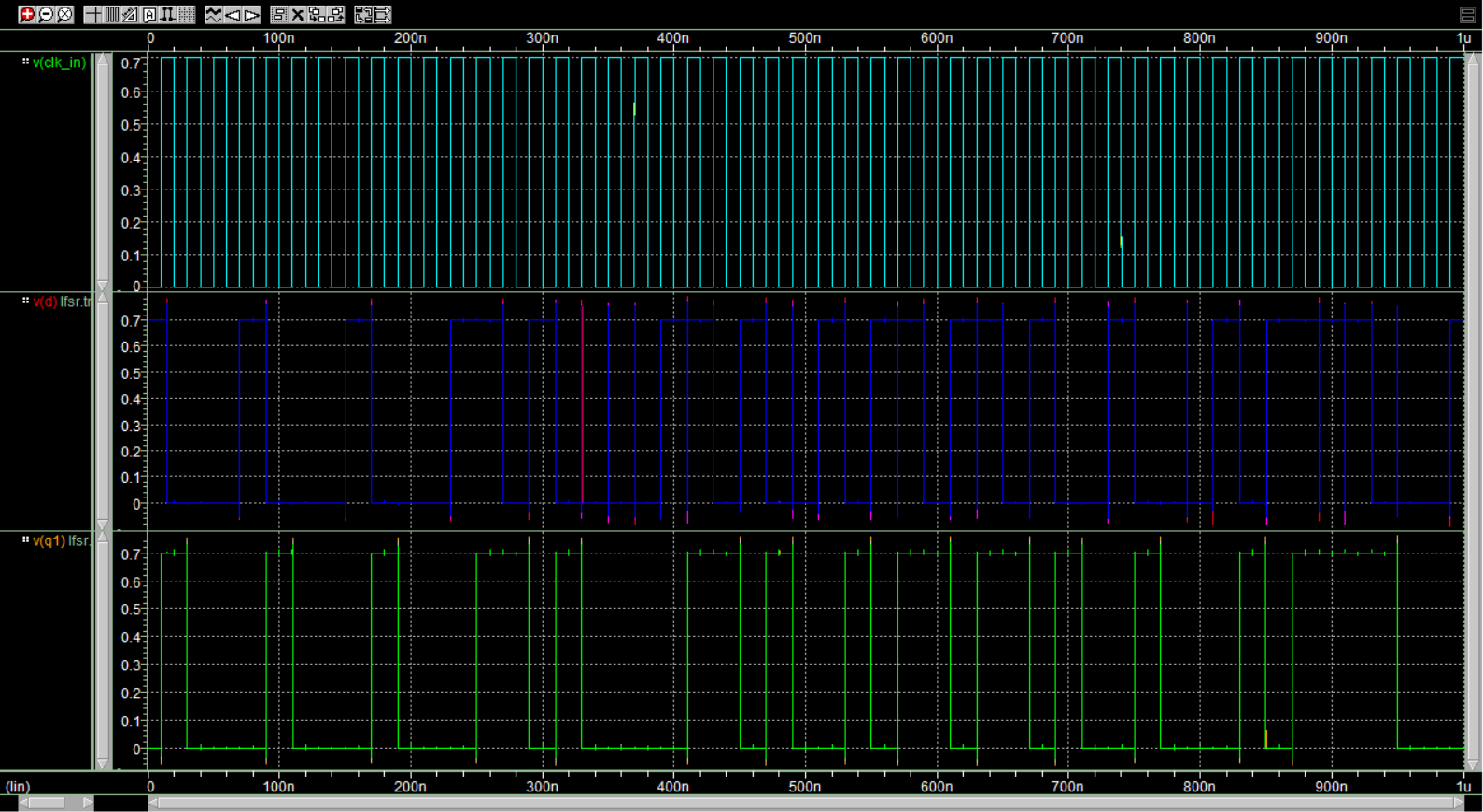


图 13 CSFF LFSR第一个触发器的1000ns波形

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **FF** | **时间（ns）** | **vdd\_design（v）** | **T（°C）** | **p\_vdd\_design（W）** | **p\_vdd\_clk（W）** |
| **24T\_CSFF** | **1000** | **0.7** | **0** | **7.161E-08** | **1.721E-07** |
| **35** | **1.249E-07** | **2.519E-07** |
| **70** | **2.342E-07** | **4.978E-07** |

表 4 CSFF LFSR基本功能测试

### 4.2.2 高能效测试

保持温度为35℃，LFSR电路低电压0.4V供电，时钟周期保持20ns。产生1024个序列输出，在当前时钟周期的条件下需要运行20480ns。需要增加瞬态仿真的仿真步长，降低仿真时间。结果如下表所示，可以看到其平均功耗高于传输门触发器，该触发器的设计方案不适合构建此项目的LFSR，不再进行后续的测试。

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **FF** | **时间（ns）** | **vdd\_design（v）** | **T（°C）** | **p\_vdd\_design（W）** | **p\_vdd\_clk（W）** |
| **24T\_CSFF** | **20480** | **0.4** | **35** | **1.202E-07** | **2.609E-07** |

表 5 CSFF LFSR 高能效测试

## 4.3 26T\_SCDFF（Static Contention-free Differential FF）

一种基于28nm CMOS 工艺的静态无竞争差分触发器 (SCDFF，A Static Contention-Free Differential FF)，适用于低电压和低功率应用。 SCDFF 提供完全静态和无竞争操作，无需使用差分锁存器进行冗余内部时钟切换，同时保持与传统传输门触发器相似的面积。完全静态且无竞争的操作允许在低电源电压范围内实现高变化容限，从而实现宽范围的电压可扩展性。根据论文描述，其最低工作电压可低至0.28V。结构如下图所示。

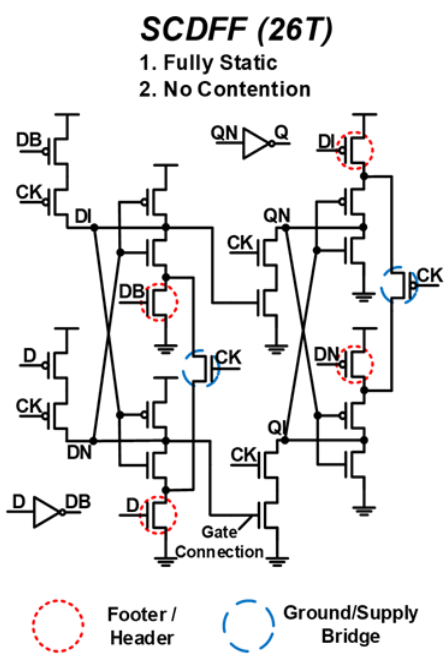


图 14 SCDFF结构

### 4.3.1 基本功能测试

选取三个温度点进行测试0℃、35℃、70℃，LFSR电路供电为0.7V，时钟周期20ns，测试时间1000ns。下图的波形展示了第一个触发器的输入输出变化。同时对平均功耗进行测量，如下表所示。

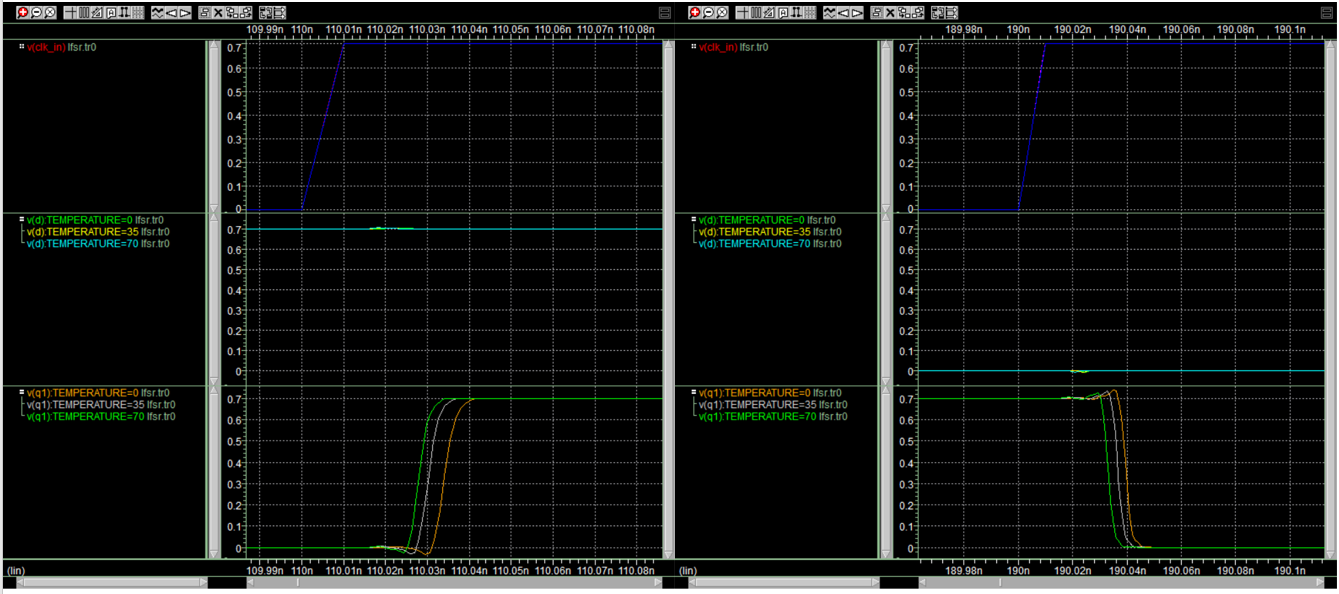


图 15 SCDFF LFSR的第一个触发器输入输出波形

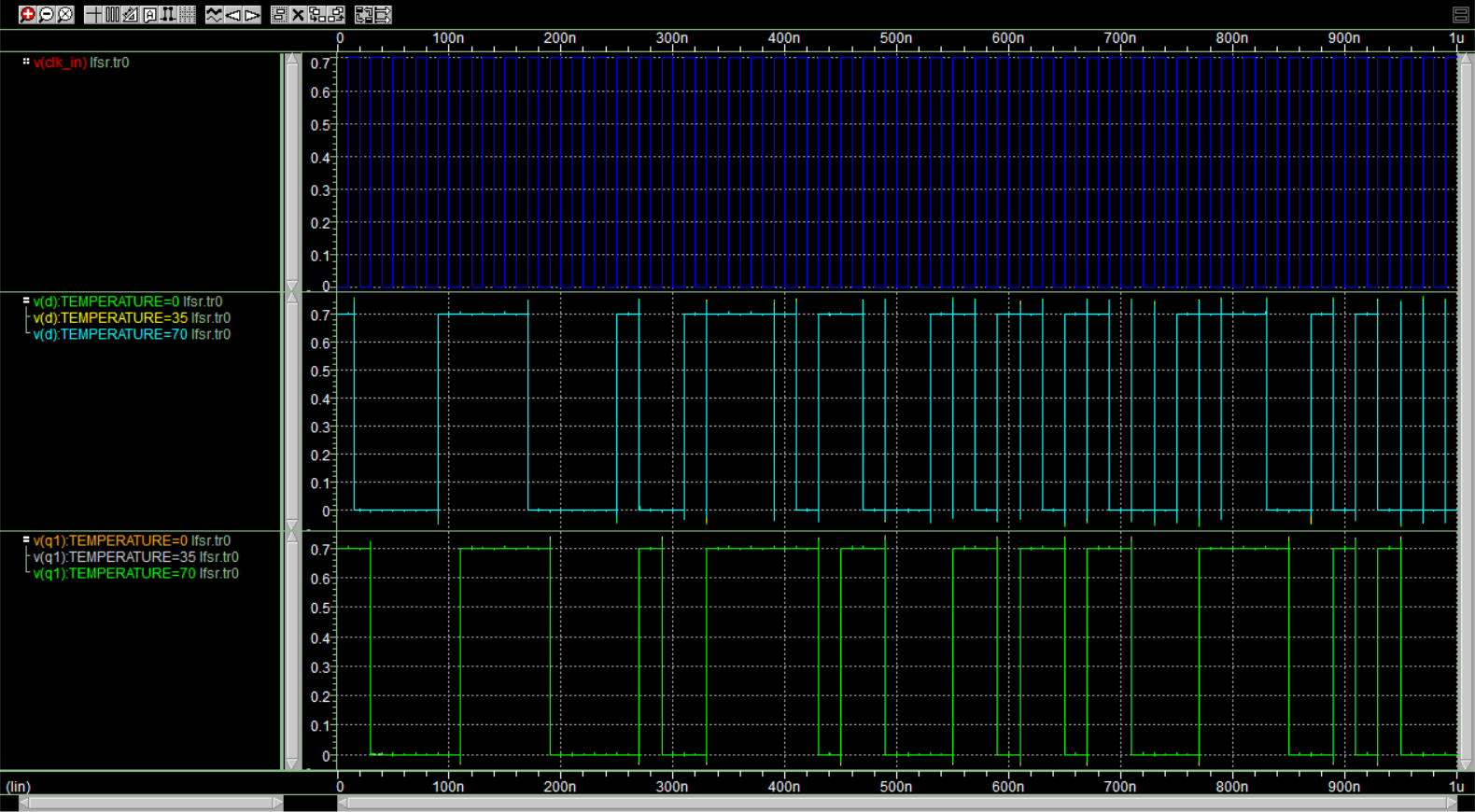


图 16 SCDFF LFSR第一个触发器的1000ns波形

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **FF** | **时间（ns）** | **vdd\_design（v）** | **T（°C）** | **p\_vdd\_design（W）** | **p\_vdd\_clk（W）** |
| **24T\_SCDFF** | **1000** | **0.7** | **0** | **3.381E-08** | **1.820E-07** |
| **35** | **3.474E-08** | **2.636E-07** |
| **70** | **5.973E-08** | **5.120E-07** |

表 6 SCDFF LFSR基本功能测试

### 4.3.2 高能效测试

保持温度为35℃，LFSR电路低电压0.4V供电，时钟周期保持20ns。产生1024个序列输出，在当前时钟周期的条件下需要运行20480ns。需要增加瞬态仿真的仿真步长，降低仿真时间。结果如下表所示，可以看到其平均功耗小于传输门触发器构成的LFSR。

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **FF** | **时间（ns）** | **vdd\_design（v）** | **T（°C）** | **p\_vdd\_design（W）** | **p\_vdd\_clk（W）** |
| **24T\_SCDFF** | **20480** | **0.4** | **35** | **4.871E-08** | **2.680E-07** |

表 7 SCDFF LFSR 高能效测试

### 4.3.2 工作范围测试

保持温度为35℃，LFSR电路供电电压从0.3V开始，步长变化为0.02V，直至0.4V。在每个不同的供电电压下，改变时钟周期，从20ns开始，步长变化为3.8ns，直至1ns。测试时间500ns，判断LFSR能否正常工作。测试结果如下表所示，红色和灰色部分表示电路无法工作，记录可以正常工作时的平均功耗。

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **p\_vdd\_design（W）** | | **vdd\_design（v）** | | | | | |
| **0.4** | **0.38** | **0.36** | **0.34** | **0.32** | **0.3** |
| **CLK\_T(ns)** | **20** | **2.28E-08** | **2.11E-08** | **1.85E-08** | **1.66E-08** |  |  |
| **16.2** | **3.21E-08** | **2.98E-08** | **2.62E-08** | **2.37E-08** |  |  |
| **12.4** | **5.13E-08** | **4.64E-08** | **4.31E-08** | **3.84E-08** |  |  |
| **8.6** | **8.64E-08** | **7.76E-08** | **7.03E-08** |  |  |  |
| **4.8** | **1.94E-07** | **1.77E-07** |  |  |  |  |
| **1** | **3.17E-07** |  |  |  |  |  |

表 8 SCDFF LFSR 工作范围测试

这里灰色部分时因为触发器无法正常工作导致的LFSR功能失效。虽然SCDFF 搭建的LFSR工作范围相对更小，但是其在相同的工作条件下功耗更低，更符合其高能效的定义。同时，红色部分的工作失效是由反馈函数产生的毛刺导致的，通过优化组合逻辑或者优化SCDFF的期间尺寸大小降低输出延时，可以进一步扩大工作范围。

## 4.4 18TSPC（18-Transistors Single-Phase Clocked FF）

18TSPC这是一种完全静态无竞争单相时钟触发器，只有 18 个晶体管。 根据文论描述，其以65nm CMOS工艺实现，与传输门触发器相比，它实现了 20% 的单元面积减少，更少的晶体管数量也意味着更低的功耗。仿真结果表明，所提出的 18TSPC 在能量延迟空间中的效率是 TGFF 的3倍。结构如下图所示。

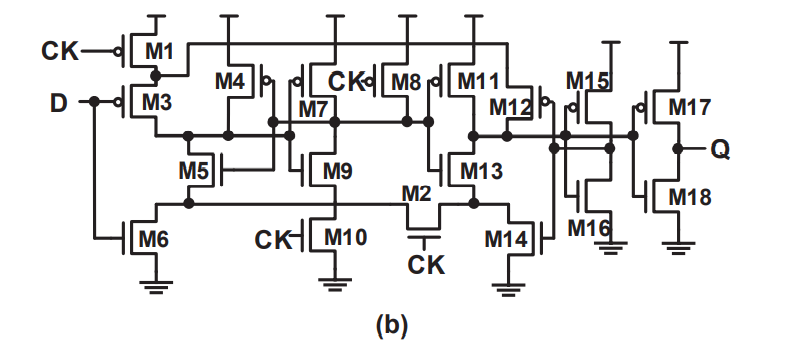


图 17 18TSPC结构

### 4.4.1 基本功能测试

选取三个温度点进行测试0℃、35℃、70℃，LFSR电路供电为0.7V，时钟周期20ns，测试时间1000ns。下图的波形展示了第一个触发器的输入输出变化。同时对平均功耗进行测量，如下表所示。

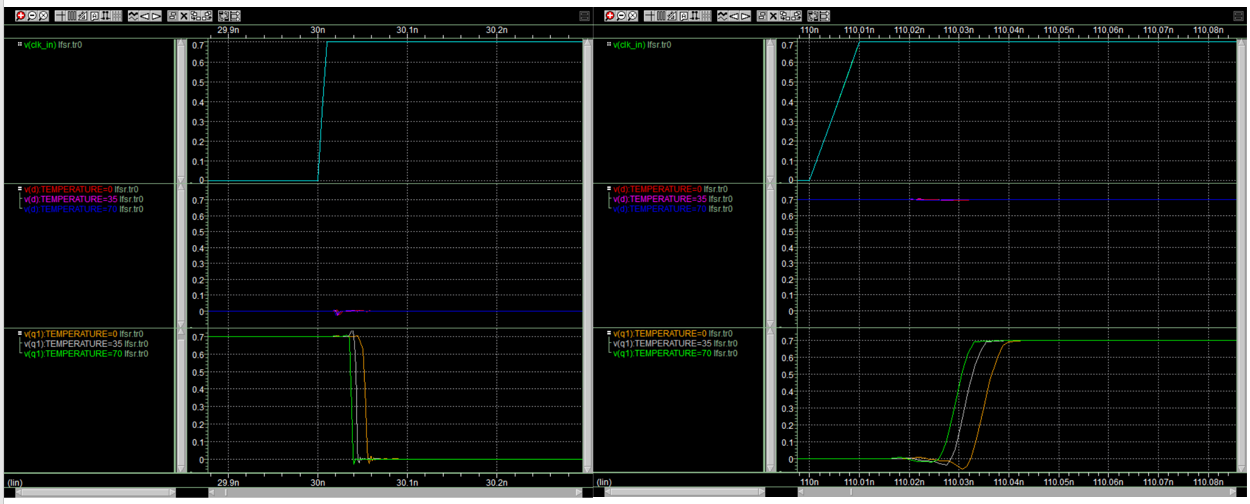


图 18 18TSPC LFSR的第一个触发器输入输出波形



图 19 18TSPC LFSR第一个触发器的1000ns波形

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **FF** | **时间（ns）** | **vdd\_design（v）** | **T（°C）** | **p\_vdd\_design（W）** | **p\_vdd\_clk（W）** |
| **18TSPC** | **1000** | **0.7** | **0** | **2.928E-08** | **1.733E-07** |
| **35** | **3.927E-08** | **2.539E-07** |
| **70** | **4.203E-08** | **5.008E-07** |

表 9 18TSPC LFSR基本功能测试

### 4.4.2 高能效测试

保持温度为35℃，LFSR电路低电压0.4V供电，时钟周期保持20ns。产生1024个序列输出，在当前时钟周期的条件下需要运行20480ns。需要增加瞬态仿真的仿真步长，降低仿真时间。结果如下表所示，可以看到其平均功耗小于传输门触发器、26T\_SCDFF构成的LFSR。

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **FF** | **时间（ns）** | **vdd\_design（v）** | **T（°C）** | **p\_vdd\_design（W）** | **p\_vdd\_clk（W）** |
| **18TSPC** | **20480** | **0.4** | **35** | **4.276E-08** | **2.548E-07** |

表 10 18TSPC LFSR 高能效测试

### 4.4.2 工作范围测试

保持温度为35℃，LFSR电路供电电压从0.3V开始，步长变化为0.02V，直至0.4V。在每个不同的供电电压下，改变时钟周期，从20ns开始，步长变化为3.8ns，直至1ns。测试时间500ns，判断LFSR能否正常工作。测试结果如下表所示，红色和灰色部分表示电路无法工作，记录可以正常工作时的平均功耗。

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **p\_vdd\_design（W）** | | **vdd\_design（v）** | | | | | |
| **0.4** | **0.38** | **0.36** | **0.34** | **0.32** | **0.3** |
| **CLK\_T(ns)** | **20** | 3.48E-08 | 2.43E-08 |  |  |  |  |
| **16.2** | 4.18E-08 | 3.41E-08 |  |  |  |  |
| **12.4** | 5.34E-08 |  |  |  |  |  |
| **8.6** |  |  |  |  |  |  |
| **4.8** |  |  |  |  |  |  |
| **1** |  |  |  |  |  |  |

表 11 18TSPC LFSR 工作范围测试

虽然18TSPC使用了更少的晶体管，但是总体而言其工作范围相比26T\_SCDFF，受到毛刺的影响更加严重。这里所测量得到的平均功耗高于26T\_SCDFF的原因可能是仿真时间较短。

# 设计总结

## 5.1触发器选择

制程工艺的提升本身就会提升电路整体的高能效水平，传统的基于传输门的触发器也有不错的高能效水准。

根据项目提供的参考文献以及自己的调查研究，发现很少有针对28nm以下工艺提出的高能效触发器设计。针对特定的工作的环境（较低的数据活动率）和制程（40nm、65nm）有着不错的表现，但这些设计未必均符合本项目的要求。考虑高性能以及更宽泛的工作频率，选择SCDFF构建LFSR。

## 5.2逻辑门选择

本项目设计的LFSR使用的反馈函数中包含了三个异或门，每个异或门包含10个晶体管。18TSPC触发器的设计方案给予了一定的启示，通过减少晶体管的数目也能降低整体的功耗，将原有的异或门设计变更为如下图所示。

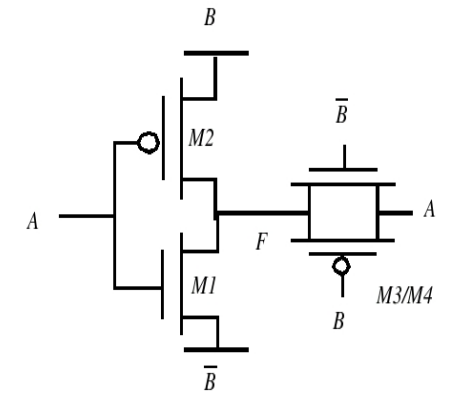


图 20 使用传输门XOR

## 5.3最终高能效测试

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **FF** | **时间（ns）** | **vdd\_design（v）** | **T（°C）** | **p\_vdd\_design（W）** | **p\_vdd\_clk（W）** |
| **24T\_SCDFF** | **20480** | **0.4** | **35** | **4.871E-08** | **2.680E-07** |
| **24T\_SCDFF**  **传输门xor** | **20480** | **0.4** | **35** | **4.749e-08** | **1.678e-07** |

# 附录

## 6.1 common.net

\* size=1 inverter

.subckt inv\_size\_1 in out vdd vss

Xpfet out in vdd vdd pfet l=lg nfin=1

Xnfet out in vss vss nfet l=lg nfin=1

.ends inv\_size\_1

\* size=4 inverter

.subckt inv\_size\_4 in out vdd vss

Xpfet out in vdd vdd pfet l=lg nfin=4

Xnfet out in vss vss nfet l=lg nfin=4

.ends inv\_size\_4

\* Transmission Gate

.subckt tg in out enable enable\_n vdd vss

Xpfet out enable\_n in vdd pfet l=lg nfin=1

Xnfet out enable in vss nfet l=lg nfin=1

.ends tg

\* Exclusive-OR gate

.subckt xor in\_1 in\_2 out vdd vss

\* Two-input NOR gate

Xpfet\_1 node\_1 in\_1 vdd vdd pfet l=lg nfin=1

Xpfet\_2 s in\_2 node\_1 vdd pfet l=lg nfin=1

Xnfet\_1 s in\_1 vss vss nfet l=lg nfin=1

Xnfet\_2 s in\_2 vss vss nfet l=lg nfin=1

\* F = !(AB+S)

Xpfet\_3 node\_2 in\_1 vdd vdd pfet l=lg nfin=1

Xpfet\_4 node\_2 in\_2 vdd vdd pfet l=lg nfin=1

Xpfet\_5 out s node\_2 vdd pfet l=lg nfin=1

Xnfet\_3 out in\_1 node\_3 vss nfet l=lg nfin=1

Xnfet\_4 node\_3 in\_2 vss vss nfet l=lg nfin=1

Xnfet\_5 out s vss vss nfet l=lg nfin=1

.ends xor

.subckt xor\_tg in\_1 in\_2 out vdd vss

Xinv\_size\_1 in\_2 in\_2\_n vdd vss inv\_size\_1

Xpfet\_inv out in\_1 in\_2 vdd pfet l=lg nfin=1

Xnfet\_inv out in\_1 in\_2\_n vss nfet l=lg nfin=1

Xpfet\_tg out in\_2 in\_1 vdd pfet l=lg nfin=1

Xnfet\_tg out in\_2\_n in\_1 vss nfet l=lg nfin=1

.ends xor\_tg

.subckt or2 in\_1 in\_2 out vdd vss

\* Two-input NOR gate

Xpfet\_1 node\_1 in\_1 vdd vdd pfet l=lg nfin=1

Xpfet\_2 s in\_2 node\_1 vdd pfet l=lg nfin=1

Xnfet\_1 s in\_1 vss vss nfet l=lg nfin=1

Xnfet\_2 s in\_2 vss vss nfet l=lg nfin=1

Xinv\_size\_1 s out vdd vss inv\_size\_1

.ends or2

## 6.2 clk\_circuit.net

\* fan\_out=4 buffer

.subckt buffer in out\_1 out\_2 out\_3 out\_4 vdd vss

Xinv\_size\_4\_in in out\_int vdd vss inv\_size\_4

Xinv\_size\_1\_out\_1 out\_int out\_1 vdd vss inv\_size\_1

Xinv\_size\_1\_out\_2 out\_int out\_2 vdd vss inv\_size\_1

Xinv\_size\_1\_out\_3 out\_int out\_3 vdd vss inv\_size\_1

Xinv\_size\_1\_out\_4 out\_int out\_4 vdd vss inv\_size\_1

.ends buffer

\* clk tree

\* 一级扇出

Xbuffer\_1 clk\_in clk\_temp\_1 clk\_temp\_2 clk\_temp\_3 clk\_temp\_4 VDD\_CLK VSS\_COM buffer

\* 二级扇出

Xbuffer\_2\_1 clk\_temp\_1 clk\_1 clk\_2 clk\_3 clk\_4 VDD\_CLK VSS\_COM buffer

Xbuffer\_2\_2 clk\_temp\_2 clk\_5 clk\_6 clk\_7 clk\_8 VDD\_CLK VSS\_COM buffer

Xbuffer\_2\_3 clk\_temp\_3 clk\_9 clk\_10 clk\_11 clk\_12 VDD\_CLK VSS\_COM buffer

Xbuffer\_2\_4 clk\_temp\_4 clk\_13 clk\_14 clk\_15 clk\_16 VDD\_CLK VSS\_COM buffer

## 6.3 load\_circuit.net

\* load

Xinv\_size\_4 load\_in load\_out VDD\_LOAD VSS\_COM inv\_size\_4

## 6.4 24T\_TGFF.net

\* 经典24管D触发器

.subckt tgff d q clk vdd vss

\* 控制信号 ckl ckn

Xinv\_1 clk ckn vdd vss inv\_size\_1

Xinv\_2 ckn ckl vdd vss inv\_size\_1

\* master

Xinv\_3 d m1 vdd vss inv\_size\_1

Xtg\_1 m1 m2 ckn ckl vdd vss tg

Xinv\_4 m2 temp vdd vss inv\_size\_1

Xinv\_5 temp m3 vdd vss inv\_size\_1

Xtg\_2 m3 m2 ckl ckn vdd vss tg

\* slave

Xtg\_3 temp s1 ckl ckn vdd vss tg

Xinv\_6 s1 s2 vdd vss inv\_size\_1

Xinv\_7 s2 q vdd vss inv\_size\_1

Xinv\_8 s2 s3 vdd vss inv\_size\_1

Xtg\_4 s3 s1 ckn ckl vdd vss tg

.ends tgff

## 6.5 24T\_CSFF.net

\* 24T change-sensing FF (CSFF)

.subckt csff d q clk vdd vss

\* master

Xmaster\_t1 vdd d master\_1 vdd pfet

Xmaster\_t2 master\_1 clk DN vdd pfet

Xmaster\_t3 DN CS csu\_2 vss nfet

Xmaster\_t10 vdd DI master\_2 vdd pfet

Xmaster\_t11 master\_2 CS DN vdd pfet

Xmaster\_t12 DN DI csu\_2 vss nfet

Xmaster\_i1 DN DI vdd vss inv\_size\_1

\* change-sensing unit

Xcsu\_t4 vdd clk CS vdd pfet

Xcsu\_t5 CS clk csu\_1 vss nfet

Xcsu\_t6 csu\_1 QN csu\_2 vss nfet

Xcsu\_t7 csu\_2 d vss vss nfet

Xcsu\_t8 csu\_1 DN csu\_3 vss nfet

Xcsu\_t9 csu\_3 QI vss vss nfet

\* slave

Xslave\_t15 master\_2 CS QN vdd pfet

Xslave\_t16 QN clk slave\_1 vss nfet

Xslave\_t17 slave\_1 DI vss vss nfet

Xslave\_i2 QN q vdd vss inv\_size\_1

Xslave\_i3 QN QI vdd vss inv\_size\_1

Xslave\_t22 vdd QI slave\_2 vdd pfet

Xslave\_t23 slave\_2 clk QN vdd pfet

Xslave\_t24 QN CS csu\_3 vdd pfet

.ends csff

## 6.6 26T\_SCDFF.net

\* 26T Static Contention-free Differential Flip-Flop (SCDFF)

.subckt scdff d q clk vdd vss

\* inverter

Xinv\_1 d DB\_ vdd vss inv\_size\_1

Xinv\_2 QN q vdd vss inv\_size\_1

\* MOS => nfet/pfet [d g s x]

Xt\_1 node\_1 DB\_ vdd vdd pfet

Xt\_2 DI clk node\_1 vdd pfet

Xt\_3 node\_2 d vdd vdd pfet

Xt\_4 DN clk node\_2 vdd pfet

\*

Xt\_5 DI DN vdd vdd pfet

Xt\_6 DI DN node\_3 vss nfet

Xt\_7 node\_3 DB\_ vss vss nfet

Xt\_8 DN DI vdd vdd pfet

Xt\_9 DN DI node\_4 vss nfet

Xt\_10 node\_4 d vss vss nfet

\*

Xt\_11 node\_3 clk node\_4 vss nfet

\*

Xt\_12 QN clk node\_5 vss nfet

Xt\_13 node\_5 DI vss vss nfet

Xt\_14 QI clk node\_6 vss nfet

Xt\_15 node\_6 DN vss vss nfet

\*

Xt\_16 node\_7 DI vdd vdd pfet

Xt\_17 QN QI node\_7 vdd pfet

Xt\_18 QN QI vss vss nfet

Xt\_19 node\_8 DN vdd vdd pfet

Xt\_20 QI QN node\_8 vdd pfet

Xt\_21 QI QN vss vss nfet

\*

Xt\_22 node\_7 clk node\_8 vdd pfet

.ends scdff

## 6.7 18TSPC.net

\* 18-Transistors Single-Phase Clocked FF (18TSPC)

.subckt \_18tspc d q clk vdd vss

Xm\_1 node\_1 clk vdd vdd pfet

Xm\_2 node\_4 clk node\_6 vss nfet

Xm\_3 node\_2 d node\_1 vdd pfet

Xm\_4 node\_2 node\_3 vdd vdd pfet

Xm\_5 node\_2 node\_3 node\_4 vss nfet

Xm\_6 node\_4 d vss vss nfet

Xm\_7 node\_3 node\_2 vdd vdd pfet

Xm\_8 node\_3 clk vdd vdd pfet

Xm\_9 node\_3 node\_2 node\_5 vss nfet

Xm\_10 node\_5 clk vss vss nfet

Xm\_11 node\_7 node\_3 vdd vdd pfet

Xm\_12 node\_7 node\_8 node\_1 vdd pfet

Xm\_13 node\_7 node\_3 node\_6 vss nfet

Xm\_14 node\_6 node\_8 vss vss nfet

Xinv\_1 node\_7 node\_8 vdd vss inv\_size\_1

Xinv\_2 node\_7 q vdd vss inv\_size\_1

.ends \_18tspc