**《大规模可编程器件》实验报告**

实验三：序列检测器设计



**目录**

[一、实验目的 1](#_Toc27756)

[二、实验原理 1](#_Toc29187)

[三、实验内容 1](#_Toc7048)

[四、实验代码 1](#_Toc30923)

[五、实验结果 2](#_Toc31102)

[六、 实验心得 3](#_Toc31772)

# 

# 一、实验目的

掌握Modelsim仿真方法、状态机设计方法。

## 二、实验原理

序列检测器的设计。利用状态机设计一个序列检测器，序列检测器功能：将一个指定序列从数字码流中识别出来。设X为数字码流的输入，Z为检测出标记输出，Z平时为高电平，一旦发现指定的序列10010，则变为低电平。例如X码流为110010010000100101....，则该序列检测器将在第九个比特位后检测到“10010”，然后将Z置为低电平。

序列检测逻辑功能：

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 时钟 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 | 16 | 17 | 18 |
| x | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 |
| z | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |

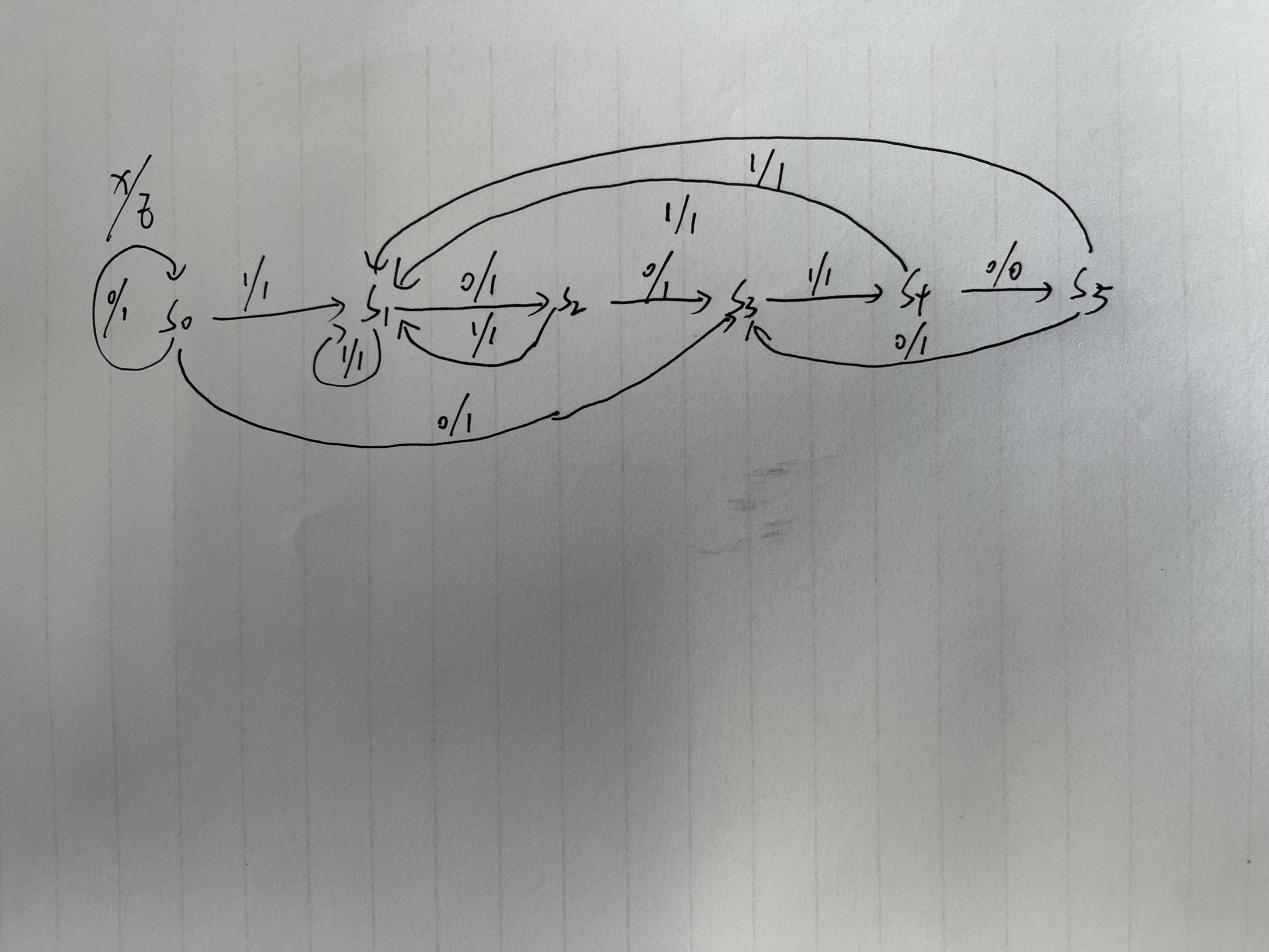


图 1 时序逻辑图

# 三、实验内容

将一个指定序列从数字码流中识别出来。

# 四、实验代码

|  |
| --- |
| 实验三：序列检测 |
| 1. module seq(input wire x,input wire clk,input wire rst,output wire z,output wire [5:0]z\_current\_state); 2. reg [5:0]state; 3. reg [5:0]current\_state,next\_state; 4. reg z1; 5. parameter start = 6'b000000,a = 6'b000001,b = 6'b000010,c = 6'b000100,d = 6'b001001,e = 6'b010010; 6. assign z\_current\_state = current\_state; 7. always @(posedge clk or negedge rst) 8. begin 9. if(!rst) 10. current\_state <= start; 11. else 12. current\_state <= next\_state; 13. end 14. always @(current\_state,x) 15. begin 16. next\_state = x; 17. case(current\_state) 18. start:if(x) next\_state = a;else next\_state = start; 19. a:if(x) next\_state = a;else next\_state = b; 20. b:if(x) next\_state = a;else next\_state = c; 21. c:if(x) next\_state = d;else next\_state = start; 22. d:if(x) next\_state = a;else next\_state = e; 23. e:if(x) next\_state = start;else next\_state = c; 24. default:next\_state = start; 25. endcase 26. end 27. assign z = z1; 28. always @(current\_state) 29. begin 30. case(current\_state) 31. start:z1 = 0; 32. a:z1 = 0; 33. b:z1 = 0; 34. c:z1 = 0; 35. d:z1 = 0; 36. e:z1 = 1; 37. default:z1 = start; 38. endcase 39. end 40. endmodule |

# 五、实验结果

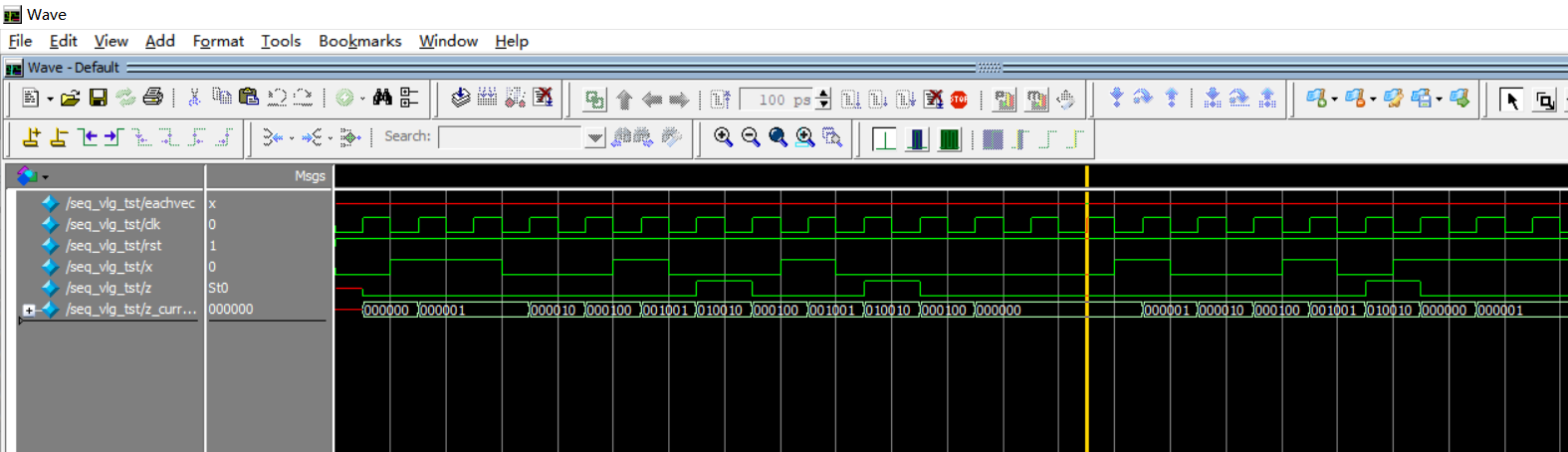


图 2 结果图

由仿真图知检测到特定序列时z由高电平变为低电平。

# 实验心得

在本次实验中，我们使用FPGA学习板实现了跑马灯设计。本次实验相较于实验二的难度有了比较大的提升，需要我们对时序逻辑电路有一定的理解，也让我我感受到了FPGA的便利性和方便性。在编写FPGA代码的过程中，我也发现了FPGA代码与C语言的不同之处，我们需要在后续多写多练，增强编程能力。