**1 группа – вопрос открытого типа**

1. Дескриптор – это … (***это 8-байтная единица описательной информации, распознаваемая устройством управления памятью в защищенном режиме, хранящаяся в дескрипторной таблице***)
2. Конвейеризация позволяет … (***нескольким внутренним блокам МП работать одновременно, совмещая дешифрование команды, операции АЛУ, вычисление эффективного адреса и циклы шины нескольких команд)***
3. Дескрипторные таблицы – это … ***(это массивы памяти переменной длины, содержащие 8- байтные элементы: дескрипторы)***
4. Что делает команда ROL AX, 4? (***Циклический сдвиг регистра AX влево на 4 бита***)
5. Какой флаг в регистре FLAGS указывает на нулевой результат операции? (***ZF (Zero Flag))***
6. Впервые реализована высокопроизводительная архитектура двойной независимой шины (системная шина и шина кэш), обеспечивающая… (***повышение пропускной способности и производительности, а также масштабируемость при использовании будущих технологий***)
7. Исключение – это … ***(любое нарушение нормальной работы МП)***
8. В режимах пользователя и супервизора различаются … ***(адресные пространства, в которых работает ЦП; программные модели; набор допустимых инструкций; активные стеки.)***
9. Сопроцессор – это … ***(это специализированная интегральная схема, которая работает в содружестве с ЦП, но менее универсальна)***
10. Один из наиболее распространенных типов сопроцессоров - … ***(математический сопроцессор)***

**2 группа – выбор одного правильного варианта из предложенных вариантов ответов**

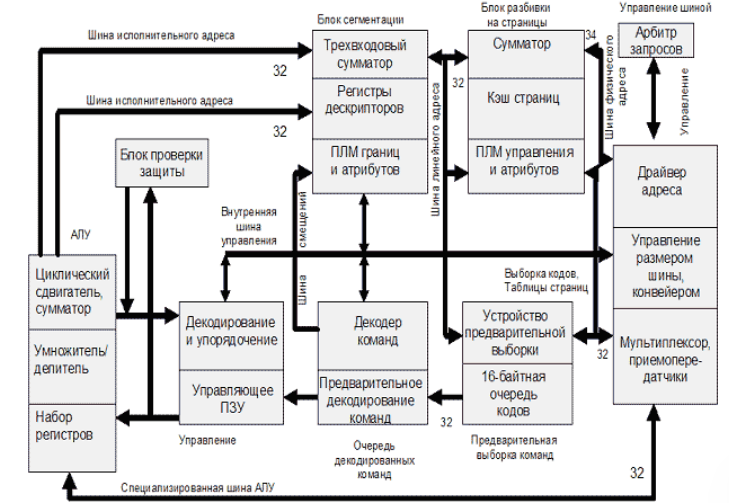
11) Адресное пространство памяти процессора, откуда происходит выборка команд и данных, разделено на …

А) блоки

Б) части

В) ***сегменты***

Г) фрагменты

12) Как называется микропроцессор, которому принадлежит эта структура?

а) ***Intel-386*** б) Intel-486 в) Intel-336 г) Intel-383

13) … - это "единица измерения" заданий для процессора, которую процессор может выполнять, приостанавливать и осуществлять над ней диспетчеризацию.

а)миссия б)цель в)проблема г)***задача***

14) Одной из главных особенностей шестого поколения микропроцессоров архитектуры IA32 является …

***а) динамическое (спекулятивное) исполнение*** б)размер в)вариативность г)объём памяти

15) К чему привела необходимость повышенной скорости передачи данных?

а) созданию RPL б)удаление FPS ***в) созданию шины PCI*** г) смена KDP

16) На какой базе была инициализация ПЭВМ?

А)u68-x б)i88-z в)i71-x ***г) i86-х***

17) Какая команда копирует значение из регистра BX в AX?  
**а) MOV AX, BX**  б) MOV BX, AX в) XCHG AX, BX г) LEA AX, [BX]

18) Какой командой в DEBUG можно просмотреть содержимое памяти?  
***a) D*** б) U в) R г) T

19) . По сравнению с предыдущими поколениями IA-32, Pentium 4 содержит самый длинный конвейер команд, состоящий…

а) из 50 этапов б) ***из 20 этапов*** в) из 25 этапов г) из 10 этапов

20) Механизм … позволяет альтернативному владельцу магистрали получать доступ к содержимому внутрикристального кэша данных.

***а) снупинга***  б) исключения в) арбитра г) супервизора

**3 группа – выбор нескольких правильных вариантов из предложенных вариантов ответов**

21) Какими значениями оперирует механизм контроля уровня привилегий микропроцессора?

***а) CPL*** б)FDPL ***в) RPL*** ***г) DPL***

22) В каких режимах может работать IA-32?

***а) Реальный режим б) Режим системного управления в) Защищенный режим*** г)Энергосберегающий режим

23) Что подразумевается под динамическим (спекулятивным) исполнением?

а) повышение производительности ***б) Глубокое предсказание ветвлений в) Анализ потока данных г) Опережающее исполнение команд***

24) Какие существенные черты появились у процессора Pentium?

***а) суперскалярная архитектура б) конвейеризация машинного цикла в) внутренний контроль на четность г) режим управления системой***

25) Какие команды изменяют флаг ZF?  
а) MOV AX, BX ***б) CMP AX, 0 в) TEST AL, AL*** г) XCHG AX, BX

26) Какие прерывания используются для работы с клавиатурой?  
***а) INT 16h*** б) INT 10h ***в) INT 21h с AH=01h*** г) INT 13h

27) Какие основные характеристики процессоров семейства Pentium следующие?

а) ***конвейерное исполнение команд*** б) не конвейерное исполнение команд в) поддержка реализации однопроцессорных систем г) ***32-разрядная внутренняя структура***

28) Система арбитра, служащая для определения владельца магистрали, включает сигналы:

***А)запроса магистрали;***

***Б)передачи управления магистралью;***

В) поддержка реализации однопроцессорных систем

***Г)подтверждения приема магистрали.***

29) Использование сопроцессоров с различной функциональностью позволяет решать проблемы широкого круга:

***А)*** ***моделирование;***

***Б)*** ***навигация;***

***В) сбор данных;***

Г)конвейерное исполнение команд

30) В структуре кэш-памяти выделяют два типа блоков данных:

***А)*** ***память отображения данных***

Б) память ячеек

***В) память тегов***

Г)память разделов

**4 группа – установление правильной последовательности алгоритма/действий в предложенных вариантах ответов**

31) Какой правильный формат команды микропроцессора IA-32?

Префикс, SIB, смещение, непосредственный операнд, КОП, Mod R/M

(***префикс КОП Mod R/M SIB смещение непосредственный операнд***)

32) Какой правильный порядок команд МП Intel486 пятиступенчатый конвейер для обработки:

Prefetch, Execute, Address Generate, Write Back, Instruction Decode

***(Prefetch, Instruction Decode, Address Generate, Execute, Write Back)***

33) Порядок выполнения команд для вывода строки в DOS:

* 1. Загрузить адрес строки в DX
  2. Установить AH=09h
  3. Вызвать INT 21h
  4. Завершить строку символом $  
     *(****2, 1, 3, 4****)*

*34*) Последовательность обработки прерывания:

* 1. Сохранение регистров в стеке
  2. Вызов обработчика прерывания
  3. Восстановление регистров
  4. Возврат из прерывания (IRET) *(****1, 2, 3, 4****)*

35) После включения питания в каком порядке выполняются следующие действия:

1. самодиагностика, идентификация, проверка процессора и сопроцессора;
2. включение механизма "Plug&Play";
3. проверка и инициализация системного ядра;
4. проверка и инициализация видеоадаптера;

***(1, 3, 2, 4)***

36) После включения питания в каком порядке выполняются следующие действия:

1. проверка модулей расширения BIOS;
2. загрузка ОС;
3. включение механизма APR;
4. вызов системного загрузчика;

***(1, 3, 4, 2)***

37) Запоминающие устройства (ЗУ) подсистемы памяти ПК можно выстроить в следующую иерархию по увеличению времени выборки в 1985г:

Сверхоперативные ЗУ, Внешние ЗУ, Оперативное ЗУ, Быстродействующее буферное ЗУ

***(Сверхоперативные ЗУ, Быстродействующее буферное ЗУ, Оперативное ЗУ, Внешние ЗУ)***

38) Запоминающие устройства (ЗУ) подсистемы памяти ПК можно выстроить в следующую иерархию по уменьшению типичный объема в 2000г:

Сверхоперативные ЗУ, Внешние ЗУ, Оперативное ЗУ, Быстродействующее буферное ЗУ

***(Внешние ЗУ, Оперативное ЗУ, Быстродействующее буферное ЗУ, Сверхоперативные ЗУ)***

39) Расположите Микропроцессоры в порядке возрастания частоты:

DEC Alpha 21164, DEC Alpha 21264 , HP PA-8000, HP PA-8200

***(HP PA-8000, HP PA-8200, DEC Alpha 21164, DEC Alpha 21264)***

40) Расположите Микропроцессоры в порядке убывания производительности:

SGI/MIPS R10000, SGI/MIPS R12000, Sun Ultra SPARC II, Sun Ultra SPARC III

***(Sun Ultra SPARC III , SGI/MIPS R12000, Sun Ultra SPARC II, SGI/MIPS R10000)***

**5 группа – установление соответствия между двумя множествами вариантов ответов**

41) 1а) GDTR 2а) 16-разрядный регистр определяет базовый адрес локальной дескрипторной таблицы

1б) LDTR 2б) 40-разрядный регистр определяет начало и размер таблицы векторов прерываний

1в) IDTR 2в) 40-разрядный регистр определяет размер и положение глобальной дескрипторной таблицы

1г) TR 2г) 16-разрядный регистр содержит селектор сегмента состояния задачи, используется для многозадачности

(***1а-2в, 1б-2а, 1в-2б, 1г-2г***)

42) 1а) EAX 2а) счетчик для цепочечных (например, MOVS) и циклических (с префиксом REP) инструкций

1б) EBX 2б) указатель на данные в сегменте DS

1в) ECX 2в) адрес порта ввода-вывода для инструкций IN/INS, OUT/OUTS

1г) EDX 2г) аккумулятор, операнд-источник или приемник результата

(***1а-2г, 1б-2б, 1в-2а, 1г-2в***)

43) 1а) Системное ядро ПК включает в себя 2а) счетчик для цепочечных (например, MOVS) и циклических (с префиксом REP) инструкций

1б) К модулям расширения относятся 2б) суперскалярная архитектура

1в) Инструкции MMX оперируют 64-битными типами данных 2в) упакованные байты (8 х 8 бит)

1г) Процессор Pentium имеет ряд новых существенных черт 2г) сетевые карты

(***1а-2в, 1б-2г, 1в-2в, 1г-2б***)

44) 1а) MOV AX, BX 2а) Вызов DOS-прерывания

1б) INT 21h 2б) Копирование значения

1в) CMP AX, BX 2в) Сравнение регистров

1г) ADD AX, 5 2г) Арифметическое сложение

***(1а-2б, 1б-2а, 1в-2в, 1г-2г)***

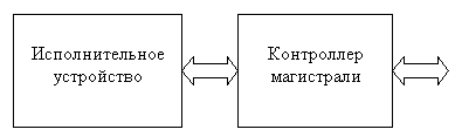
45) 1а) ZF 2а) Перенос при операции

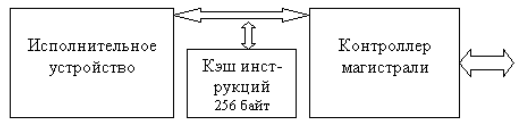
1б) CF 2б) Отрицательный результат

1в) SF 2в) Переполнение

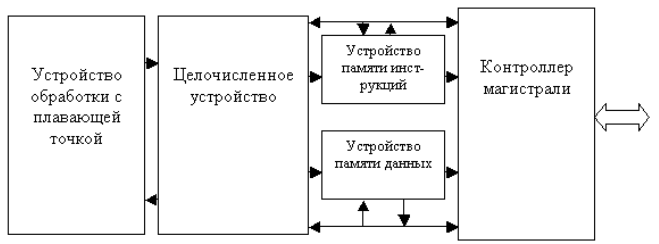
1г) OF 2г)  Нулевой результат

***(1а-2г, 1б-2а, 1в-2б, 1г-2в)***

46) 1а) 

1б) 

1в) 

1г) 

2а) Структура МП МС 68040

2б) Структура МП МС 68030

2в) Структура МП МС 68000

2г)  Структура МП МС 68020

(***1а-2в, 1б-2г, 1в-2б, 1г-2а***)

47) Регистр тегов содержит 8 тегов - признаков, характеризующих содержимое соответствующего численного регистра сопроцессора. Тег может принимать следующие значения:

1а) 10 2а) в регистре находится действительное число

1б) 01 2б) нулевое число в регистре

1в) 00 2в) недействительное число (бесконечность, денормализованное число, нечисло)

1г) 11 2г) пустой регистр.

(***1а-2в, 1б-2б, 1в-2а, 1г-2г***)

48) Добавление нововведений:

1а) CDRAM 2а) Добавление SRAM (8, 16 Кб)

1б) RDRAM 2б) 3-х ступенчатый конвейер, 2 банка памяти с доступом типа "пинг-понг"

1в) BEDO DRAM 2в) Функционирует по протоколу расщепления транзакций

1г) SDRAM 2г) Добавлен набор регистров-защелок

(***1а-2а, 1б-2в, 1в-2г, 1г-2б***)

49) Основные функциональные блоки процессора Alpha 21064:

1а) I-box 2а)регистровый файл целочисленной арифметики.

1б) IRF 2б)устройство арифметики с плавающей точкой.

1в) F-box 2в)устройство целочисленной арифметики (7 ступеней конвейера).

1г) E-box 2г)командное устройство (управляет кэш команд, выборкой и дешифрацией команд).

(***1а-2г, 1б-2а, 1в-2б, 1г-2в***)

50) Основные функциональные блоки процессора Alpha 21064:

1а)BIU 2а)устройство управления загрузкой/сохранением данных.

1б)Write Buffer 2б)буфер обратной записи.

1в)D-cache 2в)КЭШ данных.

1г) A-box 2г)интерфейсный блок, с помощью которого подключаются внешняя кэшпамять, размером 128 Кб-8 Мб

(***1а-2г, 1б-2б, 1в-2в, 1г-2а***)