

МИНОБРНАУКИ РОССИИ

Федеральное государственное бюджетное образовательное учреждение
высшего образования

«МИРЭА – Российский технологический университет»
РТУ МИРЭА»

ЛЕКЦИОННЫЕ МАТЕРИАЛЫ

Конфиденциальная информация и ее защита в документационном обеспечении управления

Электроника

Уровень бакалавриат
Форма обучения очная

Направление
подготовки 10.03.01 Информационная безопасность

Институт комплексной безопасности и специального приборостроения

Кафедра кафедра электроники

Лектор д.т.н., профессор Филинов В.В.

Используются в данной редакции с учебного года 2020/21

Проверено и согласовано «_____» _____ 20____ г. _____
(подпись директора Института Филиала
с расшифровкой)

Москва 2020г.

3.4. Логические элементы. Серии цифровых интегральных схем

К **цифровым** интегральным микросхемам относятся устройства, с помощью которых преобразуются и обрабатываются сигналы, выраженные в двоичном или другом цифровом коде. Используемые при этом сигналы близки по форме к прямоугольным импульсам и имеют два фиксированных уровня напряжения. Если уровню низкого напряжения приписывается символ “0”, а уровню высокого напряжения - “1”, то говорят о положительной логике. В противном случае логика отрицательная.

Основой цифровых микросхем является **логический элемент**, предназначенный для преобразования входных сигналов в выходные по определенному закону, причем те и другие принимают только значения “0” и “1”. Обозначим входные сигналы “X”, а выходные - “Y”, получим **логическую функцию** $Y=F(X)$. Логическая функция записывается в виде математических символов или таблиц.

Основными логическими функциями являются: $Y = \bar{X}$ – отрицание, инверсия или “НЕ” (табл.3.4.1); логическая сумма, дизъюнкция или функция “ИЛИ” (табл.3.4.2). $Y = X_1 + X_2 = X_1 \vee X_2$; логическое произведение, конъюнкция или функция “И” (табл.3.3) $Y = X_1 * X_2 = X_1 \wedge X_2$. Используя законы алгебры логики, на основе этих элементарных логических функций можно получить более сложные логические функции.

На рис.3.19. приведены обозначения логических элементов, выполняющие соответствующие логические функции НЕ, ИЛИ, И.

Логические элементы конструируются на основе ключевых схем, которые могут иметь различные конструкторско-технологическое исполнение. Совокупность цифровых микросхем, имеющих единое конструктивно-технологическое исполнение, выполняющих различные логические функции и предназначенные для совместного исполнения, называется **серией** интегральных схем.

Табл. 3.1

X	Y
0	1
1	0

Табл. 3.2

X1	X2	Y
0	0	0
0	1	1
1	0	1
1	1	1

Табл. 3.3

X1	X2	Y
0	0	0
0	1	0
1	0	0
1	1	1

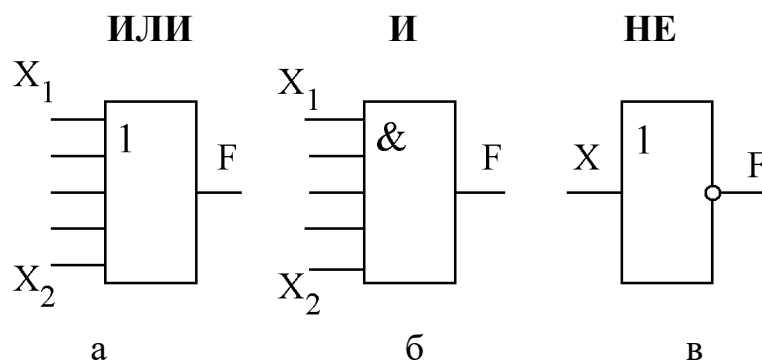


Рис.3.19. Условные обозначения основных логических элементов

По типу принципиальной электрической схемы базового элемента в серии все логические элементы разделяются на элементы **ДТЛ – типа** (диодно – транзисторная логика), **ТТЛ - типа** (транзисторно – транзисторная логика), **ЭСЛ – типа** (эмиттерно – связанная логика), **И²Л – типа** (интегральная инжекционная логика), **МОП** и **КМОП – типа** (логика на полевых транзисторах).

К основным параметрам цифровых микросхем относятся **быстродействие** и **потребляемая** мощность. Быстродействие оценивают по времени задержки распространения сигнала $t_{зд}$, т.е. по интервалу времени от подачи входного импульса до появления выходного; потребляемую мощность $P_{пот}$ – по среднему значению мощности, потребляемой в состоянии “0” и “1”. Важным параметром также является коэффициент разветвления по выходу K_p , равный числу нагрузок, которые можно одновременно подключить к выходу. Он определяет нагрузочную способность логического элемента.

Примером базового элемента **ДТЛ – логики** является схема рис.3.20, выполняющая функцию логического элемента И. Логика положительная, при сигнале “0” на всех входах все диоды открыты, в них и в резисторе R появляются токи, создаваемые источником E_1 и замыкающиеся через источники сигналов, подключенные ко всем входам. Поскольку сопротивление резистора R значительно больше прямого сопротивления диодов, напряжение на нем приблизительно равно E , а напряжение на входе оказывается близким к нулю.

Если напряжение на одном из входов соответствует логической “1” ($E > E_1$), то соответствующий диод закрывается, однако остальные диоды открыты и на выходе по прежнему остается сигнал “0”. Сигнал “1” появится на выходе только тогда, когда на все входы будет воздействовать сигнал “1”, все диоды окажутся закрытыми, ток через резистор будет равен нулю и $U_{вых} = E_1$.

Чтобы получить логический элемент И – НЕ, к элементу по схеме рис.3.20. добавляют инвертор на транзисторе (рис.3.21). Операция И осуществляется диодной частью схемы ($D_1 - D_4, R_1$), а транзисторный каскад с общим эмиттером служит инвертором и преобразует величину напряжения логического уровня, принцип работы которого приведен на рис.3.10.

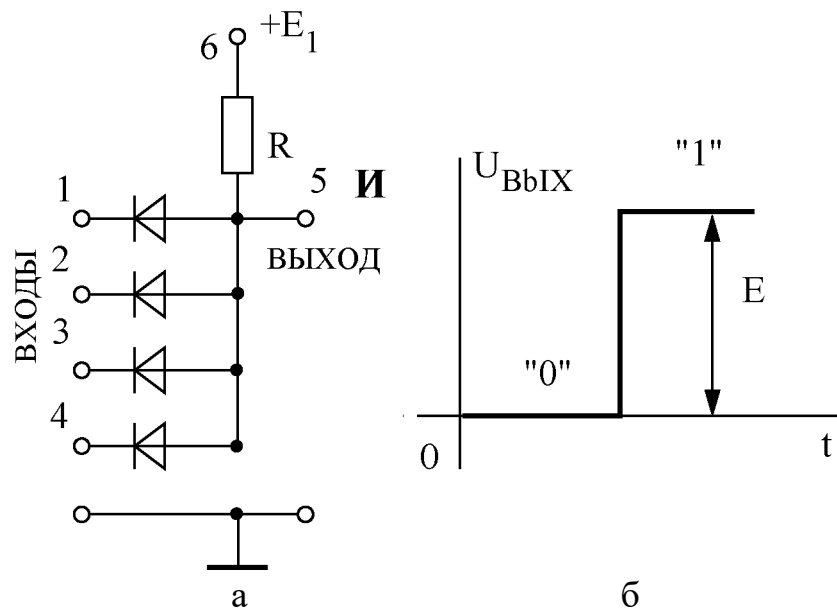


Рис. 3.20. Схема логического элемента И (а) и кодирование его сигналов (б)

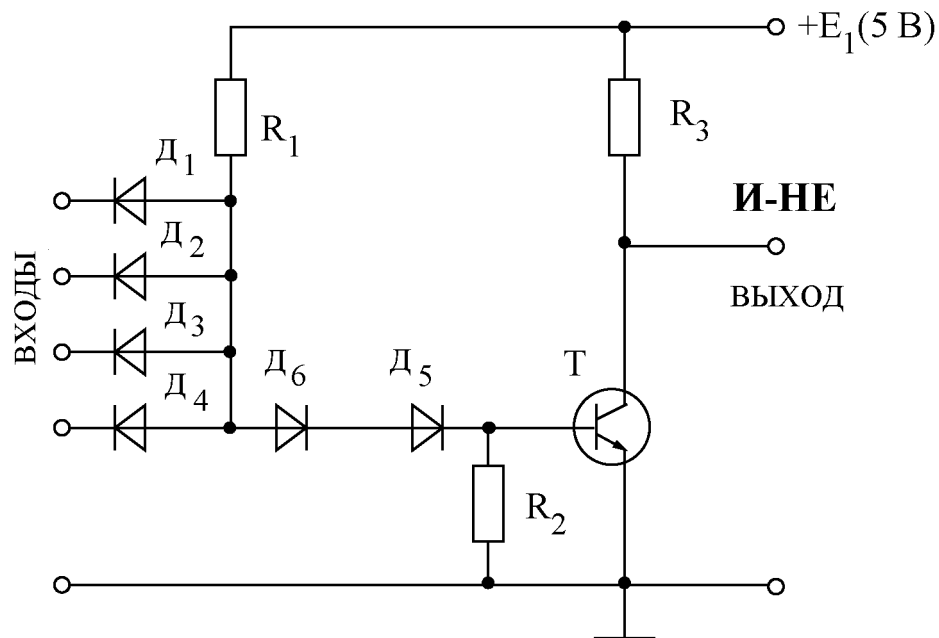


Рис. 3.21. Схема ДТЛ-элемента И-НЕ с простым инвертором

На основе схемы рис.3.21 построена, например, 156, 173 серии микросхем.

ДТЛ – логика обладает низким быстродействием и значительной потребляемой мощностью. Потому она большей степени используется в устройствах управления и автоматики.

Более высоким быстродействием по сравнению с ДТЛ логикой обладает **ТТЛ – логика**.

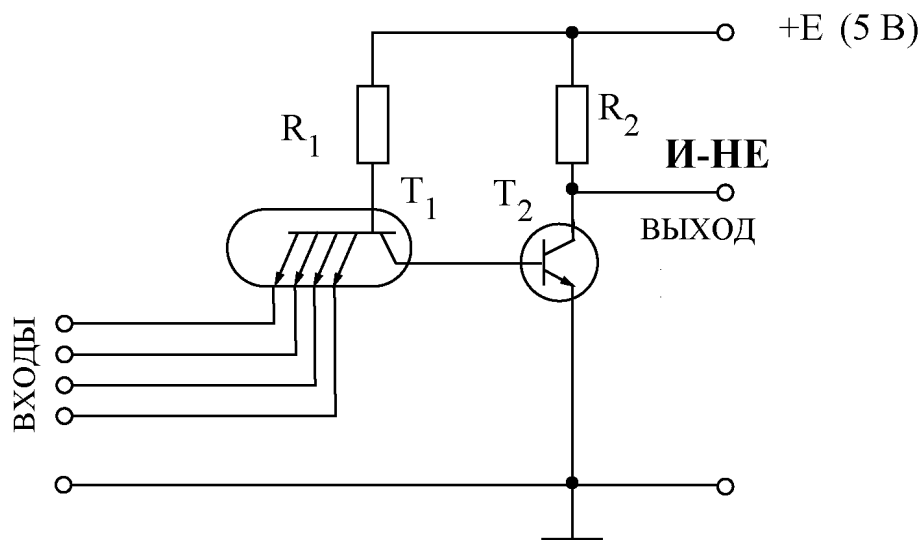


Рис. 3.22. Схема ТТЛ-элемента И-НЕ с простым инвертором

На рис.3.22 приведена схема самого распространенного элемента логики ТТЛ – базового элемента серии К155. Логический элемент этой серии имеет быстродействие $t_{зд} = 9$ нс и $P = 10$ мВт.

Операция И реализуется здесь многоэмиттерным транзистором T_1 , а транзистор T_2 служит в качестве инвертора. Многоэмиттерные транзисторы легко реализуются в интегральной технологии и служат основой ТТЛ-элементов. Если на всех входах (эмиттерах транзистора T_1) действует сигнал “1” (высокий потенциал), то все переходы эмиттер–база транзистора T_1 закрыты. Потенциал базы транзистора T_2 близок к нулю, а переход коллектор – база транзистора T_1 открыт приложенным в прямом направлении напряжением источника +E. Ток коллекторного перехода транзистора T_1 проходит через переход эмиттер – база транзистора T_2 переводя его в режим насыщения, а на выходе появляется сигнал “0” (низкий потенциал). Если на одном из входов появится сигнал “0”, то соответствующий переход эмиттер – база транзистора T_1 откроется и его базовый ток перебросится из коллекторной цепи в эмиттерную. В результате транзистор T_2 закроется и на выходе появится высокий потенциал (“1”). Таким образом, сигнал “0” может быть на выходе только при сигналах “1” на всех входах, что соответствует операции И – НЕ. Перспективной разновидностью логики ТТЛ являются **микросхемы ТТЛШ**, имеющие во внутренней структуре p-n переходы с барьером Шотки (p-n – переходы, внутри или рядом с которыми находится очень тонкий слой металла). Их применение на порядок улучшило соотношение быстродействия / потребляемая мощность. Хорошо известны серии логики ТТЛШ: К531 – высокоскоростная – $t_{зд} = 3$ нс, $P_{пот} = 19$ мВт и К555 – высокоэкономичная – $P_{пот} = 2$ мВт, $t_{зд} = 9,5$ нс, которое служит эффективной заменой для микросхем серии К155.

На рис.3.23 приведена схема такого элемента И – НЕ. Транзистор T_3 выполняет функции эмиттерного повторителя с нагрузкой в виде транзистора T_4 . При воздействии сигнала “1” на все входы транзистор T_2 насыщен, как показано ранее. Следовательно, транзистор T_4 также насыщен из-за высокого

потенциала на его входе (точка а), создаваемого эмиттерным током транзистора T_2 на резисторе R_3 . Благодаря низкому потенциалу коллектора транзистора T_2 (точка б) транзистор T_3 закрыт. При воздействии сигнала “0” хотя бы на один из входов транзистор T_2 закрывается, а транзистор T_3 открывается из-за повышения потенциала точки б и работает как эмиттерный повторитель. Диод Д (Шотки) служит для обеспечения режима смещения транзистора T_3 , т.е. для того, чтобы этот транзистор был закрыт при насыщенном транзисторе T_2 . Прямое напряжение на диоде Д составляет около 0,5 В и служит для запираания транзистора T_3 . Это напряжение создается даже при очень малых (порядка микроампер) токах закрытого транзистора T_3 .

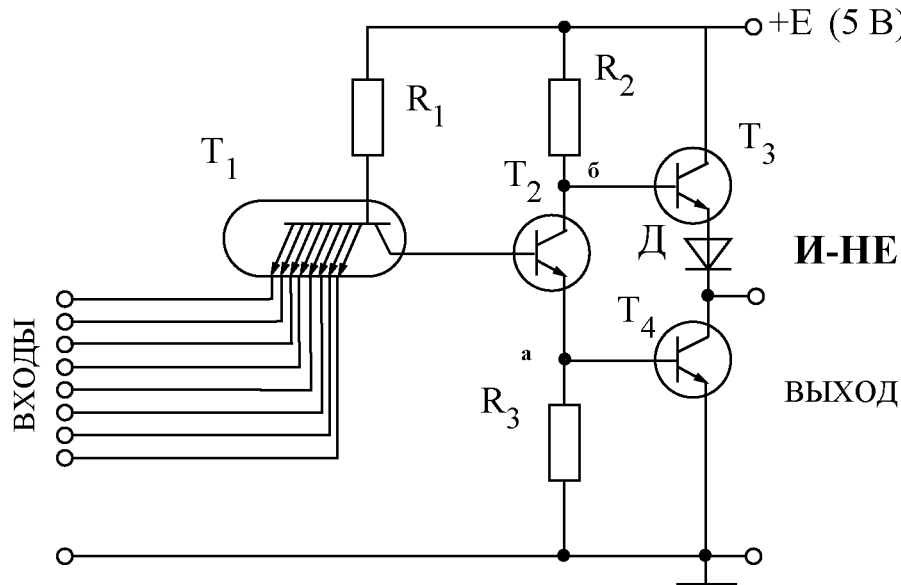


Рис. 3.23. Схема ТТЛШ-элемента И-НЕ со сложным инвертором

ТТЛ и ТТЛШ элементы относятся к положительной логике с логическими уровнями : “1” $\approx 2,4$ В и выше, “0” $\approx 0 \dots 0,4$ В. Тактико – технические данные этих серий микросхем приведены в таблицах 3.4.4 и 3.4.5.

Принципиальная схема логического элемента **типа ЭСЛ**, серия К500 показана на рис.3.24. Особенность ЭСЛ в том, что схема логического элемента строится на основе интегральных дифференциальных усилителей, транзисторы T_1 , T_2 , T_3 которые могут переключать ток и при этом никогда не попадают в режим насыщения из-за наличия в коллекторных и эмиттерных цепях резисторов $R_1 \dots R_6$, ограничивающих этот ток, этим устраняется этап рассасывания избыточных зарядов, поэтому элементы типа ЭСЛ – самые быстродействующие: в настоящее время их быстродействие достигло субнаносекундного диапазона.

Важным достоинством элементов типа ЭСЛ является наличие инверсных выходов, позволяющих реализовать как логическую функцию, так и ее отрицание. Свое функциональное назначение согласно таблице 3.2 элемент рис.3.24 реализует следующим образом.

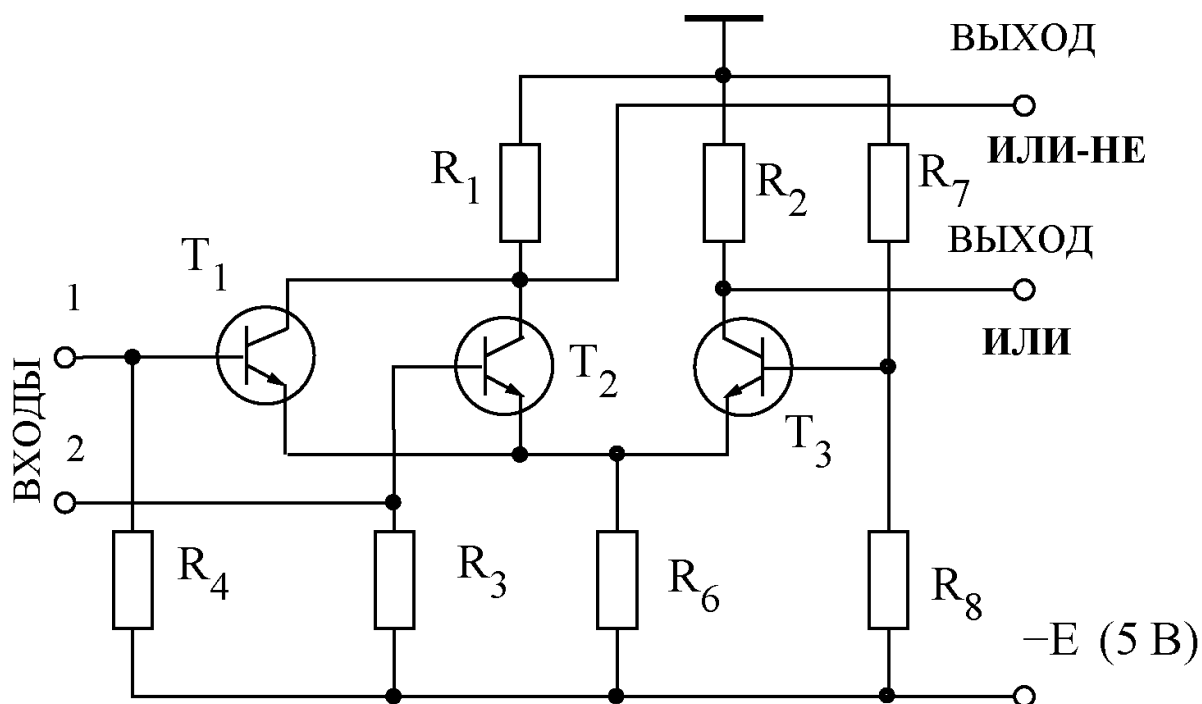


Рис. 3.24. Схема ЭСЛ-элемента ИЛИ/ИЛИ-НЕ

Если на один из входов или оба входа подать напряжение такого значения, что потенциал $U_{бэ}$ транзисторов T_1 или T_2 станет больше порогового значения, то соответствующий или оба транзистора вместе откроются. Ток, протекающий через них, создаст падение напряжения на резисторе R_6 , напряжение $U_{бэ}$ транзистора T_3 падает и напряжение на коллекторе T_3 повышается. Если напряжение на обоих входах низкое и не достигает порогового значения транзисторы T_1 и T_2 закрыты, а транзистор T_3 открыт высоким напряжением на его переходе $U_{бэ}$, электрический потенциал коллектора T_3 падает. Инверсный выход с коллекторов транзисторов T_1 и T_2 реализует функцию ИЛИ–НЕ.

ЭСЛ – относятся к положительной логике с логическими уровнями: “1” \approx - 1,0 В, “0” \approx - 1,65 В. Примерами микросхем на ЭСЛ – логике могут служить серии: К100, К500, К1500, технические параметры которых приведены в таблицах 3.4 и 3.5 .

Существенными преимуществами логических элементов на полевых **МОП (МДП) - транзисторах** перед логическими элементами на биполярных транзисторах являются: малая мощность, потребляемая входной цепью, в результате чего соответственно возрастает коэффициент разветвления по выходу $K_p \gg 10-20$; простота технологического процесса изготовления, сравнительно низкая стоимость, малая потребляемая мощность, большая степень интеграции элементов в кристалле микросхемах.

Однако по быстродействию даже лучшие логические элементы на МОП транзисторах уступают схемам на биполярных транзисторах. Это обусловлено тем, что у них имеются сравнительно большие входные емкости, на перезарядку которых затрачивается определенное время. Кроме того, выходное сопротивление у открытого МОП-транзистора обычно больше, чем

у биполярного, что увеличивает время зарядки конденсаторов нагрузки и ограничивает нагрузочную способность.

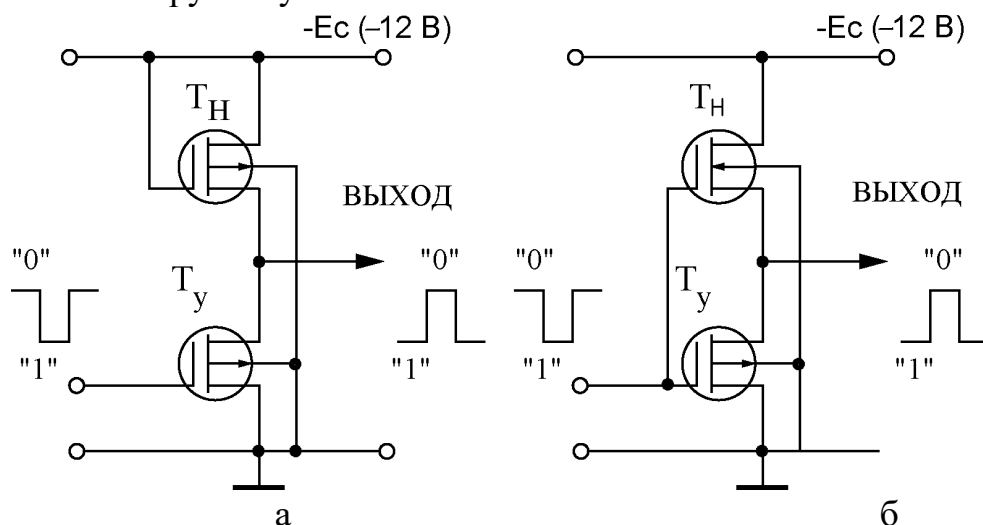


Рис.3.25.

Схема логического элемента НЕ на однотипных МОП-транзисторах (а);
схема логического элемента НЕ на комплементарных МОП-транзисторах (б)

На рис.3.25, а приведена схема элемента НЕ 172 серии микросхем МОП-логики. Логика отрицательная с логическими уровнями; “1” \approx –7,5В, “0” \approx –2,3В.

Транзистор T_y в схеме является управляющим, а транзистор T_n – нагрузочным. Транзисторы выполнены с индуцированным каналом р-типа. Если на входе элемента малая напряженность между затвором и истоком $U_{зи}$, соответствующие логическому уровню “0”, транзистор T_y закрыт, T_n – открыт, и на входе появляется низкое напряжение близкое $-E_c$ и соответствующие логическому уровню “1”. При появлении на вход T_y значительного напряжению $U_{зи}$, соответствующего логическому уровню “1”, транзистор T_y открывается и на входе элемента появляется высокий электрический потенциал соответствующий логическому уровню “0”.

Наиболее перспективны серии, выполненные на **комплементарных МОП - транзисторах** (КМОП – логика) (К176, К561, К564, К765 и др.)

Комплементарными (взаимно дополняющими) называют пару МОП транзисторов со сходными значениями параметров, но с полупроводниковыми структурами взаимно отображенными как бы в виде негатива и позитива. Так на рис.3.25,б транзистор T_y выполнен с индуцированным каналом р - типа , а транзистор T_n - п - типа. Потребляемая мощность сокращается до минимума, так как обеспечивается управление транзистора T_y , T_n , при котором открытому состоянию одного транзистора соответствует закрытое состояние другого. Логика принципа работы этого элемента не отличается от элемента И рис.3.25,а. Отличие заключается в том, что нагрузочный транзистор T_n работает по принципу “закрыт - открыт”, что обеспечивает минимальное потребление элемента.

Схема элементов ИЛИ - НЕ, И - НЕ в КМОП – логиках получают путем последовательного соединения группы транзисторов одного типа и параллельного соединения группы транзисторов другого типа,

представляющие собой элементы И рис.3.25,б. Для примера на рис.3.26 а и б приведены схемы логических элементов ИЛИ – НЕ (а) и И – НЕ (б).

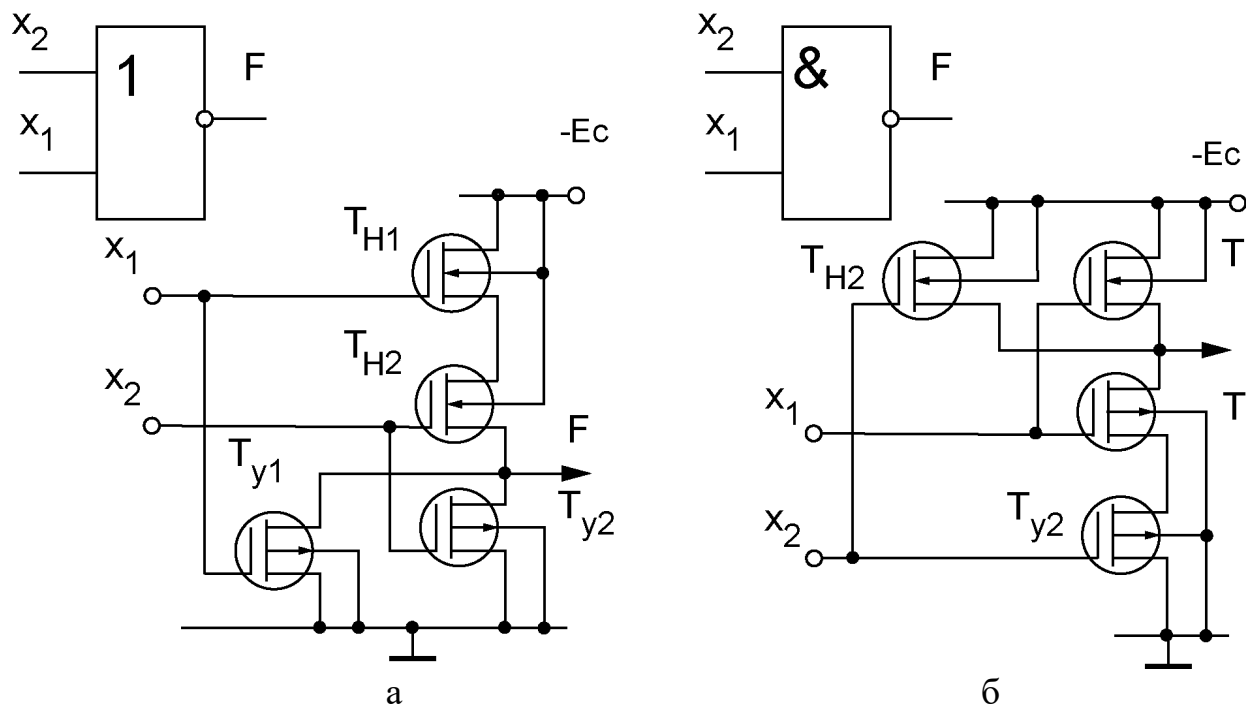


Рис. 3.26. Схемы логических элементов ИЛИ-НЕ (а) и И-НЕ (б) на дополняющих МОП транзисторах

Принцип анализа выполнения элементов своих логических функций не отличается от подхода к анализу выполнения своих функциональных назначений элементов ДТЛ, ТТЛ, ЭСЛ – логик.

Тактико-технические данные серии микросхем МОП и КМОП – логик приведены в таблицах 3.4 и 3.5.

Помимо рассмотренных существуют элементы других типов, например И²Л (интегральная инжекционная логика), КНС (кремний на сапфире), арсенид галлия и др., и обладающие высоким быстродействием и малой мощностью потребления энергии.

В таблице 3.4 и 3.5 для сравнения приведены основные параметры соответственно логических элементов различных типов и серий микросхем. Приведены параметры: напряжения питания E_n , мощность потребления одним элементом $-P_{пот}$, время задержки распространения $-t_{зд}$, коэффициент разветвления по выходу – K_p , $f_{макс}$ – максимальная частота переключений. Общие сведения о микросхеме указываются в её условном обозначении, нанесённом на корпусе. Оно включает в себя номер серии микросхемы (обычно три или четыре цифры), перед которым может быть одна или две буквы. У микросхем широкого применения первой ставят букву К, вторая буква характеризует материал корпуса для защиты от воздействия внешней среды (Р—пластмассовый, М или С — металло- или стеклокерамический соответственно). За номером серии следуют две буквы, поясняющие функциональное назначение. Для всех логических элементов первой из них следует буква Л, вторая буква определяет тип логического элемента (И—

элемент И, Л—ИЛИ, Н—НЕ, Д—расширитель по ИЛИ, А—элемент И – НЕ, Е—элемент ИЛИ – НЕ, Р—комбинированный элемент И – ИЛИ – НЕ). Цифра в конце условного обозначения соответствует порядковому номеру

Таблица 3.4

ОСНОВНЫЕ ПАРАМЕТРЫ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ РАЗЛИЧНЫХ ТИПОВ

Тип Элемента	Еп, В	Рпот, мВт	Тзд, нс	Кр
ДТЛ	5	9	25	7
ТТЛ	5	10	10	10
п-МОП	5	0.5	30	20
р-МОП	+5; -12	0.5	100	20
КМОП	5—15	0.3—3 мкВт/кГц*	90—30	50
ЭСЛ	-5.2	8—40	2	15
И ² Л	1	0.001—0.1	1000—10	3

* Мощность пропорциональна частоте переключений (при частоте 1 кГц мощность равна 0.3—3 мкВт).

Таблица 3.5

НЕКОТОРЫЕ ПАРАМЕТРЫ ОТЕЧЕСТВЕННЫХ МИКРОСХЕМ

Серия	Рпот, мВт	Тзд, нс	Fмакс, мГц	Кр	Схемотехника
131	22	6	До 35	10—30	ТТЛ
133	10	10			
134	10	33			
155	10	10			
531	19	3	125	20—150	ТТЛШ
533	2	9.5	45		
555	2	9.5	45		
1531	2.7	3	130		
1533	1.2	4	100		
561	0.002	45	10	8—20	КМОП
564	0.002	45	10		
1554	0.0025	3.5	125		
1564	0.0025	10	30		
500	8—25	2.9		10—15	ЭСЛ
1500	40	1.5			

Наибольшее распространение получили логические ТТЛ-, ЭСЛ-, КМОП-элементы. Технологии п-МОП и И²Л используют только в БИС.

разработки в составе данной серии микросхем. Например: микросхема КР1533ЛА24 представляет собой ИС широкого применения (первая буква К), в пластмассовом корпусе (вторая буква Р), имеет номер серии 1533 (ТТЛШ – схемотехника), относится к группе логических элементов (буква Л), по функциональному назначению это элемент типа И-НЕ (вторая буква А) с порядковым номером разработки 24.

3.5. Триггеры

Одно из наиболее распространённых импульсных устройств, относящихся к базовым элементам цифровой техники, — триггер (от англ. trigger — спусковой крючок).

Триггером называются электрические схемы, способные сохранять два устойчивого состояния равновесия электрических потенциалов “0” и “1” при окончании действия входных импульсов. Они широко используются для формирования прямоугольных импульсов, счётчиках импульсов, регистрах памяти и т. д.

По функциональному признаку различают R-S, D, T, J-K триггеры. По способу управления триггеры подразделяют на асинхронные и тактируемые. В **асинхронных** триггерах переключение из одного состояния в другое осуществляется непосредственно с поступлением сигнала на отдельные информационные входы. В **тактируемых** триггерах помимо информационных входов имеется вход тактовых импульсов. Их переключение осуществляется только при наличии разрешающего, тактирующего импульса.

Асинхронный R-S – триггер является наиболее простым, однако получившим широкое распространение в импульсной технике. В частности, они служат основой триггеров других типов и требуют для своего построения всего два базовых логических элемента.

В современной электронике триггеры выполняются, как правило, в виде микросхем, построенных на основе логических элементов, или на ОУ в виде триггера Шмитта (см. раздел 3.3).

На рисунке 3.27а приведена структурная схема асинхронного R-S триггера на логических элементах ИЛИ-НЕ, его таблица истинности (таблица 3.6). Состоянию логической “1” соответствует $Q = 1$, $\bar{Q} = 0$, состоянию логического “0” – $Q = 0$, $\bar{Q} = 1$, которые принимает триггер в момент времени t^n и в следующий момент времени t^{n+1} , после прихода на входы R и S очередных импульсов. Из таблицы 3.6 следует, что при $S=R=0$ триггер сохраняет предыдущее состояние Q^n .

При $S=R=1$ триггер принимает неопределённое состояние X, поэтому такая комбинация входных сигналов является запрещённой. R-S триггер является триггером с отдельным по входам R и S запуском. Условное его изображение показано на рисунке 3.27б.

Таблица 3.6

t^n		t^{n+1}
S	R	Q^{n+1}
0	1	0
1	0	1
1	1	X
0	0	Q^n

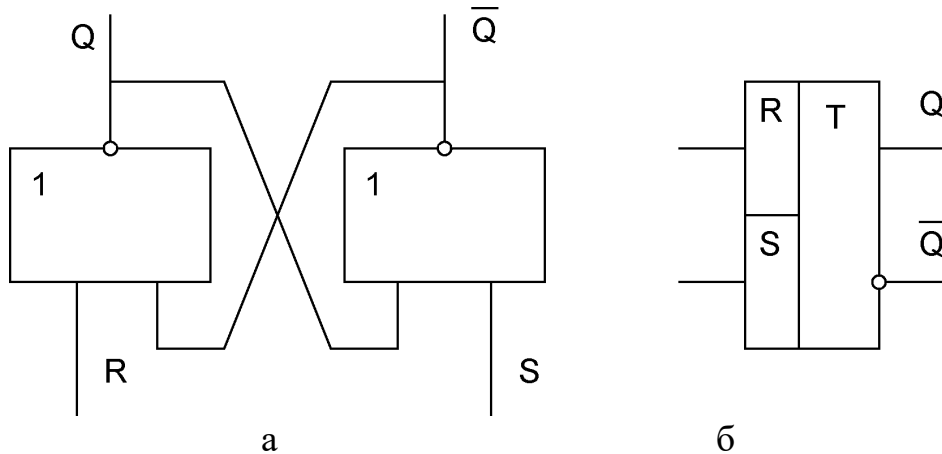


Рис. 3.27. Структурная схема (а) и таблица истинности (б)
R-S триггера на логических элементах **ИЛИ-НЕ**

D-триггеры имеют один информационный вход. Состоянию логической “1” соответствует единица на входе, а состоянию логического “0” – нулевой уровень входного сигнала. На практике наиболее часто применяются тактируемые D-триггеры. Условное обозначение

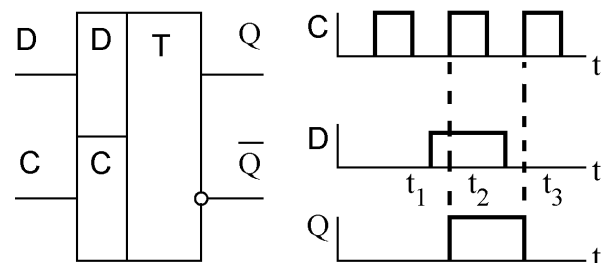


Рис. 3.28. Обозначение и временные диаграммы работы D-триггера

D-триггера и временные диаграммы его работы приведены на рисунке 3.28. Из диаграммы видно, что при наличии информационного сигнала на D входы в моменты $t_1 - t_2$ триггер не переключается. При приходе тактового импульса он перекинется (момент t_2), и примет исходное состояние при следующем тактовом импульсе в момент t_4 . Таким образом D-триггер характеризуется задержкой во времени переключения триггера при приходе на его информационный D вход сигнала. D-триггеры конструируются на основе R-S триггеров.

Т-триггер – триггер с счётным Т-входом. Характерным свойством Т-триггера является его переключение в противоположное состояние с приходом каждого очередного входного импульса. В виду его широкого применения в счётчиках импульсов его часто называют триггером **со счётным запуском**. Обычно он выполняется на базе R-S триггеров. Его условное обозначение приведено на рисунке 3.29а. Т-триггер может выполняться синхронным (рисунок 3.29б). В этом случае он имеет дополнительный вход С, на который подаются синхронизирующие импульсы.

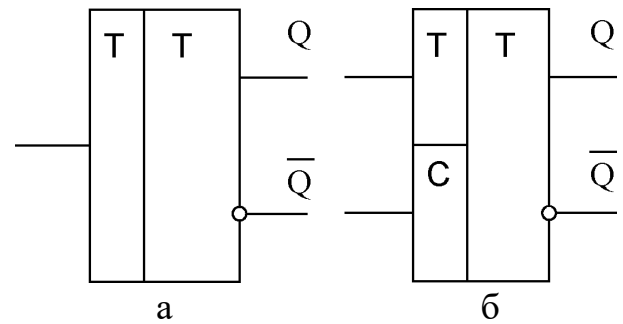


Рис. 3.29. Т-триггер

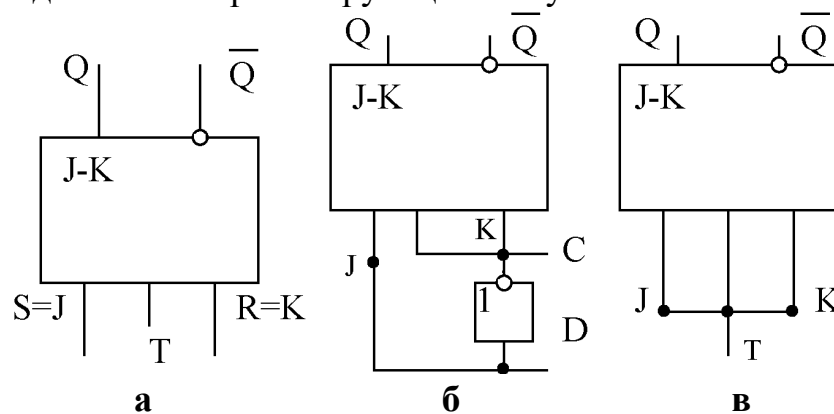


Рис. 3.30. Схемы включения J-K триггера

Ж-К триггер получают на основе Т-триггеров. Они имеют дополнительные входы Ж и К. Наличие двух дополнительных входов расширяет функциональные возможности триггеров, в связи с чем Ж-К триггеры называют **универсальными**. При соответствующем включении Ж и К входов триггера могут быть получены R-S, D и Т-триггеры. При этом R-S, D-Т – триггеры получают подачей на вход Ж сигнала S, а на вход К сигнала R. D-триггер создают (рисунок 3.30б) введением инвертора между входами Ж и К. Т-триггер (рисунок 3.30в) реализуют подключением Ж и К входов к входу Т.

В условном обозначении микросхемы триггера после номера серии имеют две буквы, первая из которых для всех триггеров буква Т, а вторая указывает тип триггера (В – ЖК-триггер, Р – RS-триггер, М – D-триггер, Т – счётный триггер). Например, микросхема К555ТВ6 представляет собой два синхронных ЖК-триггера.

3.6. Счетчики импульсов

Подсчёт числа импульсов является наиболее распространённой операцией в устройствах цифровой обработки информации. Повышенный интерес к таким устройствам объясняется их высокой точностью, возможностью

применения регистрирующих приборов с непосредственным цифровым представлением результата, а также возможностью осуществления связи с ЭВМ.

В устройствах цифровой обработки информации измеряемый параметр (угол поворота, перемещение, скорость, частота, время, температура и т.д.) преобразуются в импульсы напряжения, число которых в соответствующем масштабе характеризует значение данного параметра. Эти импульсы подсчитываются счётчиками импульсов и выражаются в виде цифр.

Счётчик – устройство, предназначенное для счёта числа электрических импульсов, поступающих на его вход. Счётчики импульсов выполняются на основе триггеров. Счёт импульсов производится с использованием двоичной системы счисления.

Наиболее простым счётчиком является двоичный счётчик. Такой счётчик (рисунок 31) состоит из “n” триггеров (регистров) со счётным запуском. Максимальное число импульсов, которое может сосчитать счётчик при последовательном соединении триггеров составит $N = 2^n - 1$. Для четырёхразрядного двоичного счётчика (рисунок 31) $N = 2^4 - 1 = 15$. Временная диаграмма состояний счётчика приведена на рисунке 32.

Перед поступлением счётных импульсов все разряды счётчика устанавливаются в состояние “0” ($Q_1=Q_2=Q_3=Q_4=0$) подачей импульсов на входе R – «установка нуля». После поступления первого счётного импульса первый разряд переходит в состояние $Q_1 = 1$. В счетчике записывается число 1 с двоичным кодом 1000. По окончании действия второго импульса первый разряд счетчика переходит «0», второй – «1». В счётчике записывается число 2 с двоичным входом 0010. Подобным же образом осуществляется работа счётчика при последующих счётных импульсах (смотри рисунок 3.32 и таблицу 3.4.7). При поступлении 15-го импульса все разряды счётчика устанавливаются в состояние “1”, а 16-ым импульсом все разряды обнуляются.

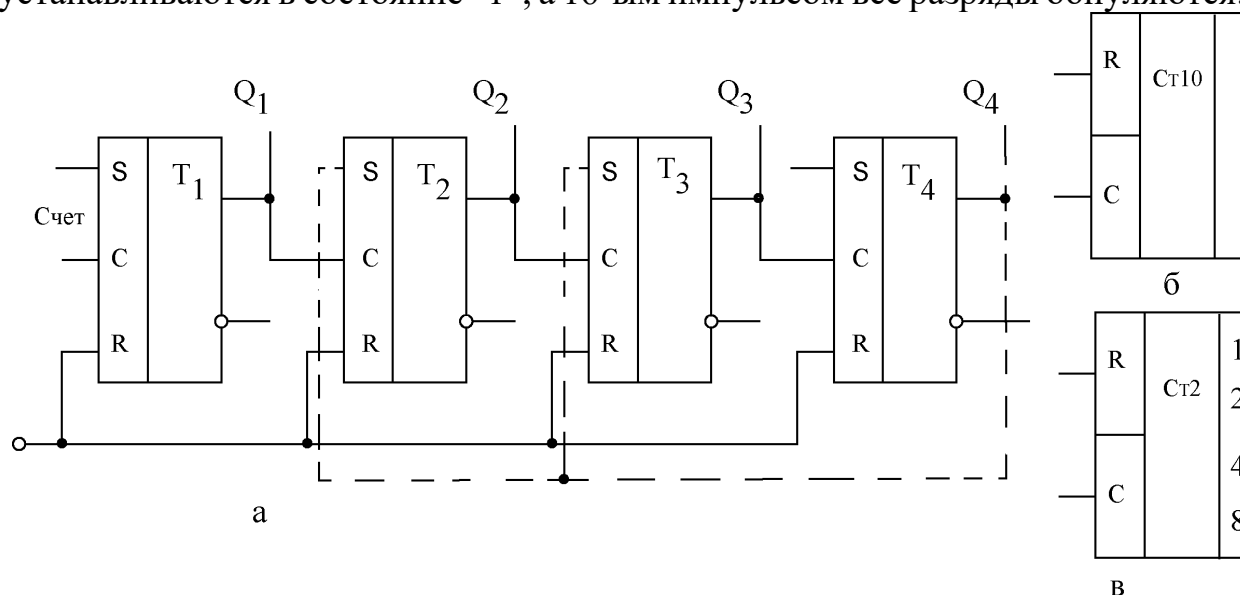


Рис. 3.31. Схема четырехразрядного счетчика (а);
условное обозначение десятичного (б) и двоичного (в) счетчиков

Таблица 3.7

№ имп	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
Q_1	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
Q_2	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0
Q_3	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1	0
Q_4	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	0

В процессе работы двоичного счётчика частота следования импульсов на выходе каждого последующего триггера уменьшается вдвое по сравнению с частотой его входных импульсов (смотри рисунок 3.32). Это свойство схемы используют для построения делителей частоты.

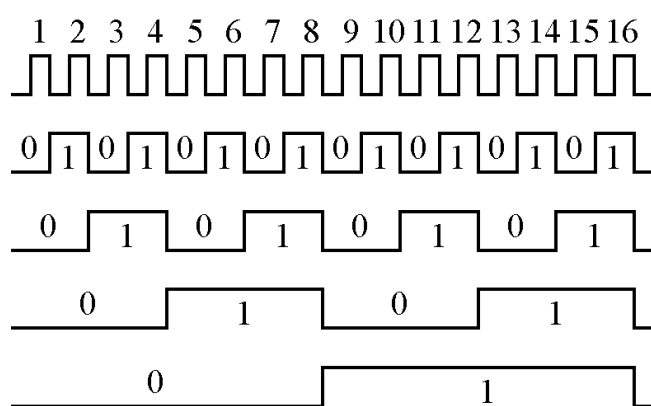


Рис. 3.32. Временные диаграммы работы двоичного счетчика

В большинстве электронных устройств необходимо отображать показания счётчика на индикации. Наиболее удобна десятичная индикация. Для этих целей создаются двоично-десятичные счётчики. Их особенностью является счёт до 10 с последующим сбросом. Построение такого счётчика возможно на базе четырехразрядного двоичного счётчика с исключением избыточных состояний. Для этого в схему счётчика вводят дополнительные обратные связи (смотри рисунок 3.31 – пунктир) с выхода триггера T_4 на входы триггеров T_2 и T_3 . Состояния разрядов двоично-десятичного счётчика приведены в таблице 3.8.

Таблица 3.8

№ имп	1	2	3	4	5	6	7	8		9	10
Q_1	1	0	1	0	1	0	1	0	0	1	0
Q_2	0	1	1	0	0	1	1	0	1 ←	1	0
Q_3	0	0	0	1	1	1	1	0	1 ←	1	0
Q_4	0	0	0	0	0	0	0	1	1	1	0

До восьмого импульса счёт идёт как у двоичного счётчика. Далее в четвёртом разряде счётчика появляется “1”, которая через дополнительные связи схемы переводит 2-й и 3-й разряды в состояние “1”. Девятый импульс

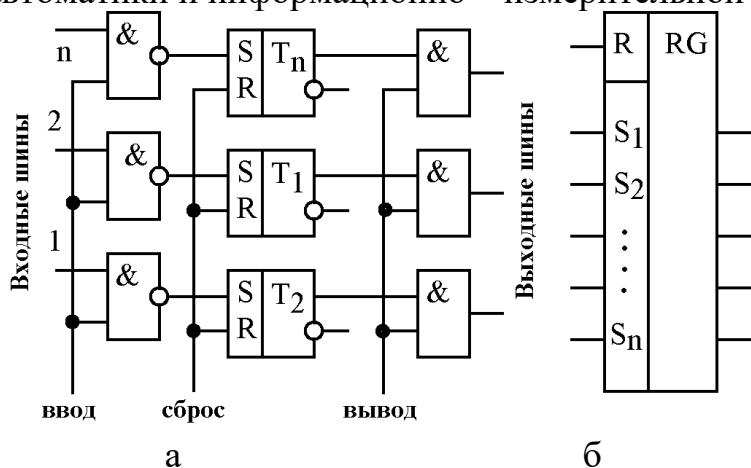
переводит первый разряд и все другие в “1”, а десятый обнуляет счётчик и счёт начинается снова.

Микросхемы счётчиков после номера серии обозначают буквами ИЕ. В настоящее время выпускается довольно обширная их номенклатура. Так счётчик К555ИЕ18 представляет собой счётчик на ТТЛ - элементах.

3.7. Регистры, дешифраторы, мультиплексоры

Регистром называют устройство, предназначенное для записи и хранения дискретного «слова» – двоичного числа или другой кодовой комбинации.

Регистр – один из основных элементов ЭВМ и многих устройств автоматики и информационно – измерительной техники.



Основные элементы регистра – двоичные ячейки, в качестве которых применяются триггеры. Число ячеек определяется числом двоичных разрядов «слова» (длиной слова), на которое рассчитан регистр.

Рис. 3.33. Схема (а) и условное обозначение (б) регистра

На рисунке 3.33 приведены схема и условное обозначение n – разрядного регистра на RS – триггерах. Информация в ячейки регистра записывается по команде «ВВОД» (“1” на входе «ВВОД»). Тогда сигналы n входов установят в соответствующие состояния триггеры $T_1 – T_n$. На выходе регистра информация появится по команде «ВЫВОД», в её отсутствие на выходах – нули. При считывании информация в регистре сохраняется.

Описанный регистр может запоминать и выдавать информацию только в параллельных кодах, когда каждому разряду соответствует отдельная линия. Более экономичная передача информации в последовательных кодах, когда используется одна линия для последовательной (во времени) передачи комбинации нулей и единиц. Для записи и хранения информации в последовательных кодах применяют сдвигающие (сдвиговые) регистры. На рисунке 3.34 приведены схема и условное обозначение сдвигающего регистра на JK – триггерах (MS – типа). Здесь информация, поступившая на информационный вход, по окончании каждого синхронизирующего импульса передаётся («продвигается») из предыдущего триггера в последующий.

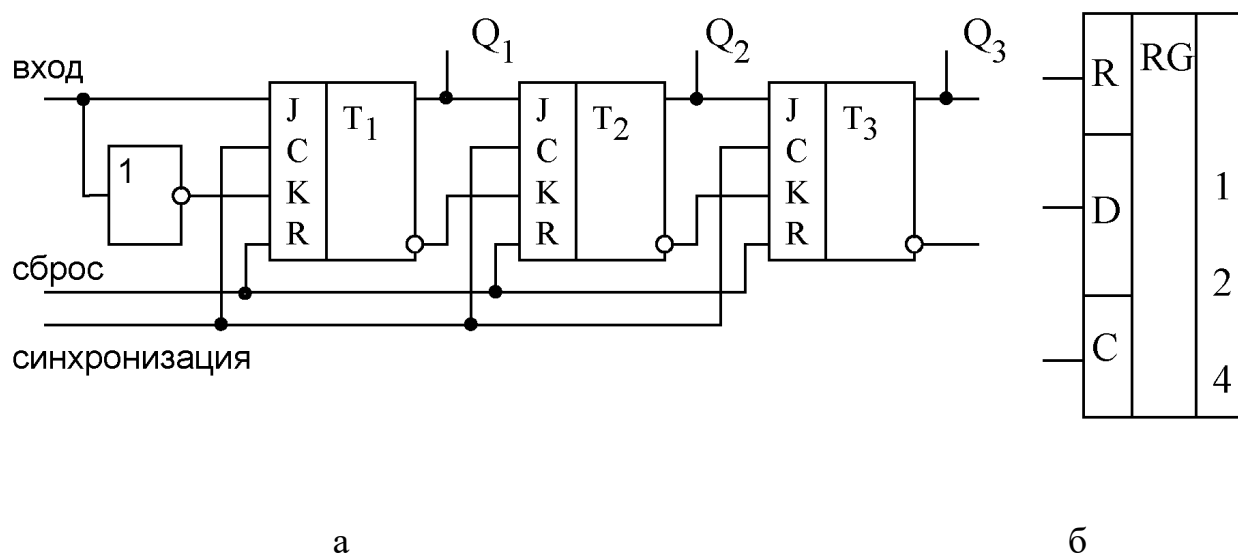


Рис. 3.34. Схема (а) и условное обозначение (б) сдвигающегося регистра с последовательным вводом информации

Считывать информацию из сдвигающегося регистра можно либо в последовательном коде с выхода Q_3 , продвигая информацию через все разряды регистра к выходу, либо в параллельном коде одновременно с выходов Q_1, Q_2, Q_3 .

Также существуют регистры сдвига с параллельным вводом информации.

Дешифратором (декодером) называют устройство, предназначенное для распознавания различных кодовых комбинаций (слов).

Каждому слову на входе дешифратора соответствует “1” на одном из его выходов. Такой дешифратор может применяться, например, для управления работой нескольких исполнительных механизмов. Тогда для включения одного из них на входы дешифратора достаточно подать присвоенный этому механизму цифровой код.

В более общем случае каждой определённой комбинации на m входах дешифратора соответствует n – элементный код на его выходах. Такие дешифраторы иногда называют преобразователями кодов. Они широко используются в вычислительной технике, а также в приборах с цифровой индикацией, например, для управления индикаторами на светоизлучающих диодах. Поскольку десятичные цифры (от 0 до 9) представляются 4 – разрядным двоичным кодом, а стилизованные изображения всех десятичных цифр в известных типах светодиодных индикаторов чаще всего составляют из семи светящихся сегментов (рисунок 3.35б), такой дешифратор должен иметь 4 входа, 7 выходов и распознавать только первые десять из 16 возможных входных кодовых комбинаций.

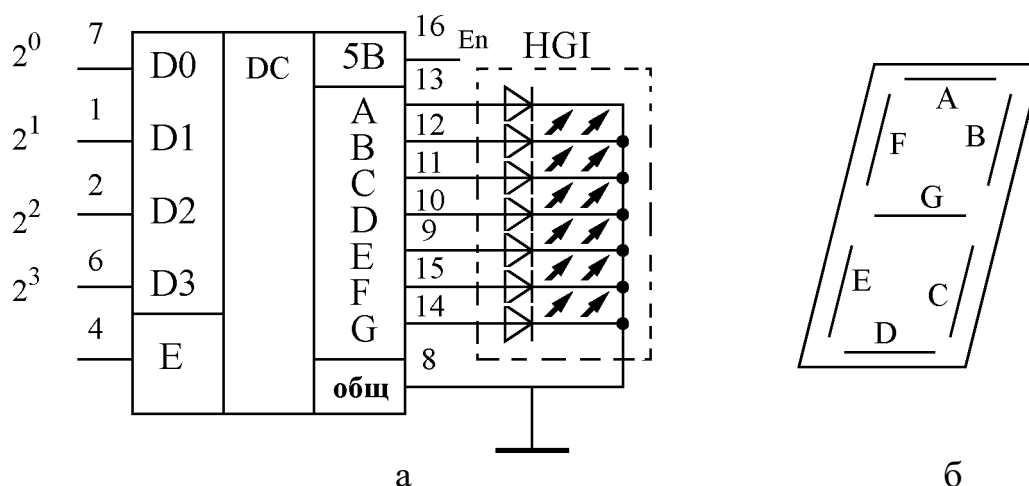


Рис.3.35. Дешифратор: (а) схема подключения ТТЛ-дешифратора К514ИД1, (б) обозначение семисегментного индикатора

Условное обозначение микросхем дешифраторов на корпусе микросхемы после номера её серии имеет первой букву И (для всех цифровых устройств), а второй – букву Д. На рисунке 3.35а представлена схема подключения ТТЛ – дешифратора К514ИД1 для управления семи сегментным цифровым индикатором на светодиодах с объединёнными катодными выводами. Дешифратор работает обычным образом при высоком уровне сигнала на входе Е. Сигнал низкого уровня на этом входе независимо от информации на входах $D_0 - D_3$ переводит все выходы дешифратора в состояние логического нуля, в результате чего все светодиоды гаснут.

Таблица 3.9 иллюстрирует порядок функционирования двоично-десятичного семи сегментного дешифратора.

Таблица 3.9

ТАБЛИЦА СОСТОЯНИЙ ДВОИЧНО-ДЕСЯТИЧНОГО СЕМИСЕГМЕНТНОГО ДЕШИФРАТОРА

Циф- ра	Двоично- десятичный код				Семи сегментный выход						
	2^3	2^2	2^1	2^0	A	B	C	D	E	F	G
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	1	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	1	0	1	1

Дешифраторы выпускаются в виде интегральных микросхем, например трёхразрядный дешифратор К500ИД162М, преобразующий двоичный код в

восьмеричный, четырёхразрядные преобразователи двоичного кода в десятичный К176ИД1 и К155ИД1. Дешифратор К155ИД1 позволяет подключать непосредственно к выходам катоды цифровых газоразрядных индикаторов ИН-16(ИН-4, ИН-12, ИН-14) с анодным напряжением 170 – 200 В и током катода не более 7 мА. Существуют также микросхемы, объединяющие счётчик с дешифратором, например микросхемы К176ИЕ3.

В тех случаях, когда требуется последовательно опросить логические состояния многих устройств и передать их на один выход, применяется устройство, называемое **мультиплексором**.

Мультиплексоры выпускают в виде микросхем, например К155КП2 (четырёхканальный мультиплексор 4×1) или К155КП1 (шестнадцатиканальный мультиплексор 16×1).

3.8. Цифроаналоговые и аналого-цифровые преобразователи (ЦАП и АЦП)

Поскольку информация на входах цифровых устройств обычно представляется в двоичном коде, а большинство исполнительных механизмов для автоматизированного управления технологическими процессами (исполнительные двигатели, электромагниты и тому подобные), как правило, реагируют на непрерывно изменяющиеся уровни напряжения или тока, для преобразования информации из цифровой в аналоговую форму используют **цифроаналоговые преобразователи (ЦАП)**. Помимо широкого промышленного применения ЦАП используются в современной бытовой электронике, например, в системах высококачественного воспроизведения звука, записанного в цифровой форме на световых носителях информации.

В системах автоматизированного управления для получения информации о состоянии контролируемого промышленного оборудования применяют различного рода преобразователи (датчики) неэлектрических величин в электрические сигналы, которые чаще всего представляются в аналоговом виде. Для последующей обработки этой информации при помощи цифровых устройств такие сигналы должны быть предварительно преобразованы в цифровую форму. В самом общем случае преобразование аналог – цифра выполняют в два этапа. В начале непрерывно изменяющийся сигнал заменяют его значениями в дискретные моменты времени, что называют дискретизацией во времени. Затем эти значения сигнала подают на вход **аналого-цифровых преобразователей (АЦП)**, которые с некоторым шагом ΔU квантования по уровню представляют их цифровым эквивалентом в виде двоичного кода.

Основными характеристиками ЦАП и АЦП являются быстродействие и погрешность преобразования, определяемая абсолютной погрешностью преобразования и относительной разрешающей способностью. Быстродействие ЦАП и АЦП характеризуется временем преобразования: для ЦАП это отрезок времени после поступления входного двоичного кода до установления его выходного аналогового сигнала; для АЦП – интервал времени от его пуска до момента получения выходного двоичного кода.

Абсолютная погрешность преобразования равна половине шага квантования по уровню ΔU . При шаге квантования ΔU , например, n – разрядный ЦАП должен обеспечивать 2^n различных значений выходного напряжения, максимальное значение которого называют напряжением шкалы $U_{шк}$, связанным с ΔU соотношением $U_{шк} = (2^n - 1)\Delta U$. Относительной разрешающей способностью δU называют отношение шага квантования по уровню ΔU к напряжению шкалы. Для n -разрядных ЦАП и АЦП $\delta U = \frac{1}{2^n - 1}$.

Цифроаналоговые преобразователи. ЦАП представляют собой устройства для создания аналогового выходного значения напряжения (или тока), соответствующего числовому эквиваленту двоичного цифрового кода на его входе. Зависимость выходного параметра ЦАП, например, напряжения на его выходе, от кодового эквивалента входного сигнала называют характеристикой преобразования. На рисунке 3.36а представлена характеристика преобразования четырёхразрядного ЦАП.

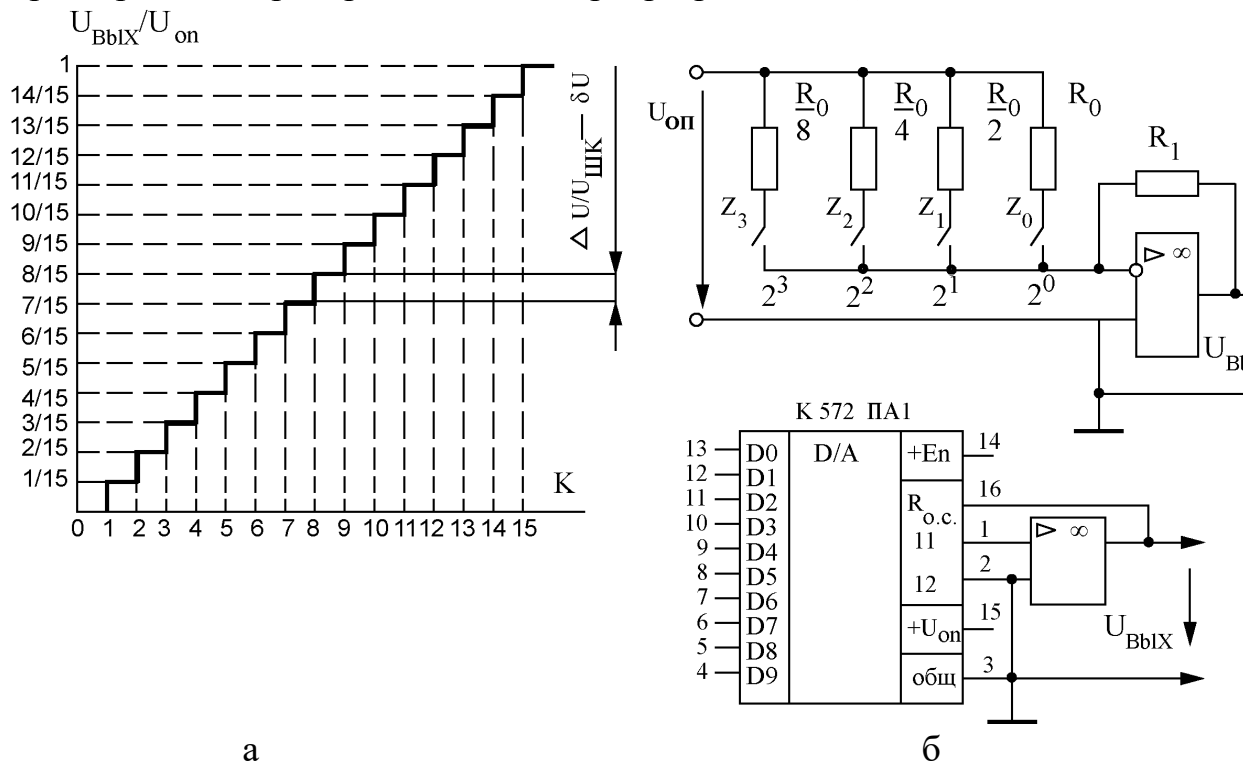


Рис. 3.36. Цифро-аналоговый преобразователь

Принцип действия простейшего ЦАП поясняет схема на рисунке 3.36б. Основу ЦАП составляет матрица резисторов, подключаемых ко входу операционного усилителя ключами, которые управляются двоичным кодом (например, параллельным кодом регистра или счётчика).

Коэффициенты передачи $K = -\frac{U_{BblX}}{U_{оп}}$ по входам 2^0 , 2^1 , 2^2 и 2^3 равны

соответственно:

$$K_0 = \frac{R_1}{R_0} z_0 \quad K_1 = \frac{2R_1}{R_0} z_1 \quad K_2 = \frac{4R_1}{R_0} z_2 \quad K_3 = \frac{8R_1}{R_0} z_3$$

где $z_0 - z_3$ - числа, принимающие значения 0 и 1 в зависимости от положения соответствующих ключей.

Выходное напряжение ЦАП определяется суммой:

$$U_{\text{ВЫХ}} = -U_{\text{ОП}}(K_0 + K_1 + K_2 + K_3) = -U_{\text{ОП}} \frac{R_1}{R_0}(z_0 + 2z_1 + 4z_2 + 8z_3)$$

Таким образом, четырёхразрядный двоичный код преобразуется в уровень $U_{\text{ВЫХ}}$ в диапазоне от 0 до $15\Delta U$, где ΔU - шаг квантования. Для уменьшения погрешности квантования необходимо увеличивать число двоичных разрядов ЦАП.

Микросхемы ЦАП после номера серии в обозначении первой имеют букву П (для всех преобразователей), а второй – букву А. На рисунке 3.36в представлена интегральная схема типа К572ПА1, представляющая собой выполненный на основе КМОП - технологии десятиразрядный ЦАП с временем преобразования не более 5 микросекунд. К сожалению, при разработке этой интегральной схемы технологически не удалось на одной подложке вместе с КМОП – ключами и (R-2R)-матрицей выполнить и схему ОУ, поэтому ЦАП К572ПА1 всегда дополняют внешней микросхемой ОУ, подключение которой также показано на рисунке 3.36в. В заключение отметим, что ЦАП К572ПА1 обеспечивает уникальную возможность выполнить операцию умножения аналоговой величины $U_{\text{ОП}}$ на другую величину, задаваемую двоичным цифровым кодом на входах D0—D9, при этом результат умножения представляется также в аналоговом виде выходным напряжением ЦАП. По этой причине ЦАП К572ПА1 иногда называют умножающим.

Аналогово-цифровые преобразователи АЦП представляют собой устройство для сопоставления цифрового двоичного кода уровню аналогового сигнала на его входе. Характеристикой преобразования АЦП называют зависимость числового эквивалента двоичного кода на выходе АЦП от нормированного к напряжению шкалы входного аналогового сигнала $\frac{U_{\text{ВХ}}}{U_{\text{ШК}}}$.

Она также представлена многоступенчатой ломаной линией, подобной изображённой на рисунке 3.36а, с той лишь разницей, что для четырёхразрядного АЦП оси абсцисс и ординат меняются местами.

В настоящее время наибольшее распространение получила классификация интегральных АЦП на основе рассмотрения характера развития в них процесса преобразования во времени. Согласно такому подходу все интегральные АЦП можно разбить на три типа: последовательного действия (развёртывающего типа) и параллельного действия (параллельного типа). К АЦП развёртывающего типа относят АЦП с последовательным счётом, с поразрядным уравниванием (последовательных приближений) и интегрирующие АЦП.

Структурная схема АЦП последовательного счёта представлена на рисунке 3.37. Постоянное (в течение времени действия импульса считывания,

длительность которого выбирается чуть меньше периода дискретизации $T_D = \frac{1}{f_D}$) положительное напряжение U_{BX} поступает на неинвертирующий вход ОУ DA1, работающего в режиме компаратора. На инвертирующий вход DA1 подаётся выходное напряжение ЦАП DA2 (например, с генератора линейно изменяющегося напряжения), цифровые входы которого подключены к выходам двоичного счётчика СТ2. В исходное нулевое состояние счётчик СТ2 устанавливается импульсом на его входе сброса. АЦП запускается импульсом на входе «Пуск», разрешающем работу счётчика СТ2, на счётный вход которого поступают тактовые импульсы, следующие с частотой повторения f_T .

Двоичный код на выходах счётчика пробегает значения натурального числового ряда, а напряжение на выходе DA2 ступенчато нарастает в соответствии с его характеристикой преобразования. В момент времени, когда это напряжение сравнивается с U_{BX} , срабатывает компаратор DA1, прекращая работу счётчика. Изменение состояния DA1 используется в качестве сигнала «Конец преобразования», а выходной код счётчика соответствует цифровому эквиваленту входного аналогового сигнала.

Большим быстродействием обладают ЦАП и АЦП параллельного действия, например, К1107ПВ2.

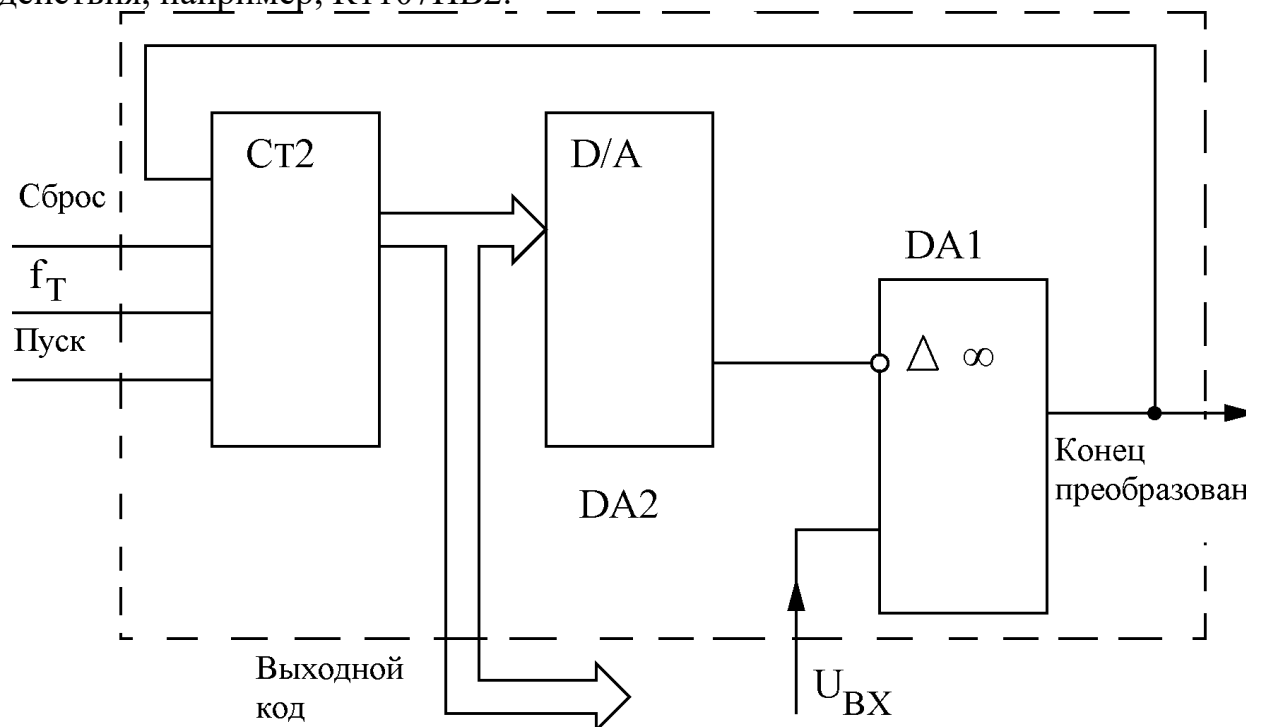


Рис. 3.37. Аналоговый-цифровой преобразователь последовательного счета.

3.9. Основные сведения о микропроцессорах

История развития современных средств вычислительной техники насчитывает около 50 лет, однако, за этот период уже сменилось четыре

поколения ЭВМ, существенно отличающихся друг от друга своей элементной базой.

Первое поколение ЭВМ составляли громоздкие системы на электронных лампах. ЭВМ первого поколения не отличались высокой надёжностью и имели быстродействие порядка нескольких десятков тысяч операций в секунду. Применение дискретных транзисторов в ЭВМ второго поколения значительно повысило их надёжность и быстродействие (до сотен тысяч операций в секунду). Элементную базу ЭВМ третьего поколения в основном составляли цифровые ТТЛ - микросхемы малой и средней степеней интеграции, что обеспечивало их достаточно высокую надёжность и быстродействие на уровне миллиона операций в секунду.

Степень интеграции цифровой микросхемы определяется количеством размещённых в ней логических элементов (ЛЭ). К микросхемам малой степени интеграции (МИС) относят микросхемы, содержащие не более десяти ЛЭ, к средней степени интеграции (СИС) – с числом ЛЭ в пределах 10—100. Микросхемы большой степени интеграции (БИС) содержат 100—1000 ЛЭ, сверхбольшой (СБИС) – 1—10 тысяч ЛЭ, сверхсверхбольшой степени интеграции (ССБИС) – 10—100 тысяч ЛЭ на одном кристалле.

Переход к ЭВМ четвёртого поколения был достигнут не только благодаря заметному прогрессу в области схемотехники и технологии производства микросхем. Весьма важным для дальнейшего развития вычислительной техники явилось создание в 70-ых годах новых универсальных цифровых микросхем, так называемых микропроцессоров (МП) – разновидности БИС, способных выполнять полный перечень функций центрального процессора ЭВМ. С появлением микропроцессоров отпала необходимость для каждого нового применения проектировать новую ИС. Вместо этого можно было взять готовый микропроцессор, разработав для него новую программу для выполнения требуемых функций.

Спектр возможных применений микропроцессоров оказался настолько широким, что построенные на их основе различного рода микропроцессорные системы сбора и обработки информации, управления и контроля технологическими процессами и тому подобные стали проникать почти во все отрасли человеческой деятельности – от научных исследований и производственной сферы до медицины и повседневного быта. Микропроцессоры позволили разрешить казавшиеся ранее несовместимыми требования резкого увеличения скорости обработки информации и объёма памяти и столь же резкого снижения размеров, стоимости и энергопотребления ЭВМ. Вслед за первыми однокристалльными МП было освоено массовое производство нескольких видов микропроцессорных комплектов и наборов, представляющих собой совокупность совокупность микропроцессорных и других микросхем номенклатура и количество которых необходимы и достаточны для построения любого конкретного изделия вычислительной и управляющей техники. На их основе были созданы многочисленные персональные ЭВМ (ПВЭМ), впервые появившиеся на рубеже 80-ых годов, а также совершенно новый класс мало потребляющих

компактных машин – микрокомпьютеров, быстродействие которых почти не уступает настольным вариантам, но их размеры и масса таковы, что они вполне помещаются в небольшом чемоданчике.

Эволюция архитектуры микропроцессоров пошла по нескольким различным направлениям, в результате чего появились следующие их классы:

простые однокристальные 4- и 8- разрядные контроллеры, относительно невысокой производительности, для применения в бытовых приборах и небольших подсистемах;

быстродействующие секционные комплекты микропроцессорных БИС для создания ЭВМ произвольной разрядности с наращиваемой системой команд;

мощные однокристальные 16- и 32- разрядные ССБИС микропроцессоров с фиксированной системой команд для персональных ЭВМ, производительность которых приближается к возможностям полупрофессиональных и малых ЭВМ;

специализированные процессоры цифровой обработки, предназначенные для ускоренного выполнения арифметических операций и алгоритмов спектрального анализа сигналов;

аналоговые процессоры – устройства с аналоговым входом и выходом, внутри которых вся обработка сигналов ведётся в цифровом виде.

Построенные на основе универсальных и с специализированных микропроцессоров средства вычислительной техники относят к ЭВМ четвёртого поколения. Они представляют собой многопроцессорные и многомашинные комплексы, отличающиеся высокой надёжностью и быстродействием (десятки миллионов операций в секунду).

До недавнего времени появление каждого следующего поколения ЭВМ в основном связывалось с созданием новой элементной базы. Отличительной чертой перехода к ЭВМ пятого поколения считается разработка новых конфигураций центральных и специализированных микропроцессоров, а не применение новой элементной базы, поскольку ССБИС микропроцессоров использовались ранее и в составе ЭВМ четвёртого поколения. В настоящее время выпускается много модификаций перспективных высокопроизводительных 32-разрядных МП, на основе которых построены некоторые модели микрокомпьютеров, относящиеся по реализованным в них идеям к ЭВМ пятого поколения.

Совершенствование микропроцессоров шло параллельно с развитием микроэлектронной технологии, позволяющей размещать в одном кристалле всё большее и большее количество транзисторов. Достигнутое можно проследить на примере семейства МП фирмы «Intel», до настоящего времени прочно удерживающей лидирующие позиции в этой области. Это семейство началось с выпущенного впервые в 1971 г. 4-разрядного МП Intel 4004, выполненного на 2300 n-МОП транзисторах и ориентированного на применение в микрокалькуляторах. Значительно более совершенный 8-разрядный МП Intel 8080 (Отечественный аналог – МП КР580ВМ80А) был выпущен в 1974 году и уже содержал примерно 4500 транзисторов. В 1978

году на основе высокоплотной n-МОП технологии выпускается 16- разрядный МП Intel 8086 (отечественный аналог МП МК1810ВМ86) на 29000 транзисторах. На МП этой серии впервые были построены широко распространённые во всём мире ПЭВМ серии IBM. Наконец к началу 1986 года на основе совместного использования экономичных КМОП - схем и отличающихся более высоким быстродействием n-МОП схем был создан перспективный 32- разрядный МП INTEL 80386, содержащий до 275000 транзисторов. В этой связи также отметим разработанный фирмой «Hewlett Packard» 32- разрядный МП Focus, выполненный на 450000 транзисторах на МОП – кристалле. Такая высокая степень интеграции была достигнута путём существенного снижения (до 1.5 микрометра по ширине и 1 микрометра для интервалов между соседними областями) размеров транзисторов. Одновременно производительность МП выросла более, чем на три порядка.

В 1989 году фирма «Intel» сообщила о разработке ещё более совершенного МП i486DX. Одним из важнейших событий 1991 года вполне можно считать появление нового МП i486SX, производительность которого примерно на 40% превышала показатели лучших образцов МП Intel DX/SX. С начала 90-ых годов 32- разрядные МП стали широко использоваться для производства на их основе портативных компьютеров (типа ноутбук или лэптоп), однако обычные микросхемы i386DX/SX не полностью отвечали требованиям разработчиков. Для удовлетворения этих требований в 1990 году фирмой «Intel» был разработан экономичный вариант МП i80386SL, который содержал 885 тысяч транзисторов. Это позволило создавать на площади, ненамного превышающей размеры игровой карты, 32- разрядные весьма миниатюрные компьютеры. Последующая разработка этой фирмы (1992 год) МП i486SL представляла собой, пожалуй, самый производительный процессор серии SL. По производительности этот процессор не уступает i486DX, но благодаря пониженному напряжению питания (3.3 В) и высокой экономичности только за счёт использования нового МП среднее время автономной работы компьютера блокнота (около трёх часов) увеличивается примерно на один час. С марта 1993 года начались промышленные поставки новейшей версии МП, объявленного ранее как 586 или P5, но зарегистрированного корпорацией «Intel» под торговой маркой Pentium. Новая микросхема была выполнена по 0.8- микронной КМОП – технологии и содержала около 3.1 миллиона транзисторов. Современные персональные компьютеры, построенные на базе МП Pentium, полностью совместимы со 100 миллионами ПЭВМ, использующих МП Intel 8086, 8088, 80286, 80386 и i486.

Отметим, что повышение производительности процессоров всегда сопровождается существенным увеличением мощности потребления энергии. Так, первые МП версии Pentium с кодовым названием P54C, при производстве которых была использована 0.6- микронная КМОП – технология, что позволило снизить мощность рассеивания МП до 4 Вт при напряжении питания 3.3 В. Количество транзисторов в этих микропроцессорах было увеличено до 3.3 миллиона. С 1995 года фирма «Intel» объявила о начале коммерческих поставок микропроцессоров Pentium Pro, число транзисторов

основного кристалла которого составляет примерно 5.5 миллиона. Внутренняя архитектура этого процессора оптимизирована для работы с 32- разрядными приложениями, где он существенно опережает даже самые быстродействующие модели Pentium. Корпорации «Intel» – совместно с фирмой «Hewlett-Packard» в 1998 году разработали совершенно необычный процессор P7 с базовой 64- разрядной архитектурой и быстродействием до 1 миллиарда операций в секунду.

На рисунке 3.38 представлена базовая конфигурация современной микропроцессорной системы (МС), ядром которой служит центральный процессор, выполненный на основе БИС МП. Помимо МП в состав любой МС также входит и ряд вспомогательных устройств: **устройства ввода/вывода (УВВ)** и **запоминающее устройство (ЗУ)**, без поддержки которых даже самый современный МП практически бесполезен. В ЗУ хранятся последовательности двоичных кодов управляющих программ и набора данных необходимые МП для выполнения обработки информации, а УВВ обеспечивают его взаимодействие с внешними устройствами.

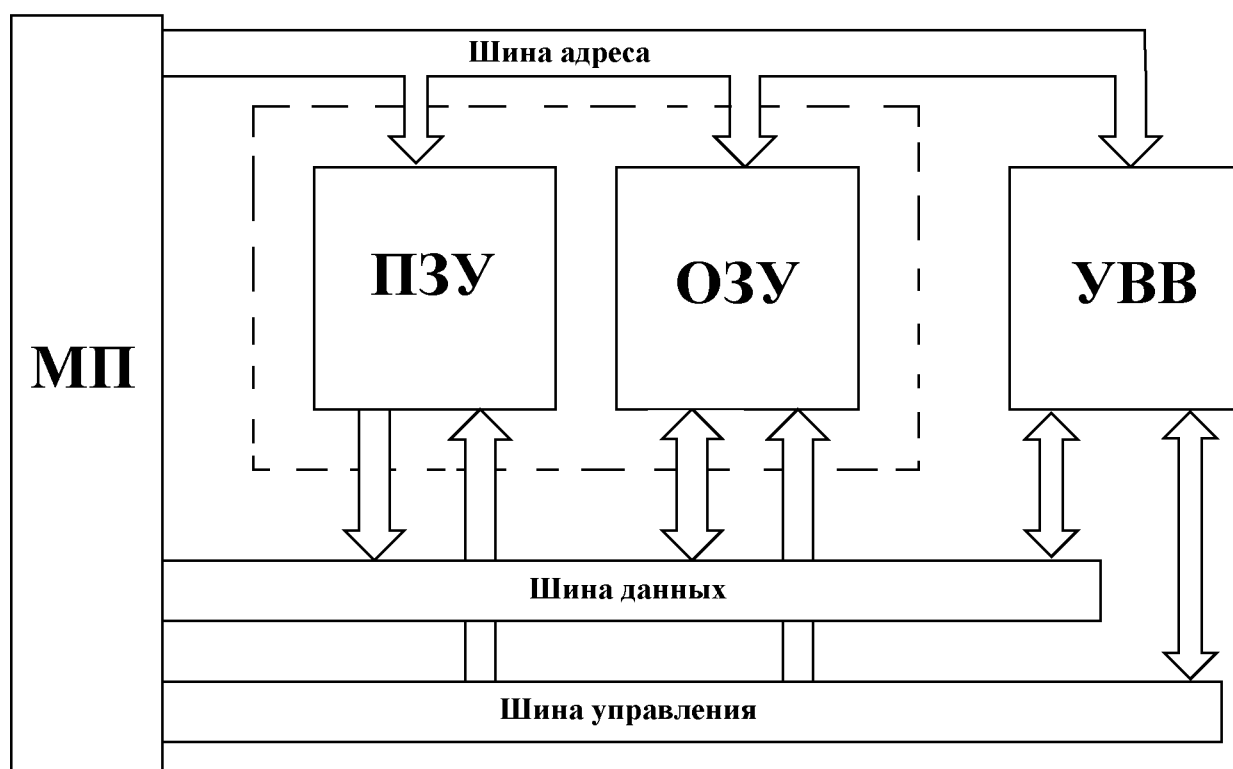


Рис. 3.38. Базовая конфигурация современной микропроцессорной системы

В свою очередь, ЗУ может включать в себя **постоянное запоминающее устройство (ПЗУ)**, обеспечивающее хранение управляющих программ и набора исходных данных для организации процесса обработки информации, а также оперативное запоминающее устройство (ОЗУ) – для хранения изменяющейся части обрабатываемой информации. Некоторые специализированные МП снабжаются внутренней памятью (для хранения программ и данных) и встроенными УВВ, называемыми

входными/выходными портами. Для таких МП требуется минимальное количество внешних вспомогательных микросхем, и они идеально подходят для недорогих МС. Обычно их называют **однокристалльными компьютерами.**

Особо отметим наличие в МС трёх типов **шин** (данных, управления, адреса), каждая из которых выполняется в виде набора проводников, связывающих основные элементы МС между собой. По шине данных передаются двоичные сигналы, соответствующие кодам данных и команд управляющих программ. МП определяет устройство – источник данных (откуда их нужно считать) и их получателя или приёмник (куда надо записать данные) и передаёт по **шине управления** соответствующие сигналы о направлении передачи информации. Наконец, **шина адреса** служит для указания места расположения данных, по ней МП передаёт двоичный код соответствующей ячейки памяти (откуда взять или куда записать двоичный код, передаваемый по шине данных). Как правило, все неиспользуемые в данный момент вспомогательные устройства в составе МС переводятся в «третье состояние», обеспечивающее их отключение от шин.