

**Вопросы для подготовки к экзамену
ОРГАНИЗАЦИЯ ЭВМ И ВЫЧИСЛИТЕЛЬНЫХ СИСТЕМ
КАФЕДРА КБ-5 «АППАРАТНОЕ, ПРОГРАММНОЕ И
МАТЕМАТИЧЕСКОЕ ОБЕСПЕЧЕНИЕ ВЫЧИСЛИТЕЛЬНЫХ СИСТЕМ»
ИНСТИТУТ КОМПЛЕКСНОЙ БЕЗОПАСНОСТИ И
СПЕЦИАЛЬНОГО ПРИБОРОСТРОЕНИЯ**

2020/2021

- 1 Основные характеристики и классификация ЭВМ.
- 2 Функциональная организация ЭВМ.
- 3 Структурная организация ЭВМ. Фон-Неймановская и гарвардская архитектура.
- 4 Основные принципы повышения производительности ЭВМ.
- 5 Дайте определение ЭВМ и перечислите ее особенности.
- 6 Какие устройства входят в состав ЭВМ и каково их назначение?
- 7 Поясните назначение и основные параметры ЭВМ.
- 8 Перечислите режимы работы ЭВМ и поясните их характерные особенности.
- 9 Укажите основные направления развития и использования ЭВМ.
- 10 Дайте определение памяти ЭВМ.
- 11 В чем заключается различие между машинным словом и словом памяти?
- 12 Назовите основные характеристики ЗУ.
- 13 Поясните разницу в функционировании стековой и магазинной памяти.
- 14 Поясните функции, выполняемые ОЗУ, СОЗУ, ЛЗУ, БЗУ и ВЗУ, образующими память ЭВМ.
- 15 Что понимают под виртуальной памятью?
- 16 В чем разница между математическими и физическими адресами памяти ЭВМ?
- 17 Поясните метод страничной адресации виртуальной памяти.

- 18 Поясните принцип записи и считывания информации в биполярном ОЗУ и динамическом МДП-ОЗУ.
- 19 Поясните назначение каждого блока полупроводникового ОЗУ и принцип записи и считывания информации.
- 20 Какая оперативная память называется памятью с расслоением обращений?
- 21 Поясните достоинства СОЗУ с магазинной адресацией перед СОЗУ с прямой выборкой.
- 22 Поясните разницу между долговременными, программируемыми и перепрограммируемыми ПЗУ.
- 23 Какие вы знаете способы программирования ПЗУ?
- 24 Поясните назначение и структуру центрального устройства управления.
- 25 Поясните последовательность выбора команды и операндов из ОЗУ.
- 26 Каково назначение базовых и индексных регистров в схеме обработки адресов ?
- 27 Каково назначение микропрограммного управляющего автомата?
- 28 Поясните по схеме последовательность выполнения микропрограммы, хранящейся в ПМК.
- 29 В чем преимущество программируемых логических матриц (ПЛМ) перед ПЗУ при использовании их в качестве ПМК.
- 30 Поясните структуру и функционирование блока прерываний.
- 31 Каково назначение блока защиты оперативной памяти?
- 32 Каково назначение блока управления оперативной памятью?
- 33 Поясните принцип управления многоканальной многоблочной оперативной памятью.
- 34 Поясните назначение пульта управления ЭВМ.
- 35 По каким признакам классифицируют АЛУ.
- 36 Поясните назначение узлов операционного блока сложения и вычитания двоичных чисел с фиксированной запятой.
- 37 В какой последовательности БМУ формирует управляющие сигналы, необходимые для выполнения операции вычитания операционным блоком?

- 38 Какие микрооперации выполняются операционным блоком под воздействием управляющих сигналов, выдаваемых БМУ?
- 39 Поясните структуру и назначение каждого узла операционного блока для обработки порядков.
- 40 В какой последовательности БМУ будет выдавать управляющие сигналы, необходимые для выполнения арифметических операций.
- 41 Дайте определение процессор и микропроцессор.
- 42 Базовая структура микропроцессора.
- 43 Основные отличия микропроцессоров.
- 44 Прямой доступ к памяти.
- 45 Дайте определение контроллер.
- 46 Универсальные контролеры.
- 47 Контролеры IDE и SCSI.
- 48 Что такое шина?
- 49 Системные и локальные шины.
- 50 Транзакция шины.
- 51 Основные локальные шины.
- 52 Шина USB.
- 53 Основные особенности периферийных устройств.
- 54 Каковы особенности работы мультипрограммных ЭВМ и ВС?
- 55 Поясните особенности матричных и конвейерных ВС.
- 56 Дайте сравнительную характеристику многомашинной и многопроцессорной ВС.

- 57 Дайте классификацию ВС.
- 58 В каких режимах с целью повышения надежности могут работать двухмашинные ВС?
- 59 Поясните связи между ЭВМ в ВК.
- 60 Какие технические средства связи используются в многомашинных ВК.
- 61 Конвейеризация и параллельные вычисления.
- 62 Альтернативные виды архитектур ЭВМ. Поточковая архитектура.
- 63 Основные характеристики и классификация процессоров.
- 64 Система команд и данных процессора.
- 65 Способы адресации данных.
- 66 Структурная организация процессора.
- 67 Устройство управления. Жесткое и микропрограммное управление.
- 68 Особенности RISC и CISC –процессоров.
- 69 Суперскалярная архитектура процессора.
- 70 Регистры общего назначения процессора. Регистры управления процессором.
- 71 Назначение и функционирование математического сопроцессора.
- 72 Регистры и стек сопроцессора.
- 73 Система команд и данных сопроцессора. Управление сопроцессором.
- 74 Векторные команды. Особенности MMX-технологии.
- 75 Иерархическая структура памяти ЭВМ. Принцип кэширования.
- 76 Адресное пространство ЭВМ. Виды памяти.

- 77 Организация памяти с произвольным доступом. Банки памяти. Модули памяти.
- 78 Организация постоянной и полупостоянной памяти ЭВМ.
- 79 Организация кэш-памяти. Кэш-память с прямым отображением, ассоциативная и наборно-ассоциативная кэш-память.
- 80 Методы записи в кэш-память. Сквозная запись, буферизированная сквозная запись, обратная запись.
- 81 Сегментная организация основной памяти. Deskрипторы. Таблицы deskрипторов.
- 82 Сегментная организация основной памяти. Deskрипторы. Таблицы deskрипторов.
- 83 Система защиты памяти в защищенном режиме.
- 84 Организация многозадачной работы ЭВМ в защищенном режиме.
- 85 Классификация прерываний. Прерывания. Страничная организация памяти. Каталог страниц и исключения. Аппаратные и программные прерывания.
- 86 Организация обработки аппаратных прерываний. Контроллер прерываний, его регистры и установка режимов работы.
- 87 Организация работы системы прерываний в реальном режиме.
- 88 Организация работы системы прерываний в защищенном режиме. Шлюзы.
- 89 Организация программно-управляемого ввода-вывода ЭВМ.
- 90 Организация ввода-вывода с использованием системы прерываний.
- 91 Организация ввода-вывода с использованием прямого доступа в память.
- 92 Контроллер ПДП и его регистры.
- 93 Организация и управление режимом работы ППИ.
- 94 Организация и управление режимом работы программируемого таймера.
- 95 Классификация вычислительных систем. Архитектура SIMD, MIMD.
- 96 Конвейерная организация вычислений. Структурные конфликты, конфликты по данным.

- 97 Организация многопроцессорных ВС с общей и распределенной памятью.
- 98 Когерентность кэш-памяти.
- 99 Организация многомашинных ВС. Особенности организации ВС на основе кластерной связи.
- 100 Организация матричных ВС. Систолические и волновые матрицы.

Утверждены на заседании кафедры КБ-5 «Аппаратного, программного и математического обеспечения вычислительных систем»

«9» октября 2020 г.

протокол № 2