

```

1  LIBRARY ieee;
2  USE ieee.std_logic_1164.ALL;
3
4  ENTITY watering_tb IS
5  END watering_tb;
6
7
8  در اینجا یک ماژول به اسم
9  watering_tb
10 ساخته شده است که فقط برای تست است
11 و هیچ ورودی یا خروجی ندارد
12
13
14 ARCHITECTURE behavior OF watering_tb IS
15
16     COMPONENT watering
17     PORT(
18         clk : IN  std_logic;
19         i_reset : IN  std_logic;
20         i_start : IN  std_logic;
21         i_M : IN  std_logic_vector(2 downto 0);
22         i_T : IN  std_logic;
23         i_L : IN  std_logic;
24         o_state : OUT  std_logic_vector(1 downto 0);
25         o_SEG : OUT  std_logic_vector(7 downto 0);
26         o_watering : OUT  std_logic;
27         o_M : OUT  std_logic_vector(2 downto 0);
28         o_T : OUT  std_logic;
29         o_L : OUT  std_logic
30     );
31     END COMPONENT;
32
33
34 در اینجا ماژول اصلی به این ماژول اضافه شده است
35 برای این کار از دستورات مربوط به
36 component
37 استفاده کرده ایم
38
39
40     signal clk : std_logic := '0';
41     signal i_reset : std_logic := '0';
42     signal i_start : std_logic := '0';
43     signal i_M : std_logic_vector(2 downto 0) := (others => '0');
44     signal i_T : std_logic := '0';
45     signal i_L : std_logic := '0';
46
47 در اینجا سیگنال هایی همنام با ورودی ها با همان تعداد بیت تعریف شده است
48 مقدار اولیه آنها صفر قرار داده شده است
49
50
51     signal o_state : std_logic_vector(1 downto 0);
52     signal o_SEG : std_logic_vector(7 downto 0);
53     signal o_watering : std_logic;
54     signal o_M : std_logic_vector(2 downto 0);
55     signal o_T : std_logic;
56     signal o_L : std_logic;
57
58
59 در اینجا سیگنال هایی همنام با خروجی ها تعریف شده است.
60
61
62
63
64 BEGIN
65
66     uut: watering PORT MAP (
67         clk => clk,
68         i_reset => i_reset,
69         i_start => i_start,

```

```

70         i_M => i_M,
71         i_T => i_T,
72         i_L => i_L,
73         o_state => o_state,
74         o_SEG => o_SEG,
75         o_watering => o_watering,
76         o_M => o_M,
77         o_T => o_T,
78         o_L => o_L
79     );

```

در اینجا سیگنال هایی که تعریف کرده بودم و همنام با ورودی ها و خروجی ها بود  
را به بلوک خودش وصل میکنیم

```

89     process
90     begin
91         clk <= '0';
92         wait for 50 ns;
93         clk <= '1';
94         wait for 50 ns;
95     end process;

```

در این پراسس کلاک ساخته شده است

```

105    process
106    begin
107        i_start <= '0';
108        i_reset <= '1';
109        i_M <= "000";
110        i_T <= '0';
111        i_L <= '0';
112        wait for 200 ns;
113        i_reset <= '0';
114        wait for 300 ns;
115        i_start <= '1';
116        wait for 200 ns;
117        i_M <= "111";
118        i_T <= '0';
119        i_L <= '0';
120        wait for 100 ns;
121        i_M <= "011";
122        i_T <= '1';
123        i_L <= '1';
124        wait for 100 ns;
125        i_M <= "001";
126        i_T <= '0';
127        i_L <= '1';
128        wait for 100 ns;
129        i_M <= "011";
130        i_T <= '0';
131        i_L <= '0';
132        wait for 100 ns;
133        i_M <= "010";
134        i_T <= '1';
135        i_L <= '1';
136        wait for 100 ns;
137        i_M <= "110";
138        i_T <= '1';

```

```
139         i_L <= '0';
140         wait for 100 ns;
141         i_M <= "000";
142         i_T <= '1';
143         i_L <= '0';
144         wait;
145     end process;
146
147
148     در این پراسس ورودی های لازم برای تست مدار ساخته شده است
149
150     END;
151
```