

Partie 6

PWM

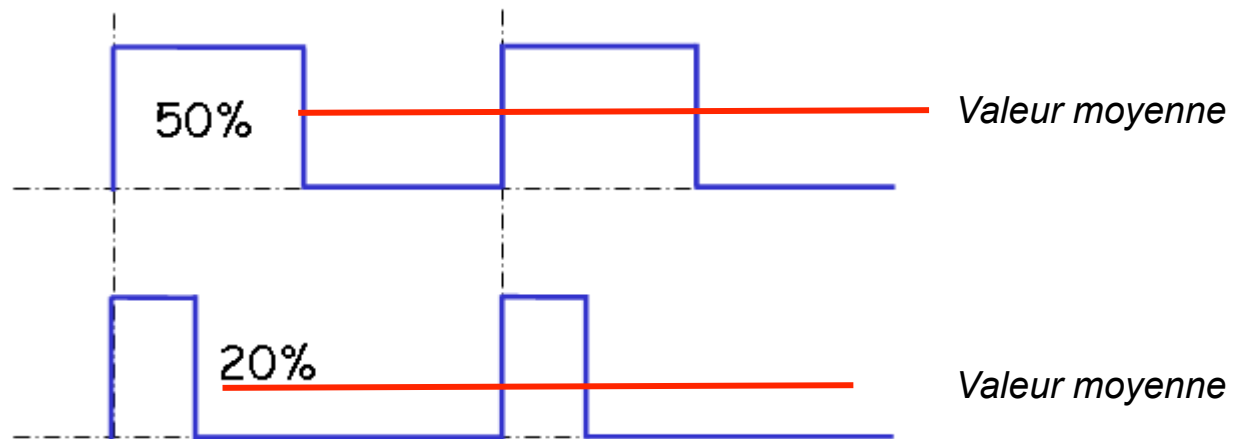
Pulse Width Modulator



khalil.hachicha@gmail.com

Définition

- PWM: Pulse Width Modulation
 - Modulation de Largeur d'Impulsion
 - Génération d'un signal périodique mais de rapport cyclique variable



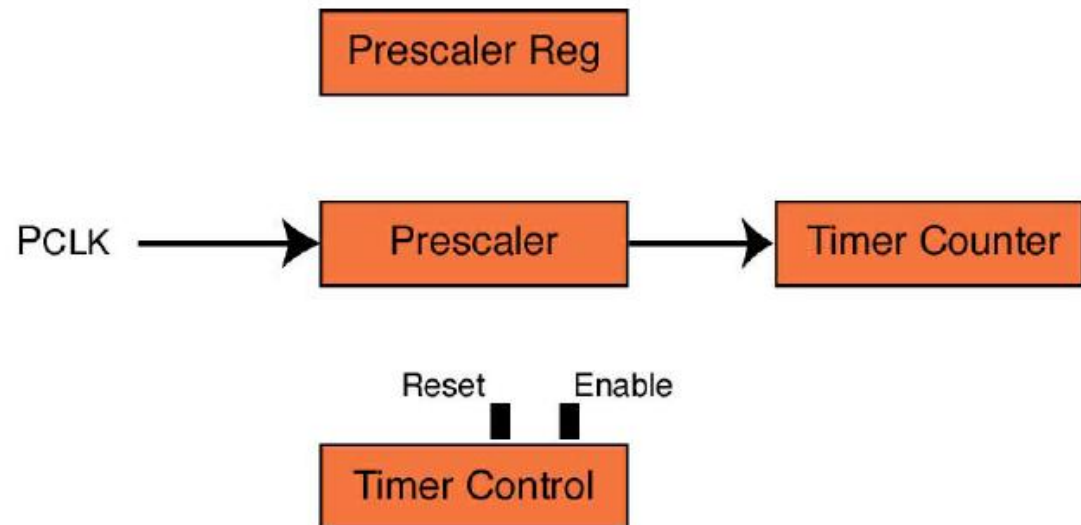
- Très utilisé pour la commande de moteurs
 - Permet de commander un moteur à partir d'un système numérique.

PWM et LPC2378

- Le LPC2378 possède un générateur de signaux PWM
 - Son fonctionnement est proche d'un Timer
- 6 sorties PWM "single edge" ou 3 sorties PWM "double edge"
 - Single Edge:
 - Front montant identique pour tous les signaux
 - Front descendant configurable
 - Double Edge:
 - Front montant configurable
 - Front descendant configurable

Architecture – PWM

- Architecture similaire aux Timers
 - Horloge Périphérique
 - Prescale Counters
 - Match Registers
 - Capture



- Possibilité de choisir mode Timer/Counter ou PWM

Sélection Single/Double Edge

- Registre PWM1PCR
 - Bits 2-6: Sélection du mode Single/Double Edge
 - PWM1 est toujours en Single Edge

Table 452: PWM Control Registers (PWM1PCR - address 0xE001 804C) bit description

Bit	Symbol	Value	Description	Reset Value
1:0	Unused		Unused, always zero.	NA
2	PWMSEL2	1	Selects double edge controlled mode for the PWM2 output.	0
		0	Selects single edge controlled mode for PWM2.	
3	PWMSEL3	1	Selects double edge controlled mode for the PWM3 output.	0
		0	Selects single edge controlled mode for PWM3.	

Bits 9-14: Activation de la sortie

- 1 bit par sortie PWM

9	PWMENA1	1	The PWM1 output enabled.	0
		0	The PWM1 output disabled.	
10	PWMENA2	1	The PWM2 output enabled.	0
		0	The PWM2 output disabled.	

Mode PWM

- Fonctionnement à l'aide de Match Registers
 - PWM1MR0, PWM1MR1, PWM1MR2, ..., PWM1MR6
 - Le signal PWM change de niveau logique lorsque l'on atteint les valeurs des Match Registers
 - Exemple: Sortie PWM 1 et 2 en mode Single Edge
 - Lorsque PWM1TC atteint la valeur de PWM1MR0, les deux sorties PWM1 et PWM2 passent à 1 (front montant)
 - Lorsque PWM1TC atteint la valeur de PWM1MR1, la sortie PWM1 passe à 0 (front descendant)
 - Lorsque PWM1TC atteint la valeur de PWM1MR2, la sortie PWM2 passe à 0 (front descendant)

Single Edge/double Edge

PWM Channel	Single Edge PWM (PWMSELn = 0)		Double Edge PWM (PWMSELn = 1)	
	Set by	Reset by	Set by	Reset by
1	Match 0	Match 1	Match 0 ^[1]	Match 1 ^[1]
2	Match 0	Match 2	Match 1	Match 2
3	Match 0	Match 3	Match 2 ^[2]	Match 3 ^[2]
4	Match 0	Match 4	Match 3	Match 4
5	Match 0	Match 5	Match 4 ^[2]	Match 5 ^[2]
6	Match 0	Match 6	Match 5	Match 6

PWM Latch Enable Register

- Registre PWM1LER
 - 1 bit par Match Register
 - Permet de valider la valeur du Match Register
 - Valeur prise en compte au prochain reset du compteur

Bit	Symbol	Description	Reset Value
0	Enable PWM Match 0 Latch	Writing a one to this bit allows the last value written to the PWM Match 0 register to become effective when the timer is next reset by a PWM Match event. See Section 23–6.4 “PWM Match Control Register (PWM1MCR - 0xE001 8014)” .	0
1	Enable PWM Match 1 Latch	Writing a one to this bit allows the last value written to the PWM Match 1 register to become effective when the timer is next reset by a PWM Match event. See Section 23–6.4 “PWM Match Control Register (PWM1MCR - 0xE001 8014)” .	0
2	Enable PWM Match 2 Latch	Writing a one to this bit allows the last value written to the PWM Match 2 register to become effective when the timer is next reset by a PWM Match event. See Section 23–6.4 “PWM Match Control Register (PWM1MCR - 0xE001 8014)” .	0

- Bits 3-6 pour les autres Match Registers...

Démarrage du Compteur

- Registre PWM1TCR
 - Bit 0: Démarrage/Arrêt du compteur
 - Bit 1: Reset du compteur
 - Bit 3: Activation/Arrêt du mode PWM

Table 448: PWM Timer Control Register (PWM1TCR - address 0xE001 8004) bit description

Bit	Symbol	Description	Reset Value
0	Counter Enable	When one, the PWM Timer Counter and PWM Prescale Counter are enabled for counting. When zero, the counters are disabled.	0
1	Counter Reset	When one, the PWM Timer Counter and the PWM Prescale Counter are synchronously reset on the next positive edge of PCLK. The counters remain reset until TCR[1] is returned to zero.	0
2	-	Reserved, user software should not write ones to reserved bits. The value read from a reserved bit is not defined.	NA
3	PWM Enable	When one, PWM mode is enabled. PWM mode causes	0

PWM Match Control Registers

- Registre PWM1MCR

- Actions supplémentaires à entreprendre lorsque le Compteur atteint la valeur d'un Match Register
- 3 bits par Match Register: Interruption, Reset, Stop

Bit	Symbol	Value	Description	Reset Value
0	PWMMR0I	1	Interrupt on PWMMR0: an interrupt is generated when PWMMR0 matches the value in the PWMTC.	0
		0	This interrupt is disabled.	
1	PWMMR0R	1	Reset on PWMMR0: the PWMTC will be reset if PWMMR0 matches it.	0
		0	This feature is disabled.	
2	PWMMR0S	1	Stop on PWMMR0: the PWMTC and PWMPC will be stopped and PWMTCR[0] will be set to 0 if PWMMR0 matches the PWMTC.	0
		0	This feature is disabled	

Bits 3-5 pour PWM1MR1 (fonctionnement identique), etc...

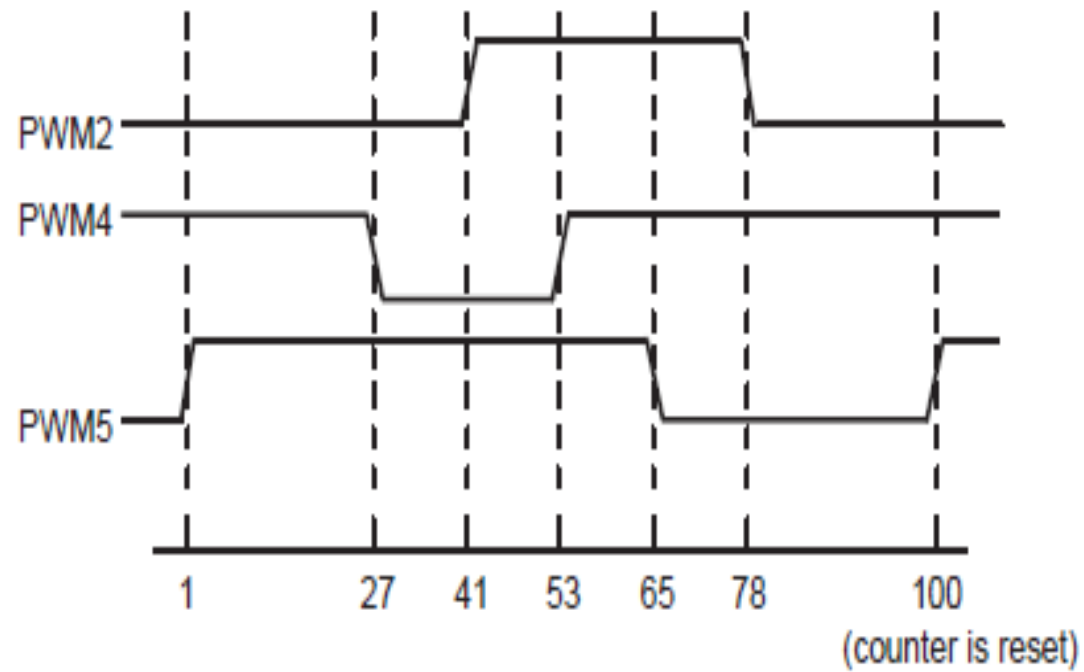
Registre d'Interruption PWM

- Registre PWM1IR
 - Fonctionnement similaire à TxIR
 - 1 Bit par Match Register
 - Passe à 1 pour signaler l'interruption
 - RAZ en écrivant un 1 sur le drapeau d'interruption


Table 447: PWM Interrupt Register (PWM1IR - address 0xE001 8000) bit description

Bit	Symbol	Description	Reset Value
0	PWMMR0 Interrupt	Interrupt flag for PWM match channel 0.	0
1	PWMMR1 Interrupt	Interrupt flag for PWM match channel 1.	0
2	PWMMR2 Interrupt	Interrupt flag for PWM match channel 2.	0
3	PWMMR3 Interrupt	Interrupt flag for PWM match channel 3.	0
7:4	-	Reserved, user software should not write ones to reserved bits. The value read from a reserved bit is not defined.	NA
8	PWMMR4 Interrupt	Interrupt flag for PWM match channel 4.	0
9	PWMMR5 Interrupt	Interrupt flag for PWM match channel 5.	0
10	PWMMR6 Interrupt	Interrupt flag for PWM match channel 6.	0

Exemple 1



Exemple 2

- 
- Génération d'un signal de rapport cyclique initial 40%
 - Sur PWM1.1
 - Remise à jour périodique du rapport cyclique.