

تحويل در روز دوشنبه مورخ ۹۷/۱۲/۱۳ ساعت ۲۳:۵۵ از طریق سایت درس

نکاتی در رابطه با نوع تمرین

هر سری از تمرین‌ها، از چهار بخش تشکیل شده است:

- مرور و تثبیت مفاهیم: پرسش‌های این بخش جهت مرور و یادآوری مفاهیم درسی آورده شده است و با مطالعه مفاهیم درسی گفته‌شده در کلاس درس و اسلایدهای درس خواهید توانست به آن‌ها پاسخ دهید. پاسخ آن‌ها مورد ارزیابی قرار نخواهد گرفت، لذا نیازی به ارسال پاسخ آن‌ها نیست.
- تحلیل و طراحی مدار: پرسش‌های این بخش جهت درک عمیق مفاهیم درسی و افزایش قدرت تحلیل و طراحی سیستم‌های دیجیتال آورده شده است. پاسخ به آن‌ها الزامی بوده و مورد ارزیابی قرار خواهد گرفت.
- توصیف و پیاده‌سازی: پرسش‌های این بخش جهت افزایش مهارت شما در پیاده‌سازی مدارهای دیجیتال، بررسی درستی عملکرد آن و استفاده از ابزارهای طراحی آورده شده است. پاسخ به آن‌ها الزامی بوده و مورد ارزیابی قرار خواهد گرفت.
- طراحی و پیاده‌سازی سامانه پیشرفته: پرسش‌های این بخش ممکن است کمی پیچیده‌تر و دشوارتر از سایر بخش‌ها باشد. الزامی یا اختیاری بودن آن‌ها در صورت پرسش ذکر شده است.

نکاتی در رابطه با نحوه‌ی ارسال تمرین

ارسال تمرینات به‌صورت الکترونیکی و از طریق سایت دروس خواهد بود. فایل ارسالی شما فایل zip با نام [studentID].HW#.zip است که studentID شماره دانشجویی و HW# شماره سری تمرین است. یک قالب آماده در سامانه دروس قرار داده شده است تا پاسخ تمرین را در قالب تعیین‌شده بنویسید. پرسش‌هایی که پاسخ آن‌ها ماهیت تشریحی و تحلیلی دارد را مانند فایل نمونه در یک فایل PDF بنویسید و برای پرسش‌هایی که ماهیت کد نویسی دارند یک پوشه با نام آن ایجاد کرده و در داخل آن کدها و سایر فایل‌ها را قرار دهید.

زمان تحويل هر سری از تمرینات مشخص بوده و پاسخ تمرین پس از موعد مقرر شده در سایت درس قرار داده خواهد شد لذا امکان تغییر آن وجود ندارد. در حل تمرینات، می‌توانید به‌صورت دوتایی یا چندتایی باهم همفکری و بحث نمایند ولی هر شخص می‌بایست در نهایت جواب و استدلال خود را به‌صورت انفرادی بنویسد و در صورت شباهت پاسخ، تمامی افراد نمره تمرین را از دست خواهند داد.

چنانچه ابهامی در زمینه تمرینات دارید، می‌توانید اشکالات خود را از طریق پست الکترونیکی زیر با موضوع DA.2019 رفع نمایید.

ali.mohammadpour@aut.ac.ir

محمدپور

موفق و پیروز باشید!

تحويل در روز دوشنبه مورخ ۹۷/۱۲/۱۳ ساعت ۲۳:۵۵ از طریق سایت درس

پرسش‌های مرور و تثبیت مفاهیم

الف) شیوه‌ی طراحی سیستم با تراشه‌های منطقی برنامه‌پذیر^۱ و مدارهای مجتمع با کاربرد خاص^۲ را از دیدگاه‌های زیر باهم مقایسه کرده و تعیین کنید هر یک برای چه کاربردهایی مناسب‌تر است.

- زمان طراحی و پیاده‌سازی
- سرعت کار مدار
- چگالی مدار
- توان مصرفی
- ساخت نمونه‌ی اولیه‌ی محصول
- هزینه‌ی مهندسی غیرتکراری (مستقل از تعداد تراشه)

ب) جاهای خالی زیر را پر کنید.

- مراحل اصلی چرخه‌ی طراحی شامل ورود طرح^۳، و است. مرحله‌ی ورود طرح به پنج شکل ، ، ، می‌تواند انجام شود.
- مرحله‌ی سنتز از مراحل سه‌گانه‌ی چرخه‌ی طراحی، خود شامل ، نگاشت فناوری و است که در مرحله‌ی نگاشت فناوری، نگاشت معادلات بولی به سخت‌افزار موجود در تراشه صورت می‌گیرد.
- خروجی مرحله‌ی سنتز است.

پ) توصیف سخت‌افزاری در سطح انتقال ثبات چه تفاوتی با توصیف در سطح گیت دارد؟

ت) برای درستی‌سنجی مدارهای طراحی‌شده، بردارهای آزمون^۴ ورودی می‌توانند به دو شیوه‌ی تصادفی و هوشمندانه اعمال شوند. مزایا و معایب هر کدام را بیان کنید.

^۱ Programmable Logic Devices

^۲ Application Specific Integrated Circuits

^۳ Design Entry

^۴ Test Vectors

تحويل در روز دوشنبه مورخ ۹۷/۱۲/۱۳ ساعت ۲۳:۵۵ از طریق سایت درس

پرسش‌های تحلیل و طراحی مدار

(۱) فرض کنید برای تولید یک محصول می‌توانید از FPGA با قیمت هر عدد ۲۱۰ هزار تومان استفاده کنید و یا این محصول را به صورت ASIC بسازید. در صورتی که بخواهید آن را با روش طراحی ASIC بسازید، برای این منظور باید برای ساخت نقاب‌های VLSI، حدود ۱/۵ میلیارد تومان هزینه اولیه بپردازید که این هزینه به تیراژ ساخت وابسته نبوده ولی علاوه بر آن، برای هر عدد تراشه ASIC باید ۱۰ هزار تومان پرداخت کنید.

الف) جدول ۱-۱ را کامل کنید.

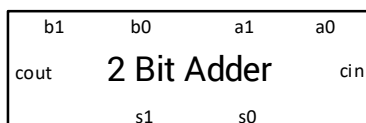
جدول ۱-۱ هزینه تولید محصول با استفاده از FPGA در مقایسه با ASIC

تعداد محصول	هزینه ساخت		کدام یک مناسب است؟
	ASIC	FPGA	
۱۰۰۰			
۵۰۰۰			
۱۰۰۰۰			

ب) میزان فروش حداقل باید چه مقداری باشد تا طراحی به صورت ASIC صرفه اقتصادی داشته باشد؟

(۲) ساختار طراحی PLA و PAL را مقایسه کرده و تفاوت کلی آن‌ها را توضیح دهید. با فرض برابر بودن تعداد گیت‌های AND-OR و فناوری ساخت یکسان، کدام یک تعداد توابع جبری بیشتری را پیاده‌سازی می‌کند؟ چرا؟ از نظر سرعت کدام یک سریع‌تر است؟ چرا؟

(۳) حداقل تعداد Lookup-Table سه ورودی لازم برای ساخت یک جمع‌کننده دو بیتی مانند شکل زیر را به دست آورید. ابتدا آن را به صورت حاصل جمع ضرب‌ها رسم کرده و سپس محتوای LUT ها و مدار متشکل از LUT ها را جهت پیاده‌سازی آن مشخص کنید.



(۴) تابع زیر را با استفاده از PAL16R8 که در اسلایدهای درس آمده است پیاده‌سازی کنید. این مدار چه کاری انجام می‌دهد. به عبارتی رفتار آن را بیان کنید.

$$f(b1, b0, a1, a0) = \overline{a1} \cdot (\overline{a0} + b0) + b1 \cdot (\overline{a1} + \overline{a0} + b0)$$

تحويل در روز دوشنبه مورخ ۹۷/۱۲/۱۳ ساعت ۲۳:۵۵ از طریق سایت درس

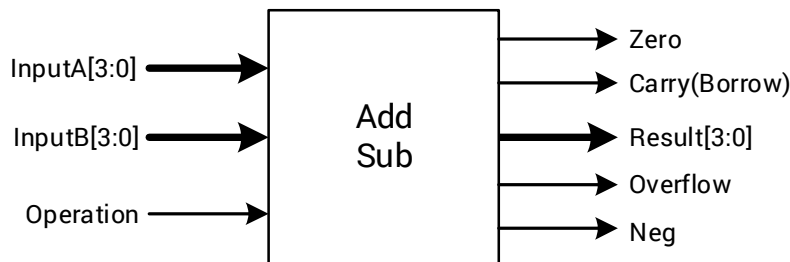
پرسش‌های توصیف و پیاده‌سازی

(۵) با استفاده از زبان توصیف سخت‌افزار VHDL، مدار مربوط به تابع جبری زیر را در سطح گیت و به صورت ساختاری توصیف کنید.

$$f(b1, b0, a1, a0) = \overline{a1} \cdot (\overline{a0} + b0) + b1 \cdot (\overline{a1} + \overline{a0} + b0) \quad \text{الف)}$$

(۶) با استفاده از زبان توصیف سخت‌افزار VHDL، یک جمع‌کننده-تفریق‌کننده چهار بیتی با استفاده از مشخصات زیر بسازید.

- جهت طراحی مدار، از واحدهای Full Adder که در اسلایدهای درس آمده است، استفاده کنید.
- خروجی Zero هنگامی 1 می‌شود که نتیجه محاسبه برابر با صفر شود.
- خروجی Carry همان بیت نقلی خروجی است.
- خروجی Overflow وقتی 1 می‌شود که سرریز رخ دهد.
- خروجی Neg هنگامی 1 می‌شود که نتیجه محاسبه عددی منفی شود.
- اگر ورودی Operation برابر صفر باشد عمل جمع را انجام می‌دهد، در غیر این صورت مدار عمل تفریق را انجام می‌دهد.



تمرین ۷ نمره اضافی دارد.

(۷) مدارهای طراحی شده در تمرین‌های ۵ و ۶ را با استفاده از ابزار Xilinx Vivado سنتز کنید. در سامانه درس، برای هرکدام، فایل آزمون قرار داده شده است. آن را پروژه خود اضافه کرده و با استفاده از شبیه‌ساز (XSim) آن را شبیه‌سازی کنید. تصویر شکل موج خروجی و شماتیک طراحی شده با ابزار را ارائه دهید.